

RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシア
 ルネサス エレクトロニクス株式会社
 問合せ窓口 <http://japan.renesas.com/contact/>
 E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-RX*-A170A/J	Rev.	第1版
題名	RX24T グループ ユーザーズマニュアル ハードウェア編の誤記訂正		情報分類	技術情報	
適用製品	RX24T グループ	対象ロット等	関連資料	RX24T グループ ユーザーズマニュアル ハードウェア編 Rev.1.00 (R01UH0576JJ0100)	
		全ロット			

RX24T グループ ユーザーズマニュアル ハードウェア編 Rev.1.00 において誤記がありましたので、以下のとおり訂正いたします。

•Page 41 of 1241

表 1.3 製品一覧表のパッケージコードを以下のとおり修正いたします。

【変更前】

表 1.3 製品一覧表

グループ	型名	パッケージ	ROM 容量	RAM 容量	E2 データ フラッシュ	動作周波数 (max)	動作周囲温度
RX24T	R5F524TAADFP	PLQP0100KB-A	256K バイト	16K バイト	8K バイト	80MHz	-40~+85°C
	R5F524TAADFF	PLQP0080JA-A					
	R5F524TAADFN	PLQP0080KB-A					
	R5F524T8ADFP	PLQP0100KB-A	128K バイト				
	R5F524T8ADFF	PLQP0080JA-A					
	R5F524T8ADFN	PLQP0080KB-A					

【変更後】

表 1.3 製品一覧表

グループ	型名	パッケージ	ROM 容量	RAM 容量	E2 データ フラッシュ	動作周波数 (max)	動作周囲温度
RX24T	R5F524TAADFP	PLQP0100KB-B	256K バイト	16K バイト	8K バイト	80MHz	-40~+85°C
	R5F524TAADFF	PLQP0080JA-A					
	R5F524TAADFN	PLQP0080KB-B					
	R5F524T8ADFP	PLQP0100KB-B	128K バイト				
	R5F524T8ADFF	PLQP0080JA-A					
	R5F524T8ADFN	PLQP0080KB-B					

•Page 393 of 1241

「20.2.15 タイマジェネラルレジスタ (TGR)」の説明文を以下のとおり訂正いたします。

【変更前】

MTU0.TGRE、MTU0.TGRF、MTU9.TGRE、MTU9.TGRF レジスタはコンペアレジスタとして機能し、MTU0.TCNT、**MTU9.TCNT** カウンタと MTU0.TGRE レジスタが一致したとき、A/D 変換開始要求を発生することができます。TGRF レジスタは、バッファレジスタとして動作設定することができます。TGR レジスタとバッファレジスタの組み合わせは、TGRE-TGRF になります。

【変更後】

MTU0.TGRE、MTU0.TGRF、MTU9.TGRE、MTU9.TGRF レジスタはコンペアレジスタとして機能し、MTU0.TCNT カウンタと MTU0.TGRE レジスタ**または** **MTU9.TCNT カウンタと MTU9.TGRE レジスタ**が一致したとき、A/D 変換開始要求を発生することができます。TGRF レジスタは、バッファレジスタとして動作設定することができます。TGR レジスタとバッファレジスタの組み合わせは、TGRE-TGRF になります。

•Page 395 of 1241

「20.2.17 タイマスタートレジスタ (TSTRA, TSTRB, TSTR)」の MTU.TSTRA.CSTn ビットの説明文を以下のとおり訂正いたします。

【変更前】

CSTn ビット (カウンタスタート n ビット) (n = 0, 1, 2, 3, 4, 9)

各チャネルの TCNT の動作または停止を選択します。

MTIOC 端子を出力状態で動作中に、CSTn ビットに“0”を書くとカウンタは停止しますが、MTIOC 端子のアウトプットコンペア出力レベルは保持されます。CSTn ビットが“0”の状態では TIOR レジスタへの書き込みを行うと、設定した初期出力値に端子の出力レベルが更新されます。

【変更後】

CSTn ビット (カウンタスタート n ビット) (n = 0, 1, 2, 3, 4, 9)

各チャネルの TCNT の動作または停止を選択します。

MTIOC 端子を出力状態で動作中に、CSTn ビットに“0”を書くとカウンタが停止します。**このとき、相補 PWM モード/リセット同期 PWM モードでは、MTIOC 端子から TOCR1A レジスタまたは TOCR2A レジスタで設定した初期出力レベルが出力されます。**

相補 PWM モード/リセット同期 PWM モード以外では、MTIOC 端子のアウトプットコンペア出力レベルは保持されます。 CSTn ビットが“0”の状態では TIOR レジスタへの書き込みを行うと、設定した初期出力値に端子の出力レベルが更新されます。

•Page 396 of 1241

「20.2.17 タイマスタートレジスタ (TSTRA, TSTRB, TSTR)」の MTU.TSTRB.CSTn ビットの説明文を以下のとおり訂正いたします。

【変更前】

CSTn ビット (カウンタスタート n ビット) (n = 6, 7)

各チャネルの TCNT の動作または停止を選択します。

MTIOC 端子を出力状態で動作中に、CSTn ビットに“0”を書くとカウンタは停止しますが、MTIOC 端子のアウトプットコンペア出力レベルは保持されます。CSTn ビットが“0”の状態では TIOR レジスタへの書き込みを行うと、設定した初期出力値に端子の出力レベルが更新されます。

【変更後】

CSTn ビット (カウンタスタート n ビット) (n = 6, 7)

各チャネルの TCNT の動作または停止を選択します。

MTIOC 端子を出力状態で動作中に、CSTn ビットに“0”を書くとカウンタが停止します。このとき、相補 PWM モード/リセット同期 PWM モードでは、MTIOC 端子から TOCR1B レジスタまたは TOCR2B レジスタで設定した初期出力レベルが出力されます。

相補 PWM モード/リセット同期 PWM モード以外では、MTIOC 端子のアウトプットコンペア出力レベルは保持されます。CSTn ビットが“0”の状態では TIOR レジスタへの書き込みを行うと、設定した初期出力値に端子の出力レベルが更新されます。

•Page 474 of 1241

20.3.6.2 「図 20.42 カスケード接続 32 ビット位相計数モード設定手順」の[3]の本文を以下のとおり訂正いたします。

【変更前】

[3] TSTRA を“0000 1111b”にして、MTU1、MTU2 をカウントスタートしてください。

【変更後】

[3] TSTRA.CST1、CST2 ビットを同時に“1”にして、MTU1、MTU2 をカウントスタートしてください。

•Page 483 of 1241

20.3.8 (1) 「図 20.47 相補 PWM モードの設定手順例」の[6]の本文を以下のとおり訂正いたします。

【変更前】

[6] MTU3、MTU6 使用時は、PWM 出力のデューティをデューティレジスタ (MTU3.TGRB, MTU4.TGRA, MTU4.TGRB) とバッファレジスタ (MTU3.TGRD, MTU4.TGRC, MTU4.TGRD) に設定します。バッファレジスタ (MTU3.TGRD, MTU4.TGRC, MTU4.TGRD) にもデューティレジスタ (MTU3.TGRB, MTU4.TGRA, MTU4.TGRB) と同じ値を設定してください。

またダブルバッファ機能使用時のみ、バッファレジスタ (MTU3.TGRE, MTU4.TGRE, MTU4.TGRF) に、PWM 出力のデューティ値-1 を設定してください。

(以下省略)

【変更後】

[6] MTU3、MTU6 使用時は、PWM 出力のデューティをデューティレジスタ (MTU3.TGRB, MTU4.TGRA, MTU4.TGRB) とバッファレジスタ (MTU3.TGRD, MTU4.TGRC, MTU4.TGRD) に設定します。バッファレジスタ (MTU3.TGRD, MTU4.TGRC, MTU4.TGRD) にもデューティレジスタ (MTU3.TGRB, MTU4.TGRA, MTU4.TGRB) と同じ値を設定してください。

またダブルバッファ機能使用時のみ、バッファレジスタ (MTU3.TGRE, MTU4.TGRE, MTU4.TGRF) を設定してください。

(以下省略)

•Page 487 of 1241

20.3.8 (2)の「(c) 初期設定」の本文を以下のとおり訂正いたします。

【変更前】

バッファレジスタ B (MTU3.TGRE, MTU4.TGRE, MTU4.TGRF (MTU6.TGRE, MTU7.TGRE, MTU7.TGRF)) の3本には、ダブルバッファ機能使用時のみ、それぞれPWMデューティの初期値 -1 を設定します。

【変更後】

バッファレジスタ B (MTU3.TGRE, MTU4.TGRE, MTU4.TGRF (MTU6.TGRE, MTU7.TGRE, MTU7.TGRF)) の3本は、ダブルバッファ機能使用時のみ設定します。

•Page 487 of 1241

20.3.8 (2) (c)の「表 20.78 初期設定の必要なレジスタとカウンタ」を以下のとおり訂正いたします。

【変更前】

レジスタ/カウンタ	設定値
TOCR1A, TOCR2A, TOCR1B, TOCR2B	PWM 出力レベルを設定
MTU3.TGRC MTU6.TGRC	PWM 周期の 1/2 + デッドタイム Td TDERA/B でデッドタイム生成をなしに設定した場合は PWM 周期の 1/2 + 1)
TDDRA, TDDRB	デッドタイム Td (TDERA/B でデッドタイム生成をなしに設定した場合“1”)
TCBRA, TCBRB	PWM 周期の 1/2
MTU3.TGRD, MTU4.TGRC, MTU4.TGRD MTU6.TGRD, MTU7.TGRC, MTU7.TGRD	各相の PWM デューティ比の初期値
MTU3.TGRE, MTU4.TGRE, MTU4.TGRF MTU6.TGRE, MTU7.TGRE, MTU7.TGRF	各相の PWM デューティ比の初期値-1 (ダブルバッファ機能使用時のみ)
MTU4.TCNT MTU7.TCNT	“0000h”

【変更後】

レジスタ/カウンタ	設定値
TOCR1A, TOCR2A, TOCR1B, TOCR2B	PWM 出力レベルを設定
MTU3.TGRC MTU6.TGRC	PWM 周期の 1/2 + デッドタイム Td TDERA/B でデッドタイム生成をなしに設定した場合は PWM 周期の 1/2 + 1)
TDDRA, TDDRB	デッドタイム Td (TDERA/B でデッドタイム生成をなしに設定した場合“1”)
TCBRA, TCBRB	PWM 周期の 1/2
MTU3.TGRD, MTU4.TGRC, MTU4.TGRD MTU6.TGRD, MTU7.TGRC, MTU7.TGRD	各相の PWM デューティ比の初期値
MTU3.TGRE, MTU4.TGRE, MTU4.TGRF MTU6.TGRE, MTU7.TGRE, MTU7.TGRF	各相の PWM デューティ比の初期値 (ダブルバッファ機能使用時のみ)
MTU4.TCNT MTU7.TCNT	“0000h”

•Page 550 of 1241

「20.6.5 TCNT への書き込みとカウントアップの競合」に下記文章を追加いたします。

【変更後】

なお、インプットキャプチャのキャプチャ入力元に MTU1 のカウントクロックまたは MTU2 のカウントクロックを選択している場合、競合の有無にかかわらずインプットキャプチャは実行されます。

•Page 607 of 1241

「21.2.8 出力レベルコントロール/ステータスレジスタ 1 (OCSR1)」の OSF1 フラグの説明文を以下のとおり変更いたします。

【変更前】

OSF1 フラグ (出力短絡フラグ 1)

MTU 相補 PWM 出力端子 (MTU3, MTU4 端子) の比較する 3 組の 2 相出力のうち、1 組でも同時にアクティブレベルになったことを示すフラグです。

["1"になる条件]

- 3 組の 2 相出力のうち、1 組でも同時にアクティブレベルになったとき

(以下省略)

【変更後】

OSF1 フラグ (出力短絡フラグ 1)

MTU 相補 PWM 出力端子 (MTU3, MTU4 端子) の比較する 3 組の 2 相出力のうち、1 組以上が同時にアクティブレベルになったことを示すフラグです。ただし、当該端子に対応するハイインピーダンス制御が許可されていない場合、OSF1 フラグは“1”になりません。

アクティブレベルの設定については「21.2.10 アクティブレベルレジスタ 1 (ALR1)」を参照してください。

["1"になる条件]

- POECR2.MTU3BDZE ビットが“1”の場合に、MTIOC3B 端子と MTIOC3D 端子が同時にアクティブレベル^(注 1)になったとき
- POECR2.MTU4ACZE ビットが“1”の場合に、MTIOC4A 端子と MTIOC4C 端子が同時にアクティブレベル^(注 1)になったとき
- POECR2.MTU4BDZE ビットが“1”の場合に、MTIOC4B 端子と MTIOC4D 端子が同時にアクティブレベル^(注 1)になったとき

注 1. MPC.PmnPFS レジスタの設定内容にかかわらず、端子のレベルだけで判断します。

(以下省略)

•Page 608 of 1241

「21.2.9 出力レベルコントロール/ステータスレジスタ 2 (OCSR2)」の OSF2 フラグの説明文を以下のとおり変更いたします。

【変更前】

OSF2 フラグ（出力短絡フラグ 2）

MTU 相補 PWM 出力端子（MTU6, MTU7 端子）の比較する 3 組の 2 相出力のうち、1 組でも同時にアクティブレベルになったことを示すフラグです。

["1"になる条件]

- 3 組の 2 相出力のうち、1 組でも同時にアクティブレベルになったとき

(以下省略)

【変更後】

OSF2 フラグ（出力短絡フラグ 2）

MTU 相補 PWM 出力端子（MTU6, MTU7 端子）の比較する 3 組の 2 相出力のうち、1 組以上が同時にアクティブレベルになったことを示すフラグです。ただし、当該端子に対応するハイインピーダンス制御が許可されていない場合、OSF2 フラグは“1”になりません。

アクティブレベルの設定については「21.2.11 アクティブレベルレジスタ 2 (ALR2)」を参照してください。

["1"になる条件]

- POECR2.MTU6BDZE ビットが“1”の場合に、MTIOC6B 端子と MTIOC6D 端子が同時にアクティブレベル^(注 1)になったとき
- POECR2.MTU7ACZE ビットが“1”の場合に、MTIOC7A 端子と MTIOC7C 端子が同時にアクティブレベル^(注 1)になったとき
- POECR2.MTU7BDZE ビットが“1”の場合に、MTIOC7B 端子と MTIOC7D 端子が同時にアクティブレベル^(注 1)になったとき

注 1. MPC.PmnPFS レジスタの設定内容にかかわらず、端子のレベルだけで判断します。

(以下省略)

•Page 952 of 1241

27.3.10.1 (9)の「(a) 送信処理フロー」の本文を以下のとおり補足いたします。

【変更前】

(a) 送信処理フロー

送信を行う場合、最終データの書き込み完了後 SPII 割り込みを許可することによって、全データ送信完了を CPU に通知することが可能です。

【変更後】

(a) 送信処理フロー

送信を行う場合、最終データの書き込み完了後 SPII 割り込みを許可することによって、全データ送信完了を CPU に通知することが可能です。

SPII 割り込みの代わりに、SPSR.IDLNF フラグが“0”になったかどうかをポーリングすることでも全データ送信完了を確認できます。ただし、SPDR レジスタに送信データを書いた後から IDLNF フラグが“1”になるまでには、PCLK で 1 サイクル必要です。SPDR レジスタに最終データを書いた後は、“1”になる前の IDLNF フラグで判定しないように、一度 SPSR レジスタの値を読み捨てて、次に読み出した SPSR.IDLNF フラグの値から全データ送信完了の確認に使用してください。

•Page 1074 of 1241

「29.6.6 低消費電力状態への遷移時の注意」の本文 2 段落目を以下のとおり訂正いたします。

【変更前】

図 29.36 に示す、ADCSR.ADST ビットによるソフトウェアクリア実行の設定フローに従い、ADCSR.ADST ビットを“0”に設定してください。その後、ADCLK の 2 クロック期間待った後、モジュールストップモードやソフトウェアスタンバイモードへ移行させてください。

【変更後】

図 29.36 に示す、ADCSR.ADST ビットによるソフトウェアクリア実行の設定フローに従い、ADCSR.ADST ビットを“0”に設定してください。その後、ADCLK の 3 クロック期間待った後、モジュールストップモードやソフトウェアスタンバイモードへ移行させてください。

•Page 1211 of 1241

「35.3.5 内蔵周辺モジュールタイミング」の表 35.25 を以下のとおり訂正いたします。

【変更前】

項目		記号	min	max	単位 (注1)	測定条件
簡易 SPI	SCK クロックサイクル出力 (マスタ)	t _{SPcyc}	4	65536	t _{Pcyc}	図 35.40
	SCK クロックサイクル入力 (スレーブ)		6	65536	t _{Pcyc}	
省略						

注 1. t_{Pcyc} : PCLK の周期

【変更後】

項目		記号	min	max	単位 (注1)	測定条件
簡易 SPI	SCK クロックサイクル出力 (マスタ)	t _{SPcyc}	4	65536	t _{Pcyc}	図 35.40
	SCK クロックサイクル入力 (スレーブ)		6	—	t _{Pcyc}	
省略						

注 1. t_{Pcyc} : PCLK の周期

•Page 1225 of 1241

「35.7 D/A 変換特性」の表 35.34 を以下のとおり変更いたします。

【変更前】

項目	min	typ	max	単位	測定条件
分解能	—	—	8	ビット	
変換時間	—	—	3.0	μs	
絶対精度	—	—	±3.0	LSB	

【変更後】

項目	記号	min	typ	max	単位	測定条件
分解能	—	—	—	8	ビット	
変換時間	t _{DCONV}	—	—	3.0	μs	
絶対精度	—	—	—	±3.0	LSB	

以上