

RENESAS TECHNICAL UPDATE

〒211-8668 神奈川県川崎市中原区下沼部 1753

ルネサス エレクトロニクス株式会社

問合せ窓口 <http://japan.renesas.com/contact/>E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-RX*-A034A/J	Rev.	第1版
題名	RX210 グループ AC タイミングの誤記訂正		情報分類	技術情報	
適用製品	RX210 グループ	対象ロット等	関連資料	RX210 グループ ユーザーズマニュアル ハードウェア編 Rev.1.00 (R01UH0037JJ0100)	
		全ロット			

RX210 グループ ユーザーズマニュアル ハードウェア編 Rev.1.00 において誤記がありましたので、以下のとおり訂正いたします。なお、赤色の文字が追加事項、赤色の⇒が変更事項を表します。

■PAGE 1357/1406

表 41.34 内蔵周辺モジュールタイミング(1) のうち、SCI に関する項目を以下のとおり訂正します。

表 41.34 内蔵周辺モジュールタイミング(1)

条件: VCC = AVCC0 = 1.62~5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、Ta = -40~+105°C

駆動能力選択制御レジスタは高駆動出力を選択時

項目				記号	min	max	単位	測定条件	
SCI	入力クロックサイクル	調歩同期		t _{Scyc}	4	—	t _{Pcyc}	図 41.29	
		クロック同期			6	—			
	入力クロックパルス幅			t _{SCKW}	0.4	0.6	t _{Scyc}		C=30 pF 図 41.30
	入力クロック立ち上がり時間			t _{SCKr}	—	20	ns		
	入力クロック立ち下がり時間			t _{SCKf}	—	20	ns		
	出力クロックサイクル	調歩同期		t _{Scyc}	16	—	t _{Pcyc}		
		クロック同期			4	—			
	出力クロックパルス幅		2.7V ≤ VCC ≤ 5.5V	t _{SCKW}	0.4	0.6	t _{Scyc}		
			1.8V ≤ VCC < 2.7V		0.4⇒0.35	0.6⇒0.65			
			1.62V ≤ VCC < 1.8V		0.4⇒0.35	0.6⇒0.65			
	出力クロック立ち上がり時間			t _{SCKr}	—	20	ns		
	出力クロック立ち下がり時間			t _{SCKf}	—	20	ns		
	送信データ遅延時間(マスタ)	クロック同期		t _{TXD}	—	40	ns		
	送信データ遅延時間(スレーブ)	クロック同期	2.7V ≤ VCC ≤ 5.5V		—	40⇒65			
			1.8V ≤ VCC < 2.7V		—	40⇒85			
			1.62V ≤ VCC < 1.8V		—	40⇒95			
	受信データセットアップ時間(マスタ)	クロック同期	2.7V ≤ VCC ≤ 5.5V	t _{RXS}	40⇒65	—	ns		
1.8V ≤ VCC < 2.7V			40⇒75						
1.62V ≤ VCC < 1.8V			40⇒80						
受信データセットアップ時間(スレーブ)	クロック同期		40		—				
受信データホールド時間	クロック同期		t _{RXH}	40	—	ns			

■PAGE 1358/1406

表 41.35 内蔵周辺モジュールタイミング(2) RSPiに関する項目を以下のとおり訂正します。

表 41.35 内蔵周辺モジュールタイミング(2) (1/2)

条件: VCC = AVCC0 = 1.62~5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、Ta = -40~+105°C

駆動能力選択制御レジスタは高駆動出力を選択時

項目				記号	min	max	単位	測定条件
RSPI	RSPCKクロックサイクル	マスタ		tSPcyc	4	4096	tPcyc	C = 30pF 図41.32
		スレーブ			8	4096		
	RSPCKクロック Highレベルパルス幅	マスタ	2.7V≦VCC≦5.5V	tSPCKWH	(tSPcyc – tSPCKr – tSPCKf) / 2 – 3	—	ns	
			1.8V≦VCC<2.7V		(tSPcyc – tSPCKr – tSPCKf) / 2 – 3	—		
			1.62V≦VCC<1.8V		(tSPcyc – tSPCKr – tSPCKf) / 2 – 3 ⇒ (tSPcyc – tSPCKr – tSPCKf) / 2 – 10	—		
		スレーブ			(tSPcyc – tSPCKr – tSPCKf) / 2	—		
	RSPCKクロック Lowレベルパルス幅	マスタ	2.7V≦VCC≦5.5V	tSPCKWL	(tSPcyc – tSPCKr – tSPCKf) / 2 – 3	—	ns	
			1.8V≦VCC<2.7V		(tSPcyc – tSPCKr – tSPCKf) / 2 – 3	—		
			1.62V≦VCC<1.8V		(tSPcyc – tSPCKr – tSPCKf) / 2 – 3 ⇒ (tSPcyc – tSPCKr – tSPCKf) / 2 – 10	—		
		スレーブ			(tSPcyc – tSPCKr – tSPCKf) / 2	—		
	RSPCKクロック 立ち上がり/立ち下がり時間	出力	2.7V≦VCC≦5.5V	tSPCKr、 tSPCKf	—	10	ns	
			1.8V≦VCC<2.7V		—	10⇒15		
			1.62V≦VCC<1.8V		—	10⇒20		
		入力			—	1	μs	

表 41.35 内蔵周辺モジュールタイミング (2) (2/2)

項目				記号	min	max	単位	測定条件
RSPI	データ入力セットアップ時間	マスタ	$2.7V \leq VCC \leq 5.5V$	t_{SU}	15⇒50	—	ns	C = 30pF 図41.33 ～図 41.36
			$1.8V \leq VCC < 2.7V$		20⇒65	—		
			$1.62V \leq VCC < 1.8V$		20⇒75			
		スレーブ			$2 \times t_{Pcyc} - 20$ ⇒25 - t_{Pcyc}	—		
	データ入力ホールド時間	マスタ		t_H	$0 \Rightarrow t_{Pcyc}$	—	ns	
		スレーブ			$20 + 2 \times t_{Pcyc}$	—		
	SSLセットアップ時間	マスタ		t_{LEAD}	1	8	t_{SPcyc}	
		スレーブ			4	—	t_{Pcyc}	
	SSLホールド時間	マスタ		t_{LAG}	1	8	t_{SPcyc}	
		スレーブ			4	—	t_{Pcyc}	
	データ出力遅延時間	マスタ	$2.7V \leq VCC \leq 5.5V$	t_{OD}	—	86⇒50	ns	
			$1.8V \leq VCC < 2.7V$		—	86⇒55		
			$1.62V \leq VCC < 1.8V$		—	86⇒60		
		スレーブ	$2.7V \leq VCC \leq 5.5V$		—	$3 \times t_{Pcyc} + 40 \Rightarrow$ $3 \times t_{Pcyc} + 65$		
			$1.8V \leq VCC < 2.7V$		—	$3 \times t_{Pcyc} + 40 \Rightarrow$ $3 \times t_{Pcyc} + 85$		
			$1.62V \leq VCC < 1.8V$		—	$3 \times t_{Pcyc} + 40 \Rightarrow$ $3 \times t_{Pcyc} + 95$		
	データ出力ホールド時間	マスタ		t_{OH}	0	—	ns	
		スレーブ			0	—		
	連続送信遅延時間	マスタ		t_{TD}	$t_{SPcyc} + 2 \times t_{Pcyc}$	$8 \times t_{SPcyc} + 2 \times t_{Pcyc}$	ns	
		スレーブ			$4 \times t_{Pcyc}$	—		
MOSI、MISO 立ち上がり/立ち下がり時間	出力		t_{Dr}, t_{Df}	—	20	ns		
	入力			—	1	μs		
SSL立ち上がり/立ち下がり時間	出力		t_{SSLr}, t_{SSLf}	—	20	ns		
	入力			—	1	μs		
スレーブアクセス時間			t_{SA}	—	4⇒6	t_{Pcyc}	C = 30pF 図41.35、 図41.36	
				—	4⇒7			
				—	4⇒7			
スレーブ出力開放時間			t_{REL}	—	3⇒5	t_{Pcyc}		
				—	3⇒6			
				—	3⇒6			

■PAGE 1359/1406

表 41.36 内蔵周辺モジュールタイミング(3) 簡易 SPI に関する項目を以下のとおり訂正します。

表 41.36 内蔵周辺モジュールタイミング(3)

条件: VCC = AVCC0 = 1.62~5.5V、VSS = AVSS0 = VREFL = VREFL0 = 0V、Ta = -40~+105℃

駆動能力選択制御レジスタは高駆動出力を選択時

項目			記号	min	max	単位	測定条件
簡易SPI	SCKクロックサイクル出力（マスタ）		tSPcyc	4	65536	tPcyc	C = 30pF 図41.32
	SCKクロックサイクル入力（スレーブ）			8⇒6	65536		
	SCK入力クロックHighレベルパルス幅		tSPCKWH	0.4	0.6	tSPcyc	
	SCK入力クロックLowレベルパルス幅		tSPCKWL	0.4	0.6	tSPcyc	
	SCK出力クロックHighレベルパルス幅	2.7V≦VCC≦5.5V	tSPCKWH	0.4	0.6	tSPcyc	
		1.8V≦VCC<2.7V		0.4⇒0.35	0.6⇒0.65		
		1.62V≦VCC<1.8V		0.4⇒0.35	0.6⇒0.65		
	SCK出力クロックLowレベルパルス幅	2.7V≦VCC≦5.5V	tSPCKWL	0.4	0.6	tSPcyc	
		1.8V≦VCC<2.7V		0.4⇒0.35	0.6⇒0.65		
		1.62V≦VCC<1.8V		0.4⇒0.35	0.6⇒0.65		
	SCKクロック立ち上がり/立ち下がり時間		tSPCKr、 tSPCKf	—	20	ns	
	データ入力セットアップ時間（マスタ）	2.7V≦VCC≦5.5V	tsu	40⇒65	—	ns	C = 30pF 図41.33、 図41.34 ⇒ 図41.33～ 図41.36
		1.8V≦VCC<2.7V		40⇒75	—		
		1.62V≦VCC<1.8V		40⇒80	—		
	データ入力セットアップ時間（スレーブ）			40	—		
	データ入力ホールド時間		tH	40	—	ns	
	SS入力セットアップ時間		tLEAD	1	—	tSPcyc	
	SS入力ホールド時間		tLAG	1	—	tSPcyc	
	データ出力遅延時間（マスタ）		tOD	—	40	ns	
	データ出力遅延時間（スレーブ）	2.7V≦VCC≦5.5V		—	40⇒65		
1.8V≦VCC<2.7V		—		40⇒85			
1.62V≦VCC<1.8V		—		40⇒95			
データ出力ホールド時間		tOH	0⇒-10	—	ns		
データ立ち上がり/立ち下がり時間		tDr、tDf	—	20	ns		
SS入力立ち上がり/立ち下がり時間		tSSLr、tSSLf	—	20	ns		
スレーブアクセス時間		tSA	—	5⇒6	tPcyc	C = 30pF 図41.35	
スレーブ出力開放時間		tREL	—	5⇒6	tPcyc	図41.36	

以上