

RENESAS TECHNICAL UPDATE

〒211-8668 神奈川県川崎市中原区下沼部1753
 ルネサス エレクトロニクス株式会社
 問合せ窓口 <http://japan.renesas.com/contact/>
 E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-16C-A234A/J	Rev.	第1版
題名	R32C/152グループ ユーザーズマニュアル ハードウェア編の誤記訂正		情報分類	技術情報	
適用製品	R32C/152グループ	対象ロット等	関連資料	R32C/152グループ ユーザーズマニュアル ハードウェア編 Rev.1.10 (RJJ09B0536-0110)	

R32C/152グループ ユーザーズマニュアル ハードウェア編 Rev.1.10において誤記がありましたので、以下のとおり訂正いたします。

〈訂正内容〉

•Page 62, 63, 76, 77, 90, 91 of 633

表4.42、表4.43、表4.56、表4.57、表4.70、表4.71 のレジスタ名を以下のとおり訂正いたします。

CANi **アクセプタンス**マスクレジスタk **【誤】**

CANiマスクレジスタk **【正】**

•Page 65, 79, 93 of 633

表4.45、表4.59、表4.73 のCiMSMRレジスタのリセット後の値を以下のとおり訂正いたします。

XXXX XX00b **【誤】**

0000 0000b **【正】**

•Page 105 of 633

図7.1を以下のとおり訂正いたします。

【誤】

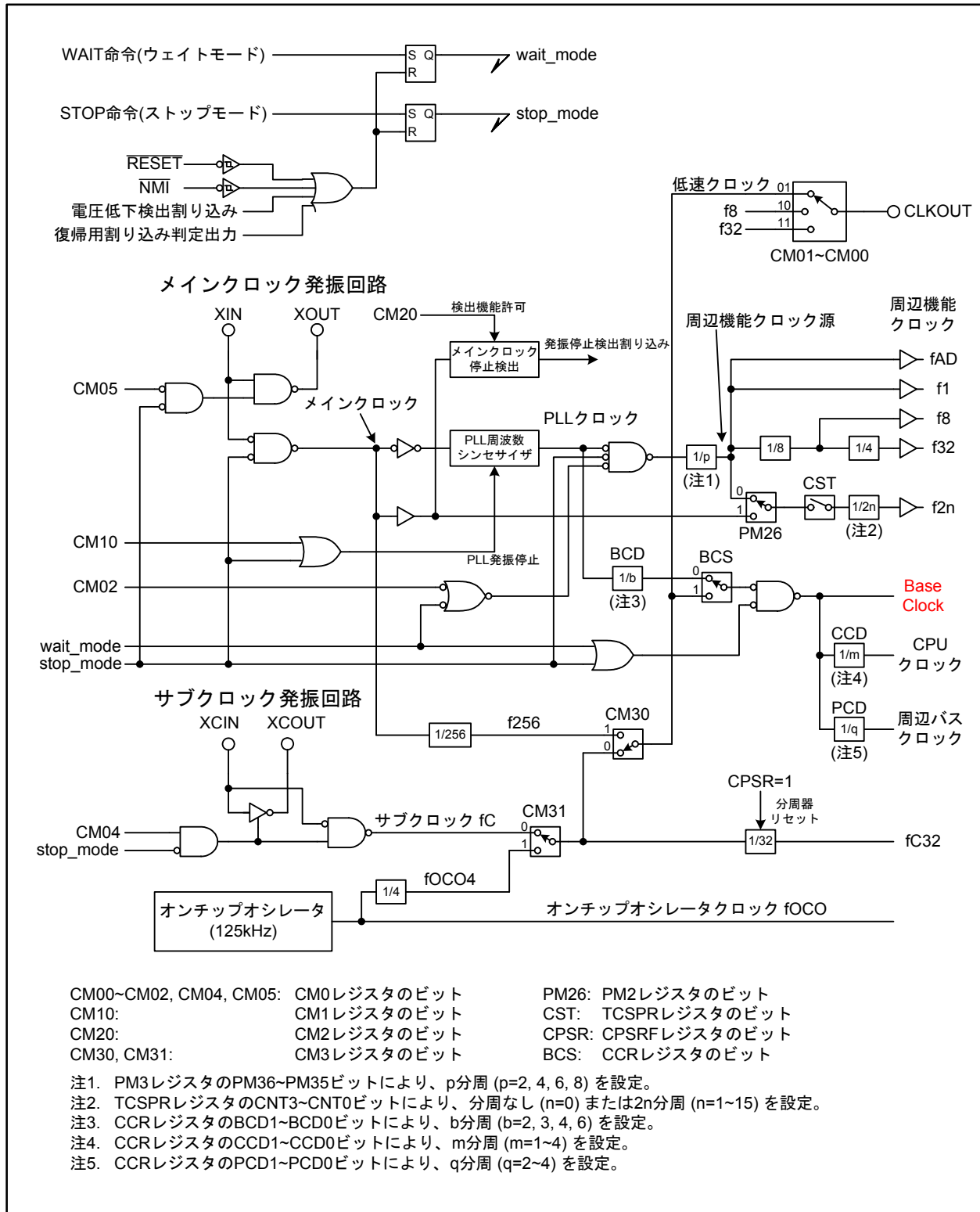


図7.1 クロック発生回路のブロック図

【正】

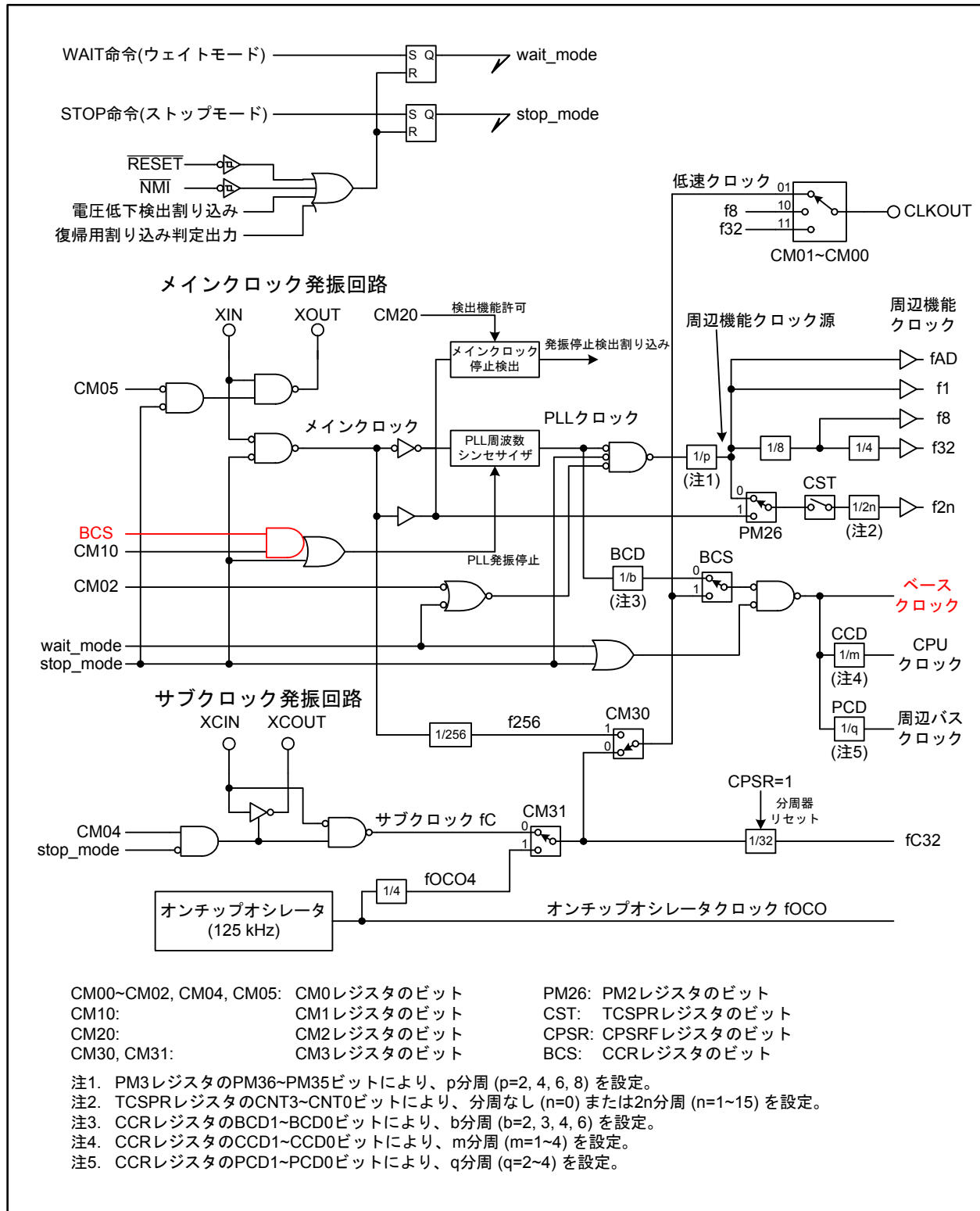


図7.1 クロック発生回路のブロック図

•Page 108 of 633

図7.4の注2の文章を以下のとおり訂正いたします。

【誤】

注2. CCRレジスタのBCSビットが“0”(ベースクロック源はPLLクロック)の場合、CM10ビットを“1”
にすることはできません。

【正】

注2. CCRレジスタのBCSビットが“0”(ベースクロック源はPLLクロック)の場合、CM10ビットを“1”
にしてもPLL周波数シンセサイザの発振は停止しません。

•Page 119 of 633

7.2 本文の3段落目の一部を以下のとおり削除いたします。

【誤】

発振停止が検出されたとき、CM2レジスタの以下のビットが変化します。

- CM22ビット=1(メインクロック停止を検出)
- CM23ビット=1(メインクロック停止)([図 7.18 状態遷移図\(サブクロック使用時\)](#) 参照)

【正】

発振停止が検出されたとき、CM2レジスタの以下のビットが変化します。

- CM22ビット=1(メインクロック停止を検出)
- CM23ビット=1(メインクロック停止)

•Page 137 of 633

図9.1の注1を以下のとおり変更いたします。

【誤】

注1. PRC2ビットは“1”を書いた後、任意の番地書き込みを実行すると“0”になります。他のビットは
“0”になりませんので、プログラムで“0”にしてください。

【正】

注1. PRC2ビットは“1”を書いた後、任意の番地書き込みを実行すると“0”になります。

•Page 189 of 633

13.1.2項 本文の1段落目を以下のとおり変更いたします。

【誤】

DMAC II インデックスは12~60バイトで構成されるデータテーブルで、転送モード、転送カウンタ、転送元アドレス(または即値データ)、演算対象のアドレス、転送先アドレス、チェーン転送ベースアドレス、転送完了割り込みベクタアドレスのパラメータを格納します。

【正】

DMAC II インデックスは12~60バイトで構成されるデータテーブルで、転送モード、転送カウンタ、転送元アドレス(または即値データ)、演算対象のアドレス、転送先アドレス、チェーン転送ベースアドレス、転送完了割り込み処理分岐先アドレスの各パラメータを格納します。

•Page 189 of 633

図13.2のパラメータ名を以下のとおり変更いたします。

【誤】

転送完了割り込みベクタアドレス

【正】

転送完了割り込み処理分岐先アドレス

•Page 189 of 633

図13.2内の下部説明文の一部を以下のとおり変更いたします。

【誤】

DMAC IIの起動要因となる周辺機能割り込みの割り込みベクタに、DMAC IIインデックスの先頭番地を設定してください。

【正】

DMAC IIの起動要因となる周辺機能割り込みの割り込みベクタ領域に、DMAC IIインデックスの先頭番地を設定してください。

•Page 190 of 633

表13.2上部IADRの名称および説明を以下のとおり変更いたします。

【誤】

- 転送完了割り込みベクタアドレス (IADR)

4バイトデータで、転送完了割り込み処理の飛び先アドレスを設定してください。転送完了割り込みを使用する場合のみ、このデータを設定してください。

【正】

- 転送完了割り込み処理分岐先アドレス (IADR)

4バイトデータで、転送完了割り込み処理ルーチンの先頭番地を設定してください。転送完了割り込みを使用する場合のみ、このデータを設定してください。

•Page 192 of 633

13.1.4項 本文の1段落目を以下のとおり変更いたします。

【誤】

DMAC IIの起動要因となる周辺機能割り込みの割り込みベクタに、DMAC IIインデックスの先頭番地を設定してください。

【正】

DMAC IIの起動要因となる周辺機能割り込みの割り込みベクタ領域に、DMAC IIインデックスの先頭番地を設定してください。

•Page 202 of 633

15.1 本文ワンショットタイマモードの説明を以下のとおり変更いたします。

【誤】

カウント値が“0000h”になるまでの間1度だけパルスを出力するモード

【正】

トリガが入力されてから、カウント値が“0000h”になるまでの期間、パルスを出力するモード

•Page 213 of 633

図15.13、図15.14の端子名を以下のとおり訂正いたします。

【誤】

INT2

【正】

$\overline{\text{INT2}}$

•Page 240 of 633

16.3 本文の3段落目の一部を以下のとおり削除いたします。

【誤】

また三相モード1では、タイマB2割り込みごとにカウンタへのリロード値がTA_i、TA_{i-1} (i=4, 1, 2) と入れ替わるため、タイマB2割り込みの頻度を半分に減らすことができます。このモードではTA_iレジスタ設定値とTA_{i1}レジスタ設定値の合計がTB2レジスタ設定値と一致するようにします。

【正】

また三相モード1では、タイマB2割り込みごとにカウンタへのリロード値がTA_i、TA_{i-1} (i=4, 1, 2) と入れ替わるため、タイマB2割り込みの頻度を半分に減らすことができます。

•Page 245 of 633

図16.18の注2を以下のとおり訂正いたします。

【誤】

注2. INV1レジスタのINV11ビットが“1”(三相モード1)の場合

【正】

注2. INVC1レジスタのINV11ビットが“1”(三相モード1)の場合

•Page 255 of 633

図17.7のUiIRSビットの機能欄を以下のとおり変更いたします。

【誤】

0: UiTBレジスタ空 (TI=1)

【正】

0: 送信バッファ空 (TI=1)

•Page 265 of 633

図17.18の波形の名称を以下のとおり訂正いたします。

【誤】

UiC0レジスタのTXEPTフラグ

【正】

UiC0レジスタのTXEPTビット

•Page 265 of 633

図17.18の設定条件記載箇所の4項目目を以下のとおり訂正いたします。

【誤】

- UiC1レジスタ、U34CONレジスタのUiIRSビット=0 (UiTBレジスタ空で割り込み要求発生)

【正】

- UiC1レジスタ、U34CONレジスタのUiIRSビット=0 (送信バッファ空で割り込み要求発生)

•Page 306 of 633

18.1.3項 本文を以下のとおり変更いたします。

【誤】

選択した端子の入力電圧を1回ずつA/D変換するモードです。表18.4に単掃引モードの仕様を示します。

【正】

選択した複数の端子の入力電圧を1回ずつ変換するモードです。表18.4に単掃引モードの仕様を示します。

•Page 306 of 633

表18.4の機能の仕様欄を以下のとおり変更いたします。

【誤】

AD0CON1レジスタのSCAN1~SCAN0ビットとAD0CON2レジスタのAPS1~APS0ビットで選択した端子の入力電圧を1回ずつA/D変換する

【正】

AD0CON1レジスタのSCAN1~SCAN0ビットとAD0CON2レジスタのAPS1~APS0ビットで選択した複数の端子の入力電圧を1回ずつ変換する

•Page 307 of 633

18.1.4項 本文を以下のとおり変更いたします。

【誤】

選択した端子の入力電圧を繰り返しA/D変換するモードです。表18.5に繰り返し掃引モード0の仕様を示します。

【正】

選択した複数の端子の入力電圧を繰り返し変換するモードです。表18.5に繰り返し掃引モード0の仕様を示します。

•Page 307 of 633

表18.5の機能の仕様欄を以下のとおり変更いたします。

【誤】

AD0CON1レジスタのSCAN1~SCAN0ビットとAD0CON2レジスタのAPS1~APS0ビットで選択した端子の入力電圧を繰り返しA/D変換する

【正】

AD0CON1レジスタのSCAN1~SCAN0ビットとAD0CON2レジスタのAPS1~APS0ビットで選択した複数の端子の入力電圧を繰り返し変換する

•Page 308 of 633

18.1.5項 本文を以下のとおり変更いたします。

【誤】

選択した端子に重点をおいて8本の端子の入力電圧を繰り返しA/D変換するモードです。表18.6に繰り返し掃引モード1の仕様を示します。

【正】

選択した1~4本の端子に重点をおいて、8本の端子の入力電圧を繰り返し変換するモードです。表18.6に繰り返し掃引モード1の仕様を示します。

•Page 308 of 633

表18.6の機能の仕様欄を以下のとおり変更いたします。

【誤】

AD0CON1 レジスタの SCAN1~SCAN0 ビットと AD0CON2 レジスタの APS1 ~APS0 ビットで選択した端子に重点をおいて、8端子を繰り返しA/D変換する

【正】

AD0CON1 レジスタの SCAN1~SCAN0 ビットと AD0CON2 レジスタの APS1 ~APS0 ビットで選択した1~4本の端子に重点をおいて、8本の端子の入力電圧を繰り返し変換する

•Page 308 of 633

表18.6の項目名を以下のとおり変更いたします。

【誤】

重点的に行う端子

【正】

重点的にA/D変換を行う端子

•Page 320 of 633

図20.1を以下のとおり訂正いたします。

【誤】

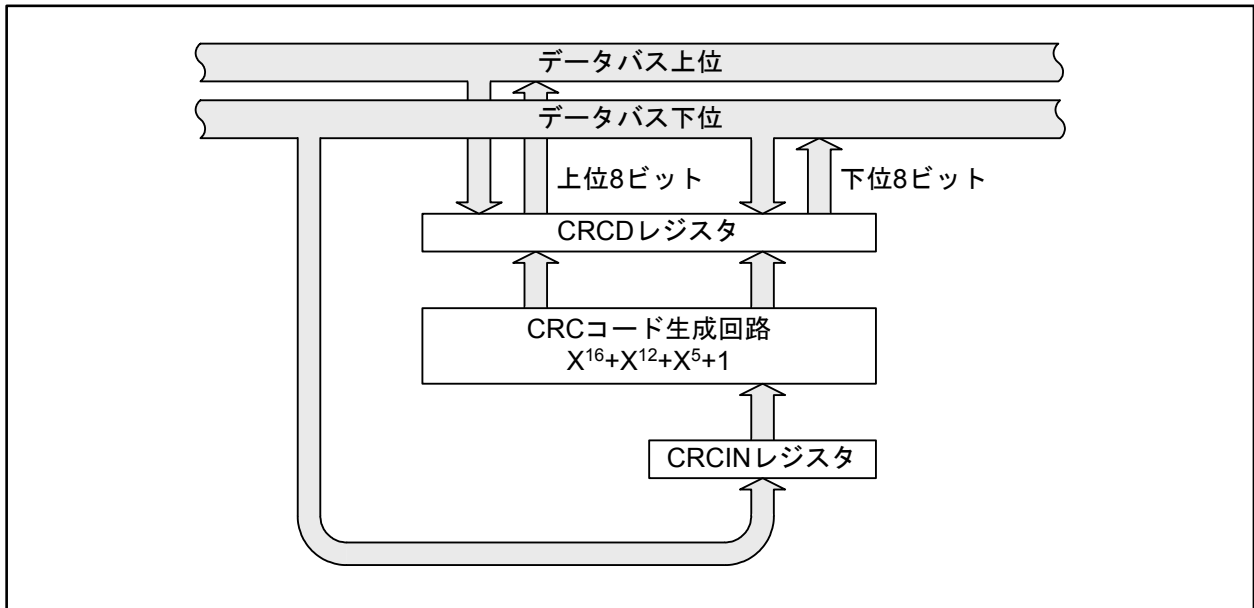


図20.1 CRC演算回路のブロック図

【正】

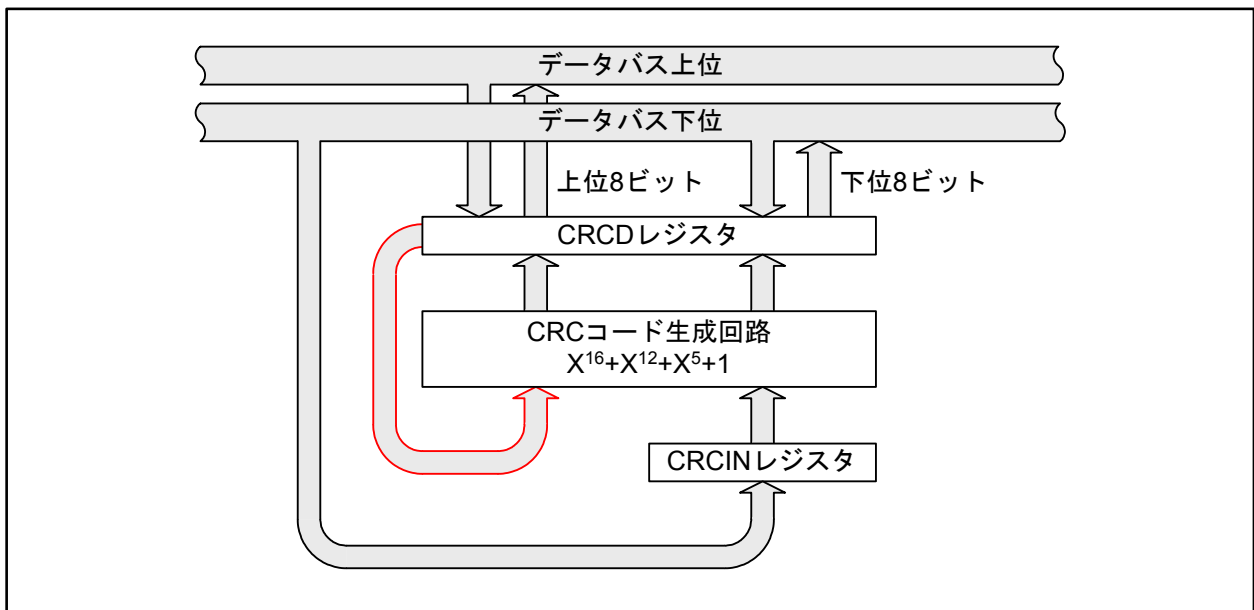


図20.1 CRC演算回路のブロック図

•Page 334 of 633

図22.8の注3を以下のとおり削除いたします。

【誤】

注3. ゲート機能解除後、GOCビットは“0”になります。

【正】

—なし—

•Page 335 of 633

図22.10のレジスタシンボルの一部を以下のとおり訂正いたします。

【誤】

G2TM6, G3TM7

【正】

G2TM6, G2TM7

•Page 367 of 633

図23.3の機能欄のビット表記を以下のとおり訂正いたします。

【誤】

b6 b5 b4

【正】

b2 b1 b0

•Page 453 of 633

25.1.9.5項 本文の3段落目を以下のとおり訂正いたします。

【誤】

オーバーライトモードとオーバランモードの両方において、EOFの6番目のビットに続く**fCAN (CAN システムクロック)**の5サイクルの間は、MSGLOSTビットはプログラムで“0”を書いても“0”になりません。

【正】

オーバーライトモードとオーバランモードの両方において、EOFの6番目のビットに続く**周辺バスクロック**5サイクルの間は、MSGLOSTビットはプログラムで“0”を書いても“0”になりません。

•Page 457 of 633

25.1.10.3項 本文の3段落目を以下のとおり訂正いたします。

【誤】

オーバランモードとオーバライトモードのどちらも、受信 FIFO がフルでメッセージの受信が決定している場合、ハードウェアプロテクトにより EOF の6番目のビットに続く **fCAN (CAN システムクロック)** の5サイクルの間は、プログラムで“0” (受信 FIFO メッセージロスト未発生) になりません。

【正】

オーバランモードとオーバライトモードのどちらも、受信 FIFO がフルでメッセージの受信が決定している場合、ハードウェアプロテクトにより EOF の6番目のビットに続く **周辺バスクロック** 5サイクルの間は、プログラムで“0” (受信 FIFO メッセージロスト未発生) になりません。

•Page 467 of 633

図25.19の(b6-b5)の機能欄から以下のとおり文章を一部削除いたします。

【誤】

何も配置されていない。 **書く場合、“0”を書いてください。**
読んだ場合、その値は“0”

【正】

何も配置されていない。読んだ場合、その値は“0”

•Page 475 of 633

25.1.20.8項 BLIF ビットの説明を以下のとおり訂正、加筆いたします(TN-16C-A229A/J 参照)。

【誤】

CAN モジュールが CAN オペレーションモードの間、CAN バス上に32の連続するドミナントビットを検出すると、“1”になります。

“1”になった後、以下の **どちらかで再検出します。**

- このビットを“1”から“0”にした後、レセシブビットを検出
- このビットを“1”から“0”にした後、CAN リセットモード **もしくは CAN Halt モード** に遷移し、再度 CAN オペレーションモードに遷移

【正】

CAN モジュールが CAN オペレーションモードの間、CAN バス上に32の連続するドミナントビットを検出すると、“1”になります。

“1”になった後、以下の **いずれかの条件が成立するとバスクロックを再検出できるようになります。**

- このビットを“1”から“0”にした後、レセシブビットを検出 (**バスクロック解消**)
- このビットを“1”から“0”にした後、CAN リセットモードに遷移し、再度 CAN オペレーションモードに遷移 (**内部リセット**)

•Page 484 of 633

図25.34 に以下のとおり注3を追加いたします(TN-16C-A229A/J 参照)。

【誤】

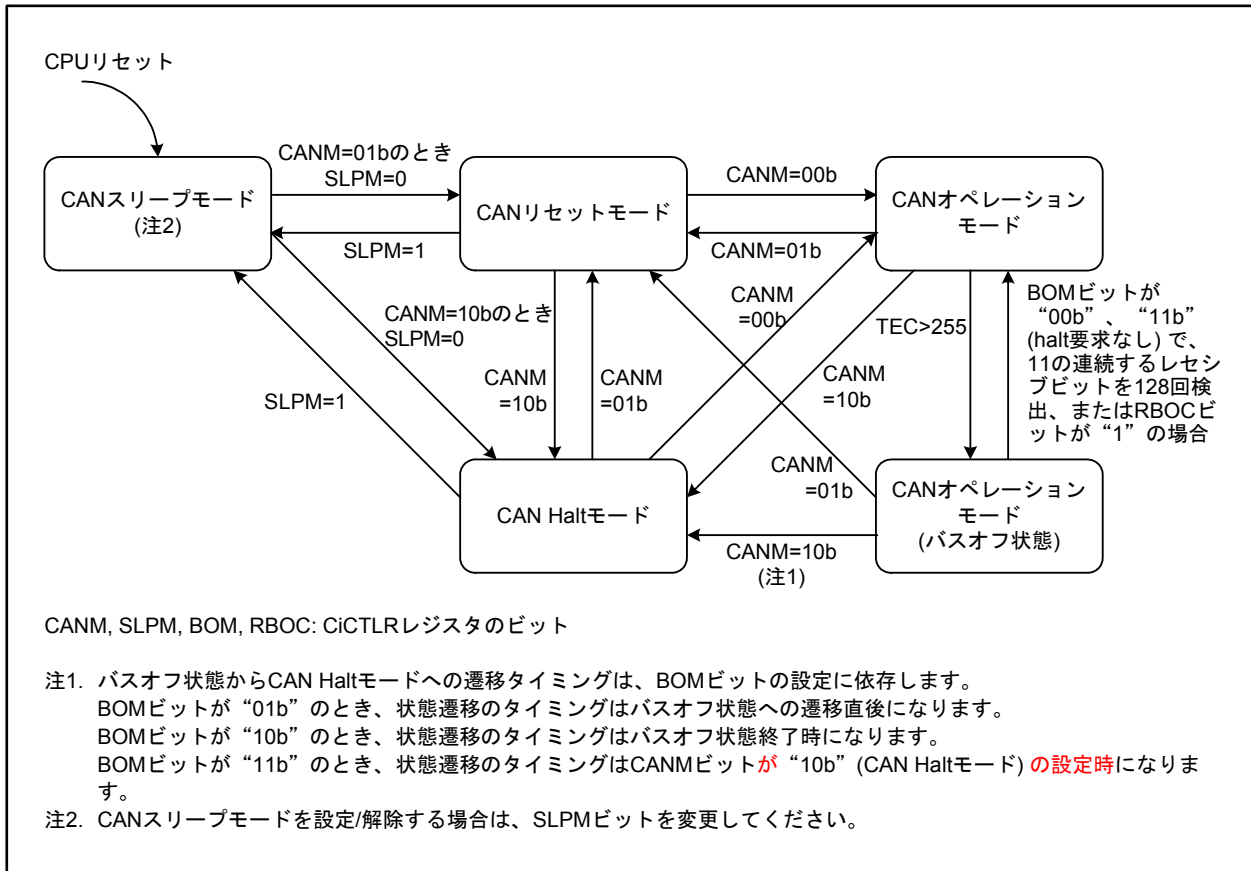


図25.34 CAN動作モード間の遷移 (i=0~2)

【正】

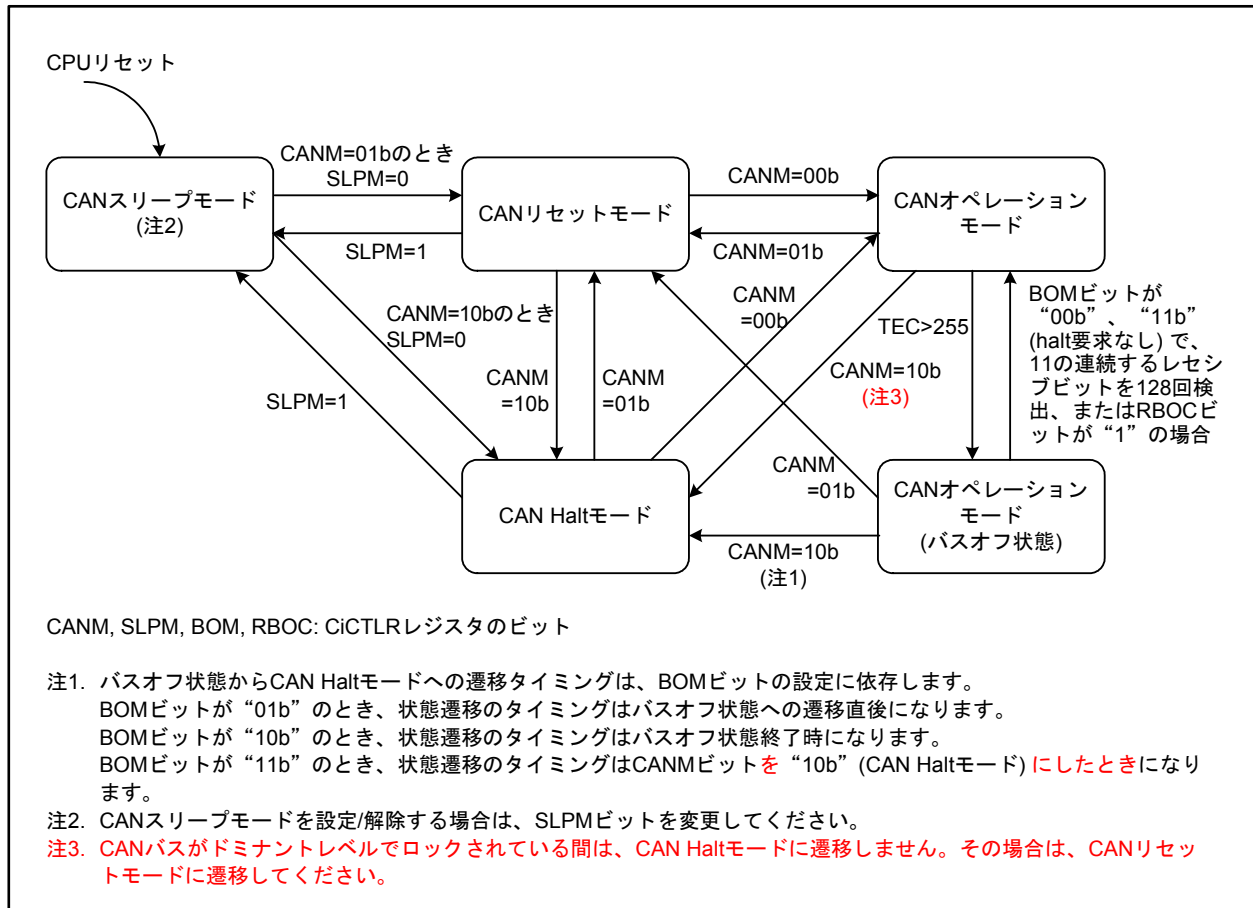


図 25.34 CAN動作モード間の遷移 (i=0~2)

•Page 486 of 633

表25.9 を以下のとおり加筆、訂正いたします(TN-16C-A229A/J 参照)。

【誤】

表 25.9 CANリセットモードとCAN Haltモードでの動作

モード	受信	送信	バスオフ
CANリセットモード	メッセージ受信の終了を待たずにCANリセットモードに遷移	メッセージ送信の終了を待ってCANリセットモードに遷移(注1、4)	バスオフ復帰の終了を待たずにCANリセットモードに遷移
CAN Haltモード	メッセージ受信の終了を待ってCAN Haltモードに遷移(注2、3)	メッセージ送信の終了を待ってCAN Haltモードに遷移(注1、4)	<p>【BOMビットが“00b”の場合】 バスオフ復帰後のみ、プログラムのHalt要求を受け付ける</p> <p>【BOMビットが“01b”の場合】 バスオフ復帰の終了を待たずに自動的にCAN Haltモードに遷移(プログラムのHalt要求とは無関係に)</p> <p>【BOMビットが“10b”の場合】 バスオフ復帰の終了を待って自動的にCAN Haltモードに遷移(プログラムのHalt要求とは無関係に)</p> <p>【BOMビットが“11b”の場合】 バスオフ中にプログラムによるHalt要求があると、CAN Haltモードに遷移(バスオフ復帰の終了を待たずに)</p>

BOMビット: CiCTRLレジスタのビット(i=0~2)

- 注1. いくつかのメッセージが送信要求されている場合、最初の送信完了後にモードを遷移します。サスペンドトランSMission中にCANリセットモードが要求されている状態では、バスアイドルになったとき、次の送信が終了したとき、またはCANモジュールが受信になったときに、モードを遷移します。
- 注2. CANバスがドミナントレベルでロックされた場合、CiEIFRレジスタのBLIFビットをモニタすると、プログラムはバスロック状態を検出できます。
- 注3. CAN Haltモードが要求された後、受信中にCANバスエラーが発生すると、CAN Haltモードに遷移します。
- 注4. CANリセットモードまたはCAN Haltモードが要求された後、送信中にCANバスエラーまたはCANアービトレーションロストが発生すると、要求されたCANモードに遷移します。

【正】

表 25.9 CANリセットモードとCAN Haltモードでの動作

モード	受信	送信	バスオフ
CANリセットモード	メッセージ受信の終了を待たずにCANリセットモードに遷移	メッセージ送信の終了を待ってCANリセットモードに遷移(注1、4)	バスオフ復帰を待たずにCANリセットモードに遷移
CAN Haltモード	メッセージ受信の終了を待ってCAN Haltモードに遷移(注2、3)	メッセージ送信の終了を待ってCAN Haltモードに遷移(注1、2、4)	<p>【BOMビットが“00b”の場合】 バスオフ復帰後のみ、プログラムのHalt要求を受け付ける</p> <p>【BOMビットが“01b”の場合】 バスオフ復帰を待たずに自動的にCAN Haltモードに遷移(プログラムのHalt要求とは無関係に)</p> <p>【BOMビットが“10b”の場合】 バスオフ復帰を待って自動的にCAN Haltモードに遷移(プログラムのHalt要求とは無関係に)</p> <p>【BOMビットが“11b”の場合】 バスオフ中にプログラムによるHalt要求があると、CAN Haltモードに遷移(バスオフ復帰を待たずに)</p>

BOMビット: CiCTRLレジスタのビット(i=0~2)

- 注1. いくつかのメッセージ**送信**が要求されている場合、最初の**メッセージ送信が完了した**後にモードを遷移します。サスペンドトランスマッション中にCANリセットモードが要求されている状態では、バスアイドルになったとき、次の送信が終了したとき、またはCANモジュールが受信になったときに、モードを遷移します。
- 注2. CANバスがドミナントレベルでロックされた場合、CiEIFRレジスタのBLIFビットをモニタすると、プログラムはバスロックを検出できます。**CANバスがドミナントレベルでロックされている間は、CAN Haltモードに遷移しません。この場合は、CANリセットモードに遷移してください。**
- 注3. CAN Haltモードが要求された後、受信中にCANバスエラーが発生すると、CAN Haltモードに遷移します**(ただし、CANバスがドミナントレベルでロックされている場合は、CAN Haltモードに遷移しません)**。
- 注4. CANリセットモードまたはCAN Haltモードが要求された後、送信中にCANバスエラーまたはCANアービトレーションロストが発生すると、要求された**動作モードに遷移します(ただし、CANバスがドミナントレベルでロックされている場合は、CAN Haltモードに遷移しません)**。

•Page 487 of 633

25.2.3項 本文の1段落目を以下のとおり訂正いたします。

【誤】

CANスリープモードは、CANモジュールへのクロック供給を停止することによって、消費電流を低減するためのモードです。MCUのハードウェアリセットまたはソフトウェアリセット実行後、CANスリープモードから動作を開始します。

【正】

CANスリープモードは、CANモジュールへのクロック供給を停止することによって、消費電流を低減するためのモードです。MCUのリセット後は、CANスリープモードから動作を開始します。

•Page 490 of 633

図25.36のPCDビット部のqの値を以下のとおり訂正いたします。

【誤】

q=1, 2, 3, 4

【正】

q=2, 3, 4

•Page 502 of 633

26章 章頭本文を以下のとおり訂正いたします(TN-16C-A199A/J 参照)。

【誤】

プルアップ抵抗は端子が出力になっている場合と、アナログ入出力になっている場合には、レジスタの設定内容にかかわらず切り離されます。

【正】

プルアップ抵抗は、端子が出力になっている場合には、レジスタの設定内容にかかわらず切り離されます。

•Page 502 of 633

図26.1を以下のとおり訂正いたします(TN-16C-A199A/J 参照)。

【誤】

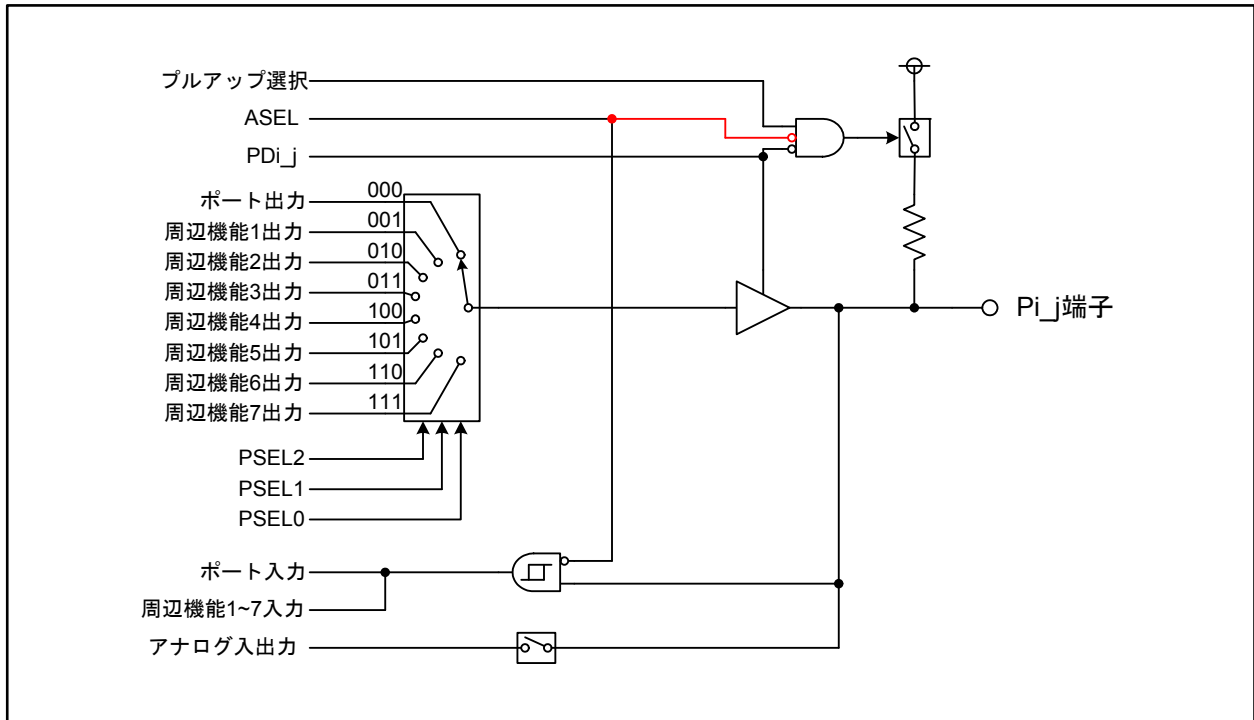


図26.1 入出力端子ブロック図(代表例) (i=0~15、j=0~7)

【正】

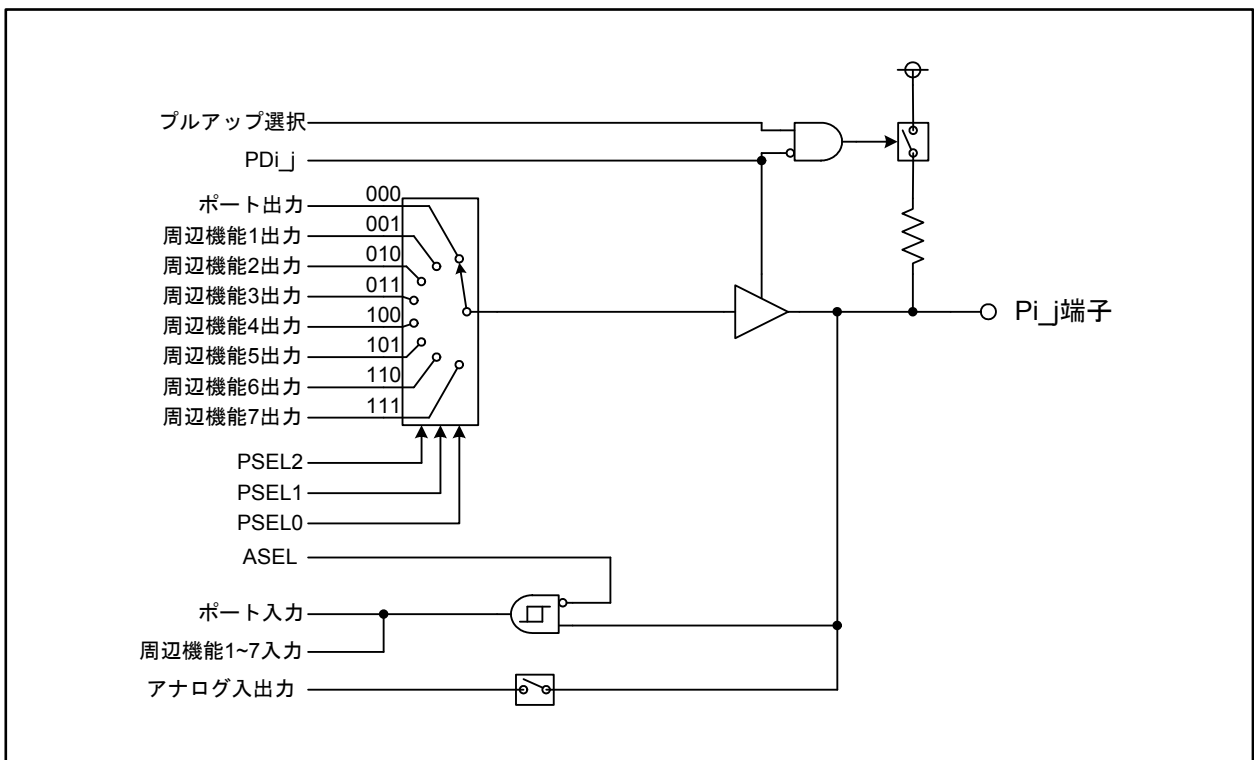


図26.1 入出力端子ブロック図(代表例) (i=0~15、j=0~7)

以上