

RENESAS TECHNICAL UPDATE

〒211-8668 神奈川県川崎市中原区下沼部1753
 ルネサス エレクトロニクス株式会社
 問合せ窓口 <http://japan.renesas.com/inquiry>
 E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-16C-A208A/J	Rev.	第1版
題名	R32C/111 グループ ハードウェアマニュアルの誤記訂正(3)		情報分類	技術情報	
適用製品	R32C/111 グループ	対象ロット等	関連資料	R32C/111 グループ ハードウェアマニュアル Rev.1.10 (RJJ09B0458-0110)	

R32C/111 グループ ハードウェアマニュアル Rev.1.10 において誤記がありましたので、以下のとおり訂正いたします。

〈訂正内容〉

•Page 17 of 483

表1.10の割り込み端子名を以下のとおり訂正いたします。

INT5, INT4, INT3

【誤】

INT5, INT4, INT3

【正】

•Page 24 of 483

表1.15のクロック出力の機能を以下のとおり訂正いたします。

fC、f8または、f32と同じ周期のクロックを出力します

【誤】

低速クロック、f8または、f32と同じ周期のクロックを出力します

【正】

•Page 51 of 483

表4.15 AD0CON2 レジスタのリセット後の値を以下のとおり訂正いたします。

X00X X000b

【誤】

XX0X X000b

【正】

•Page 76 of 483

図8.1を以下のとおり訂正いたします。

【誤】

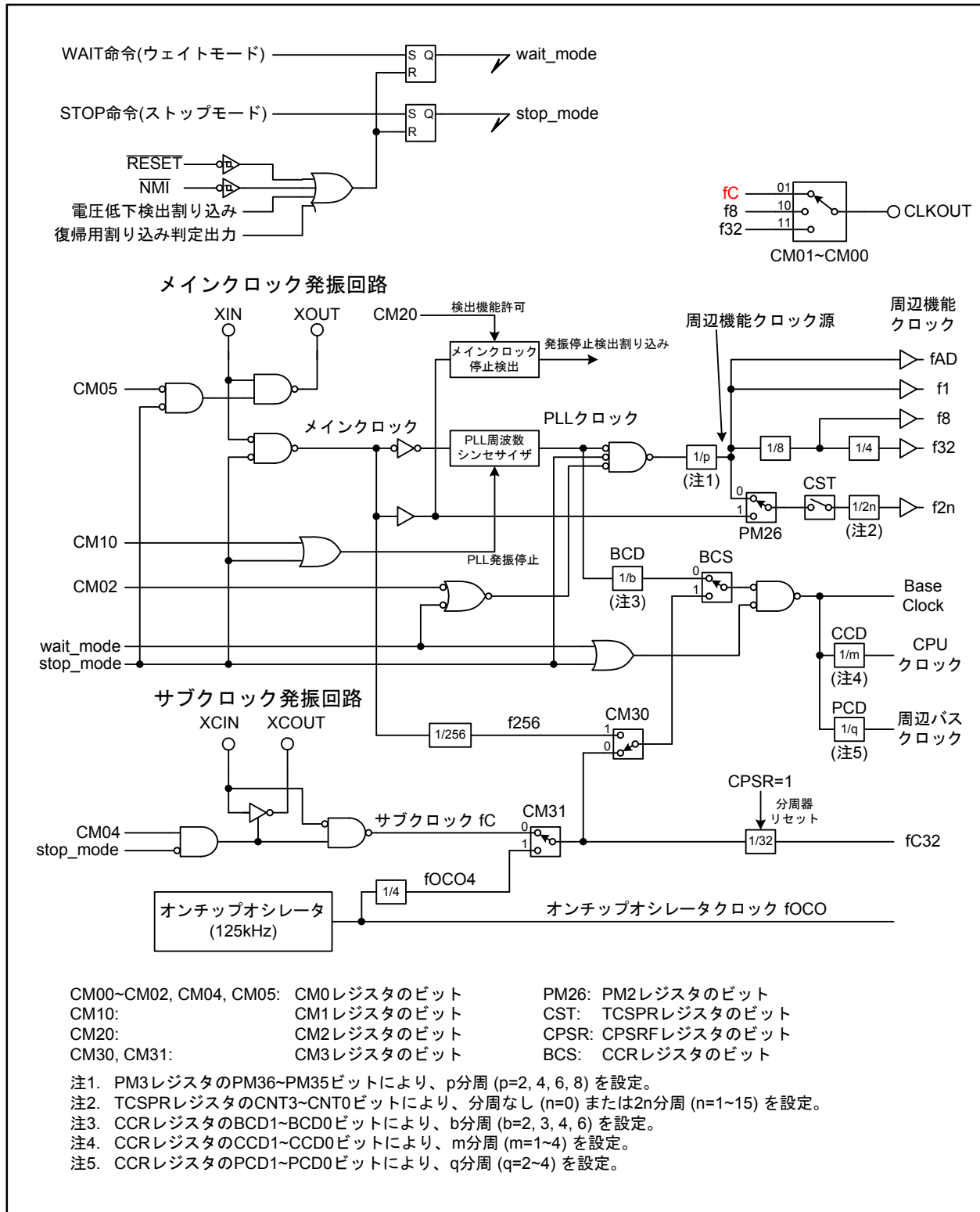


図8.1 クロック発生回路のブロック図

【正】

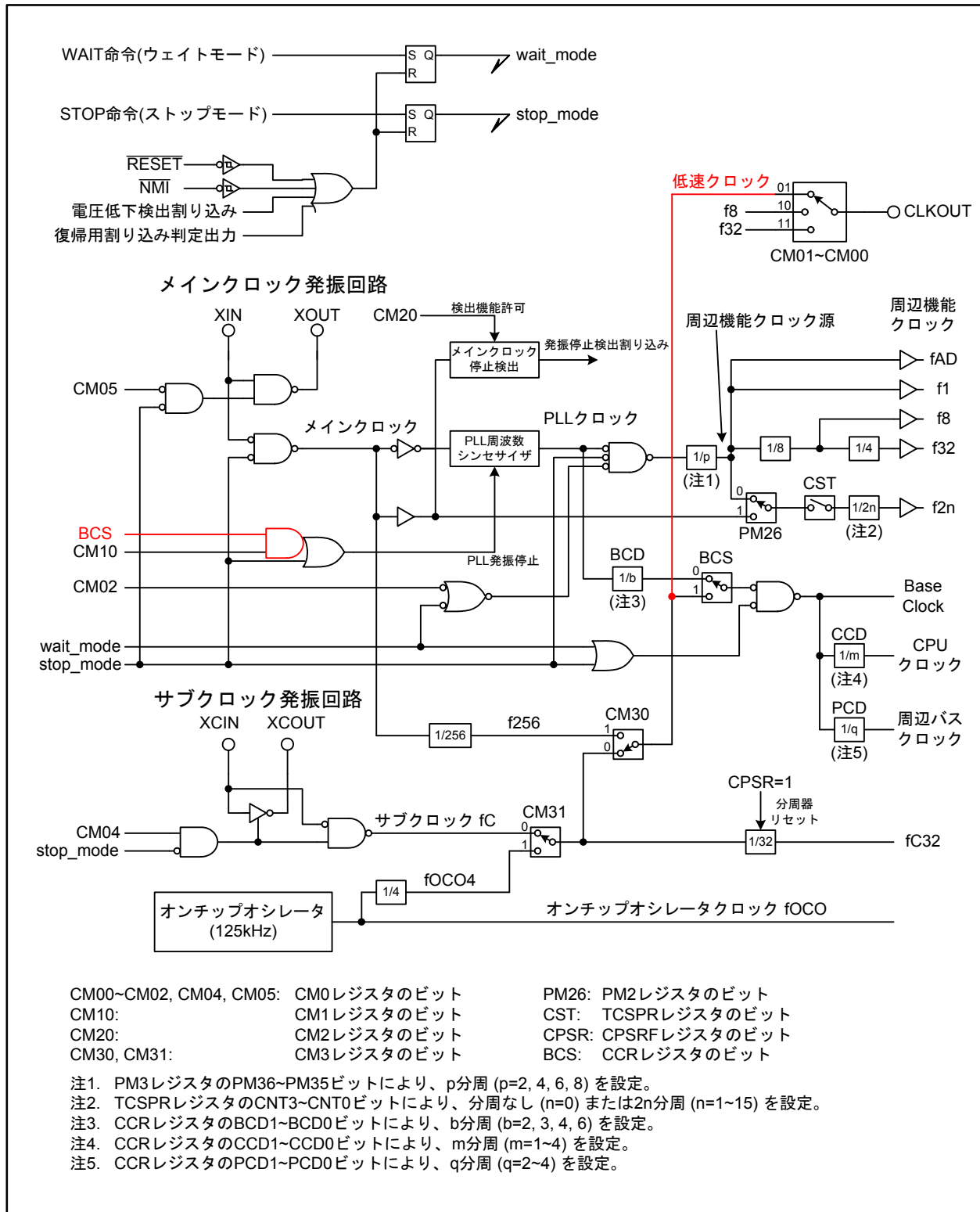


図8.1 クロック発生回路のブロック図

•Page 77 of 483

図8.2の注2、注6の文章をそれぞれ以下のとおり訂正いたします。

【誤】

注2. ベースクロック分周値と周辺バスクロック分周値は、同時に値を変更しないでください。同時に変更した場合、周辺バスクロックが動作上限周波数を越える場合があります。ベースクロックの周波数を上げる場合は、先に周辺バスクロック分周値を大きくした後、ベースクロック分周値を小さくしてください。

注6. これらの低速クロックの切り替えは、CM3レジスタのCM31~CM30ビットで行います。

【正】

注2. ベースクロック分周値と周辺バスクロック分周値は、同時に値を変更しないでください。同時に変更した場合、周辺バスクロックが動作上限周波数を越える場合があります。

注6. これらの低速クロックの切り替えは、CM3レジスタのCM31~CM30ビットで行います。先にCM31~CM30ビットでいずれかのクロックを選択した後、このビットを“1”にしてください。

•Page 78, 91, 98, 101 of 483

図8.3のCM01~CM00ビットの機能欄、8.6本文、表8.3、表8.4、表8.5のfCをそれぞれ以下のとおり訂正いたします。

【誤】

図8.3: fCを出力

8.6: fC、f8、またはf32をCLKOUT端子から出力できます。

表8.3: fCを出力

表8.4: fCを出力

表8.5: fC選択時

表8.7: fC選択時

【正】

図8.3: 低速クロックを出力

8.6: 低速クロック、f8、またはf32をCLKOUT端子から出力できます。

表8.3: 低速クロックを出力

表8.4: 低速クロックを出力

表8.5: 低速クロック選択時

表8.7: 低速クロック選択時

•Page 78 of 483

図8.3のCM06ビットに対し、以下の注記を追加いたします。

【誤】

—なし—

【正】

注8. このビットはウォッチドッグタイマを動作させる前に設定してください。動作中に書き換える場合は、WDTSレジスタに書いた直後に実施してください。

•Page 79 of 483

図8.4の注2の文章を以下のとおり訂正いたします。

【誤】

注2. CCRレジスタのBCSビットが“0”(ベースクロック源はPLLクロック)の場合、CM10ビットを“1”
にすることはできません。

【正】

注2. CCRレジスタのBCSビットが“0”(ベースクロック源はPLLクロック)の場合、CM10ビットを“1”
にしてもPLL周波数シンセサイザの発振は停止しません。

•Page 79 of 483

図8.4のCM16~CM15ビットに対し、以下の注記を追加いたします。

【誤】

—なし—

【正】

注4. メインクロックを停止させると“01b”になります。“00b”や“10b”にするときは、メインクロックの
発振が十分安定してから実施してください。

•Page 80 of 483

図8.6の注1に以下のとおり文章を追記いたします。

【誤】

注1. このレジスタはPRCR2レジスタのPRC27ビットを“1”(書き込み許可)にした後で書き換えてくだ
さい。

【正】

注1. このレジスタはPRCR2レジスタのPRC27ビットを“1”(書き込み許可)にした後で書き換えてくだ
さい。また、CCRレジスタのBCSビットが“0”(PLLクロック)のときに書き換えてください。

•Page 81 of 483

図8.9の注3内の記述を以下のとおり訂正いたします。

【誤】

CM0レジスタのCM05ビット(メインクロックは停止しない)

CM1レジスタのCM10ビット(PLLは停止しない)

【正】

CM0レジスタのCM05ビット(メインクロックの発振/停止)

CM1レジスタのCM10ビット(PLLの発振/停止)

•Page 81 of 483

図8.9のPM26ビットに対し、以下の注記を追加いたします。

【誤】

—なし—

【正】

注5. このビットを変更するときは、f2nを使用するすべての周辺機能を停止してから書き換えてください。

•Page 82 of 483

図8.10の注1に以下のとおり文章を追記いたします。

【誤】

注1. このレジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

【正】

注1. このレジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。また、fAD、f1、f8、f32、クロック源に周辺機能クロック源を選択したf2nを使用するすべての周辺機能を停止してから書き換えてください。

•Page 86 of 483

図8.15のSEOビットのビット名と機能欄をそれぞれ以下のとおり訂正いたします。

【誤】

ビット名: 自励発振モード設定ビット
機能欄: 0: メインクロック逡倍モード
1: 自励発振モード

【正】

ビット名: 自励発振動作設定ビット
機能欄: 0: メインクロック逡倍動作
1: 自励発振動作

•Page 89 of 483

8.2.1項本文2段落目に以下のとおり文章を追記いたします。

【誤】

発振停止検出後、メインクロックの発振が再開した場合、PLL周波数シンセサイザの発振が安定するまでに一時的にPLLクロック周波数が設定周波数を超える場合があります。発振停止を検出した後は、速やかにプログラムでベースクロックの分周比(CCRレジスタのBCD1~BCD0ビットで設定)と、周辺機能クロック源の分周比(PM3レジスタのPM36~PM35ビットで設定)を上げてください。

【正】

発振停止検出後、メインクロックの発振が再開した場合、PLL周波数シンセサイザの発振が安定するまでに一時的にPLLクロック周波数が設定周波数を超える場合があります。発振停止を検出した後は、速やかにプログラムで**メインクロックの再発振を抑止する(CM0レジスタのCM05ビットを“1”にする)か**、ベースクロックの分周比(CCRレジスタのBCD1~BCD0ビットで設定)と周辺機能クロック源の分周比(PM3レジスタのPM36~PM35ビットで設定)を上げてください。

•Page 100 of 483

8.7.3項本文を以下のとおり訂正いたします。

【誤】

ストップモードでは、**すべての**発振が停止します。したがって、CPUクロックと周辺機能クロックも停止し、これらのクロックで動作するCPU、周辺機能は停止します。消費電力がもっとも少ないモードです。

【正】

ストップモードでは、**停止しないように保護されたクロックを除くすべてのクロック**の発振が停止します。したがって、CPUクロックと周辺機能クロックも停止し、これらのクロックで動作するCPU、周辺機能は停止します。消費電力がもっとも少ないモードです。

•Page 106 of 483

9.3.1項の本文下部の数式を以下のとおり訂正いたします。

【誤】

- メモリ拡張モードの場合
 $0080000h < (CB23 \times 2^{18}) < (CB12 \times 2^{18}) < (CB01 \times 2^{18}) \leq 3DC0000h$
- マイクロプロセッサモードの場合
 $0080000h < (CB23 \times 2^{18}) < (CB12 \times 2^{18}) < (CB01 \times 2^{18}) \leq 3FC0000h$

【正】

- メモリ拡張モードの場合
 $0080000h \leq (CB23 \times 2^{18}) \leq (CB12 \times 2^{18}) \leq (CB01 \times 2^{18}) \leq 3DC0000h$
- マイクロプロセッサモードの場合
 $0080000h \leq (CB23 \times 2^{18}) \leq (CB12 \times 2^{18}) \leq (CB01 \times 2^{18}) \leq 3FC0000h$

•Page 108 of 483

図9.4、図9.5の注2を削除いたします。

【誤】

注2. シングルチップモード時は、このレジスタに値を設定しないでください。

【正】

—なし—

•Page 109 of 483

図9.6、図9.7、図9.8の設定範囲と注2を以下のとおり訂正いたします。

【誤】

•図9.6

メモリ拡張モード時: 04h~F8h

マイクロプロセッサモード時: 04h~FFh

注2 CB12レジスタの設定値より大きい値を設定してください。

•図9.7

メモリ拡張モード時: 03h~F7h

マイクロプロセッサモード時: 03h~FEh

注2 CB23レジスタの設定値より大きい値を設定してください。また、CB01レジスタの設定値より小さい値を設定してください。

•図9.8

メモリ拡張モード時: 02h~F6h

マイクロプロセッサモード時: 02h~FDh

注2 CB12レジスタの設定値より小さい値を設定してください。

【正】

•図9.6

メモリ拡張モード時: 02h~F8h

マイクロプロセッサモード時: 02h~FFh

注2 CB12レジスタの設定値以上の値を設定してください。

•図9.7

メモリ拡張モード時: 02h~F8h

マイクロプロセッサモード時: 02h~FFh

注2 CB23レジスタの設定値以上の値を設定してください。また、CB01レジスタの設定値以下の値を設定してください。

•図9.8

メモリ拡張モード時: 02h~F8h

マイクロプロセッサモード時: 02h~FFh

注2 CB12レジスタの設定値以下の値を設定してください。

•Page 110 of 483

図9.9の注1を以下のとおり訂正いたします。

【誤】

注1. 各 \overline{CS} 領域の有効最大サイズは、ポート4から \overline{CS} 信号を出力しない場合16MBです。これ以上のサイズを指定した場合、16MBごとに同じデータが見えます。
ポート4から \overline{CS} 信号を出力する場合、減少するアドレス線の本数に応じ、有効最大サイズは減少します。

【正】

注1. 各 \overline{CS} 領域の有効最大サイズは、ポートP4から \overline{CS} 信号を出力しない場合16MBです。これ以上のサイズを指定した場合、16MBごとに同じデータが見えます。
ポートP4から \overline{CS} 信号を出力する場合、減少するアドレス線の本数に応じ、有効最大サイズは減少します。

•Page 111 of 483

図9.10の注1を以下のとおり訂正いたします。

【誤】

注1. 各 \overline{CS} 領域の有効最大サイズは、ポート4から $\overline{CS0}$ 以外の \overline{CS} 信号を出力しない場合16MBです。これ以上のサイズを指定した場合、16MBごとに同じデータが見えます。
ポート4から $\overline{CS0}$ 以外の \overline{CS} 信号を出力する場合、減少するアドレス線の本数に応じ、有効最大サイズは減少します。

【正】

注1. 各 \overline{CS} 領域の有効最大サイズは、ポートP4から \overline{CS} 信号を出力しない場合16MBです。これ以上のサイズを指定した場合、16MBごとに同じデータが見えます。
ポートP4から \overline{CS} 信号を出力する場合、減少するアドレス線の本数に応じ、有効最大サイズは減少します。

•Page 114 of 483

表9.2のメモリ拡張モード時におけるP4_0~P4_3の端子機能の記載を以下のとおり訂正いたします。

【誤】

A16~A19または入出力ポート

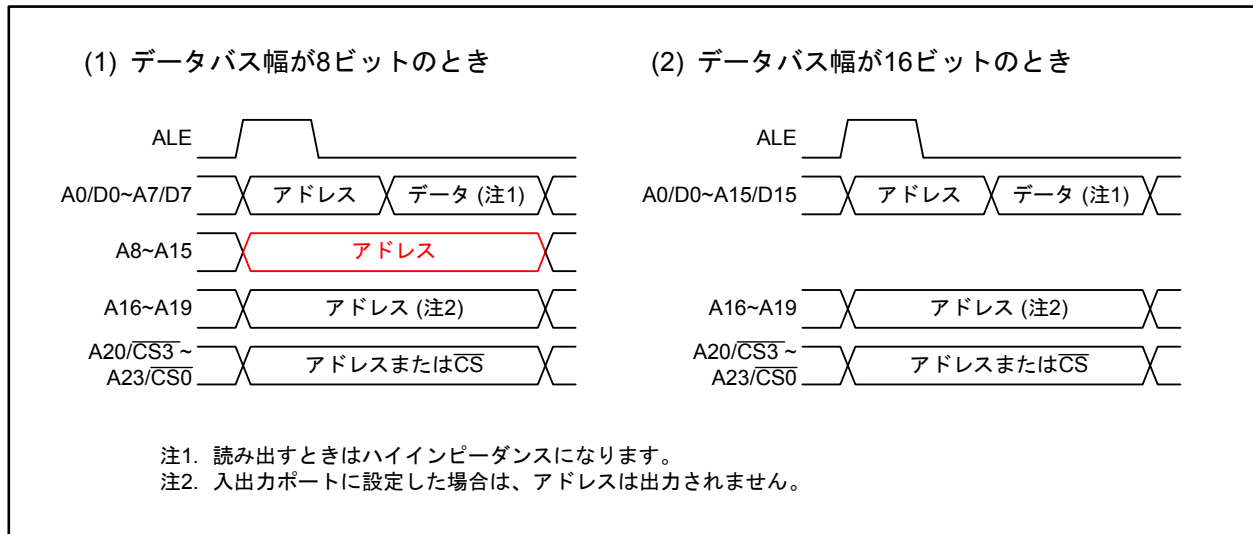
【正】

入出力ポート

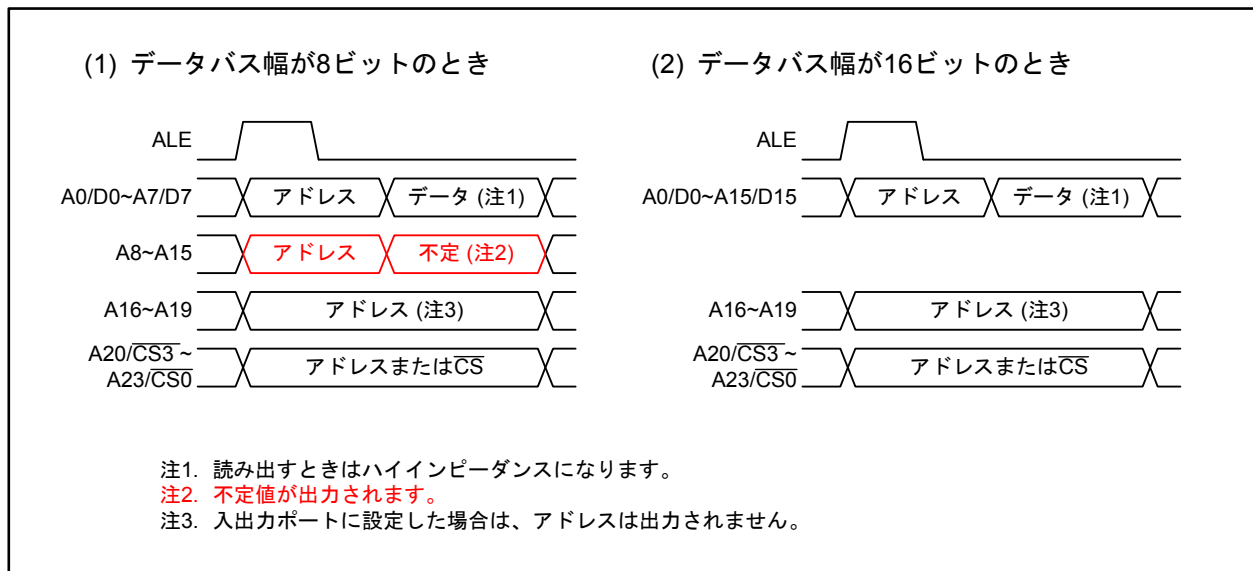
•Page 121 of 483

図9.4を以下のとおり訂正いたします。

【誤】



【正】



•Page 148 of 483

図11.8を以下のとおり訂正いたします。

【誤】

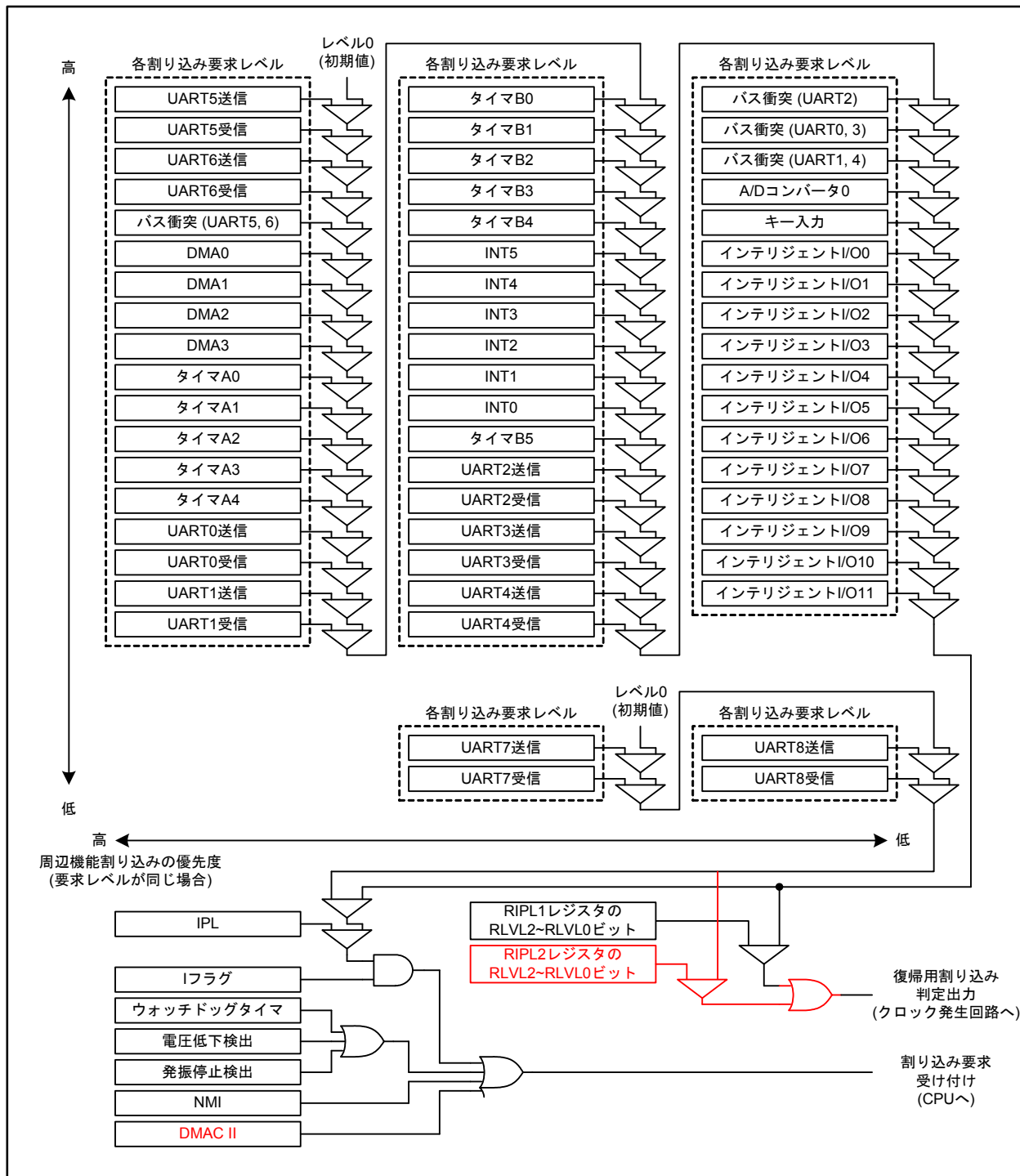


図 11.8 割り込み優先順位判定回路

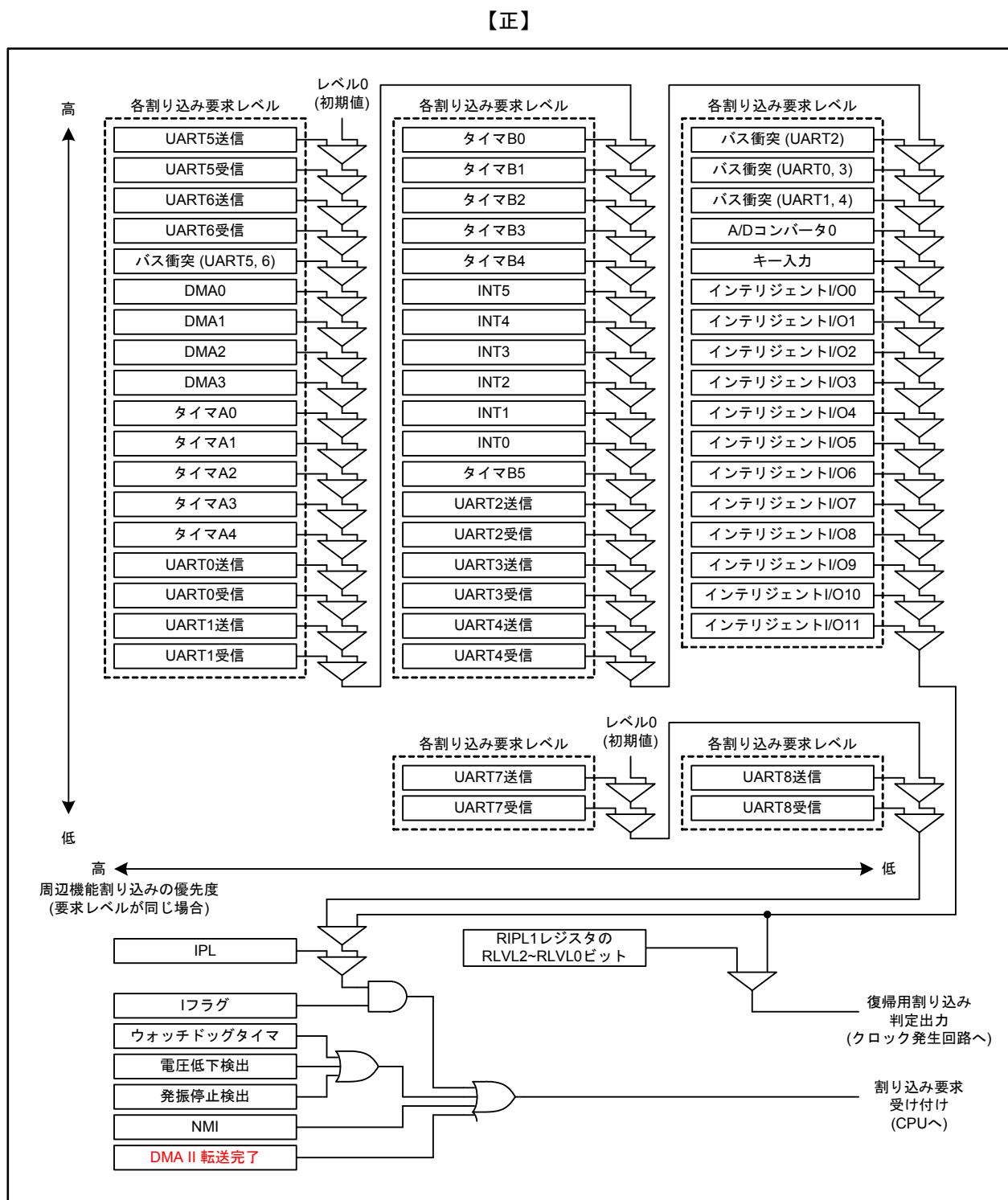


図 11.8 割り込み優先順位判定回路

•Page 150 of 483

図11.10の注1を以下のとおり削除いたします。

【誤】

注1 レベルセンスを選択する場合、このビットは“0”にしてください。

両エッジを選択する場合、対応するINTiICレジスタ(i=6~8)のPOLビットを“0”(立下りエッジ)にしてください。

【正】

—なし—

•Page 153 of 483

図11.13の(b0)の機能欄から以下のとおり文章を一部削除いたします。

【誤】

何も配置されていない。書く場合、“0”を書いてください。

読んだ場合、その値は“1”

【正】

何も配置されていない。読んだ場合、その値は“1”

•Page 153 of 483

図11.13の注3を以下のとおり訂正いたします。

【誤】

注3. 当該ビットに機能が割り当てられている場合、“0”のみ書けます。“1”を書いても変化しません。“0”を書く場合、AND命令またはBCLR命令を使用してください。

【正】

注3. 当該ビットに機能が割り当てられている場合、“0”のみ書けます。“1”は書かないでください。“0”を書く場合、AND命令またはBCLR命令を使用してください。

•Page 157 of 483

図12.2のWDC7ビットに対し、以下の注記を追加いたします。

【誤】

—なし—

【正】

注1. このビットは、ウォッチドッグタイマ起動前に設定してください。

•Page 187 of 483

図16.2を以下のとおり訂正いたします。

【誤】

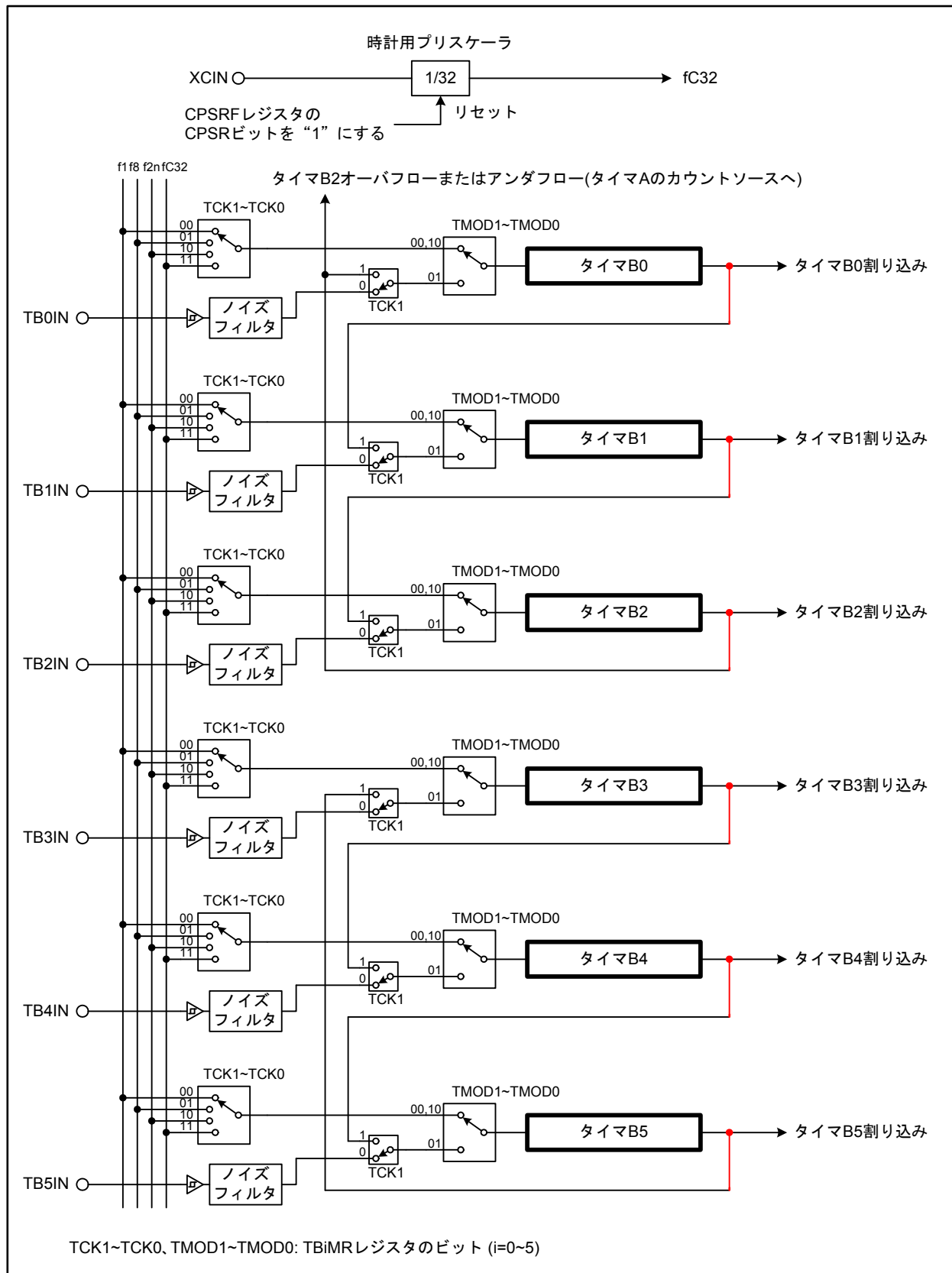


図 16.2 タイマ B の構成

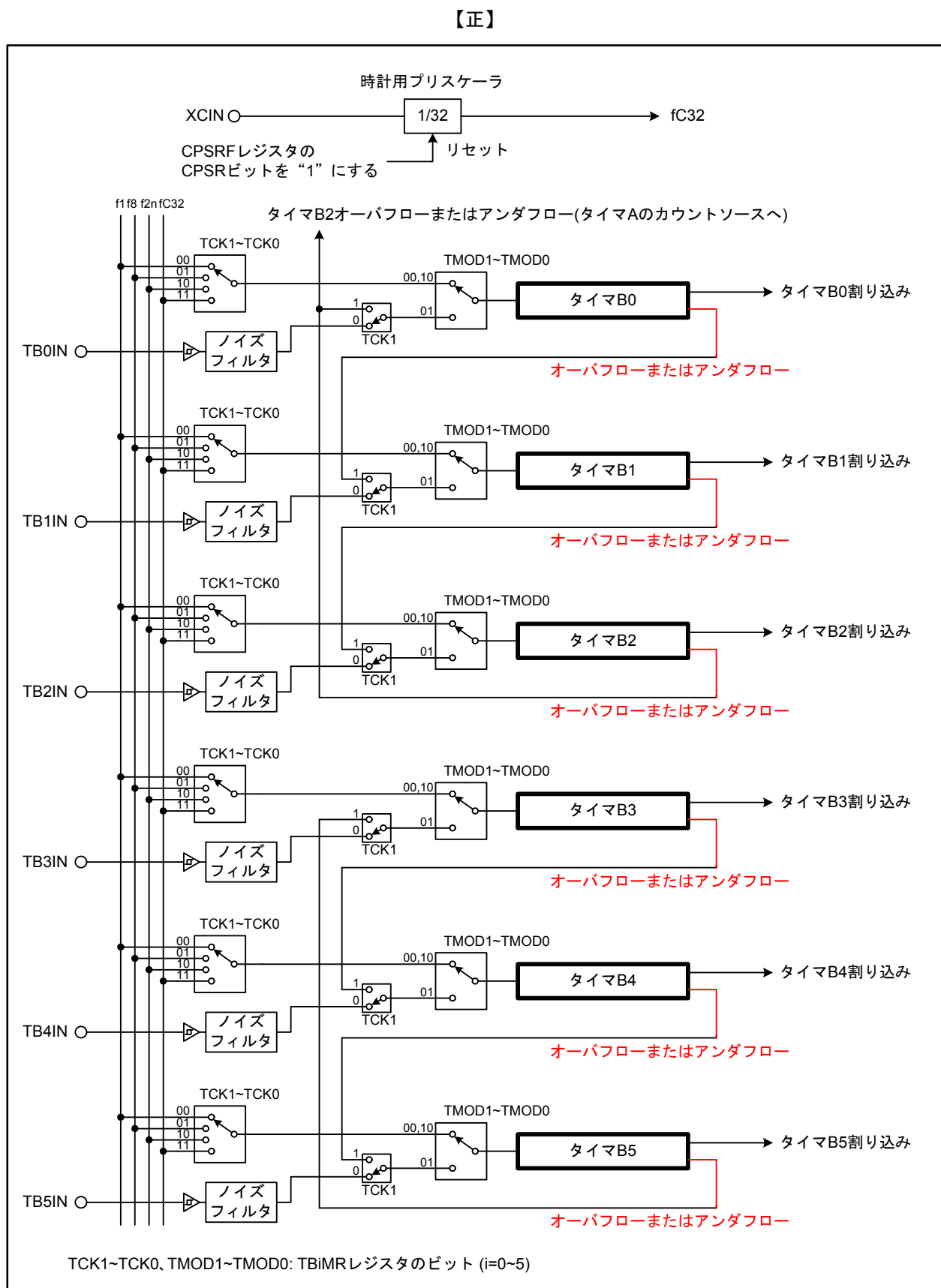


図 16.2 タイマBの構成

•Page 220, 224 of 483

図17.3のINV13ビットの機能欄、図17.9のPWCONビットの機能欄をそれぞれ以下のとおり訂正いたします。

【誤】

INV13: タイマAリロード制御信号が...

PWCON: 奇数回目のタイマA出力

【正】

INV13: タイマA1リロード制御信号が...

PWCON: タイマA1リロード制御信号が“0”のときのタイマB2アンダフロー

•Page 224 of 483

図17.8のMR2ビットとMR3ビットの説明文を以下のとおり訂正いたします。

【誤】

MR2: 三相モータ制御用タイマ機能では“0”にしてください

MR3: 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定

【正】

MR2: 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定

MR3: 三相モータ制御用タイマ機能では無効。書く場合、“0”を書いてください。読んだ場合、その値は不定

•Page 225 of 483

17.3本文の3段落目の一部を以下のとおり削除いたします。

【誤】

また三相モード1では、タイマB2割り込みごとにカウンタへのリロード値がTA_i、TA_{i-1} (i=4, 1, 2)を入れ替わるため、タイマB2割り込みの頻度を半分に減らすことができます。このモードではTA_iレジスタ設定値とTA_{i1}レジスタ設定値の合計がTB2レジスタ設定値と一致するようにします。

【正】

また三相モード1では、タイマB2割り込みごとにカウンタへのリロード値がTA_i、TA_{i-1} (i=4, 1, 2)を入れ替わるため、タイマB2割り込みの頻度を半分に減らすことができます。

•Page 230 of 483

図17.17の(1)の1項目目を以下のとおり訂正いたします。

【誤】

- INV01=0、ICTB2=2h (タイマB2アンダフロー 2回目ごとにタイマB2割り込み)、またはINV01=1、INV00=1、ICTB2=1h (タイマAリロード制御信号の立ち下がりでタイマB2割り込み)

【正】

- INV01=0、ICTB2=2h (タイマB2アンダフロー 2回目ごとにタイマB2割り込み)、またはINV01=1、INV00=1、ICTB2=1h (タイマA1リロード制御信号が“1”のときのタイマB2アンダフローごとにタイマB2割り込み)

•Page 232 of 483

17.6.2項本文を以下のとおり訂正いたします。

【誤】

- タイマB2が**オーバーフロー**する前後で、TAi1レジスタ (i=1, 2, 4)に値を設定しないでください。TAi1レジスタに値を設定する場合は、TB2レジスタの値を読んで、**オーバーフロー**までに十分な時間があることを確認してから設定してください。TB2レジスタの読み出しと、TAi1レジスタへの書き込みの間隔が開かないよう、この間に割り込み処理などが実行されないようにしてください。また、TB2レジスタを読み出した結果、**オーバーフロー**までに十分な時間がない場合は、**オーバーフロー**するまで待った後TAi1レジスタを設定してください。

【正】

- タイマB2が**アンダフロー**する前後で、TAi1レジスタ (i=1, 2, 4)に値を設定しないでください。TAi1レジスタに値を設定する場合は、TB2レジスタの値を読んで、**アンダフロー**までに十分な時間があることを確認してから設定してください。TB2レジスタの読み出しと、TAi1レジスタへの書き込みの間隔があかないよう、この間に割り込み処理などが実行されないようにしてください。また、TB2レジスタを読み出した結果、**アンダフロー**までに十分な時間がない場合は、**アンダフロー**するまで待った後TAi1レジスタを設定してください。

•Page 249 of 483

図18.19の注1を以下のとおり削除いたします。

【誤】

- 注1. レベルセンスを選択する場合、このビットは“0”にしてください。
両エッジを選択する場合、対応するINTiICレジスタ (i=6~8)のPOLビットを“0”(立ち下がりエッジ)にしてください。

【正】

—なし—

•Page 253 of 483

図18.20の波形の名称を以下のとおり訂正いたします。

【誤】

- UiC0レジスタのTXEPT **フラグ**

【正】

- UiC0レジスタのTXEPT **ビット**

•Page 253 of 483

図18.20の設定条件記載箇所の4項目目を以下のとおり訂正いたします。

【誤】

- UiC1レジスタ、U78CONレジスタのUiRSビット=0 (UiTBレジスタ空で割り込み要求発生)

【正】

- UiC1レジスタ、U78CONレジスタのUiRSビット=0 (UiTBレジスタ空で割り込み要求発生)

•Page 306 of 483

図21.1を以下のとおり訂正いたします。

【誤】

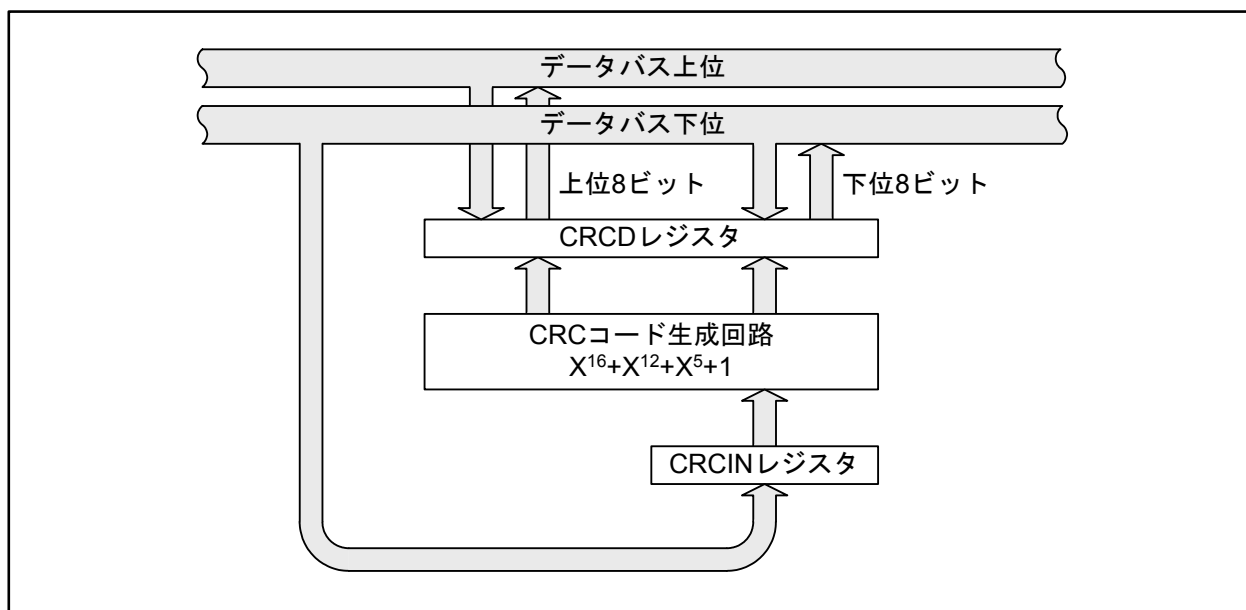


図21.1 CRC演算回路のブロック図

【正】

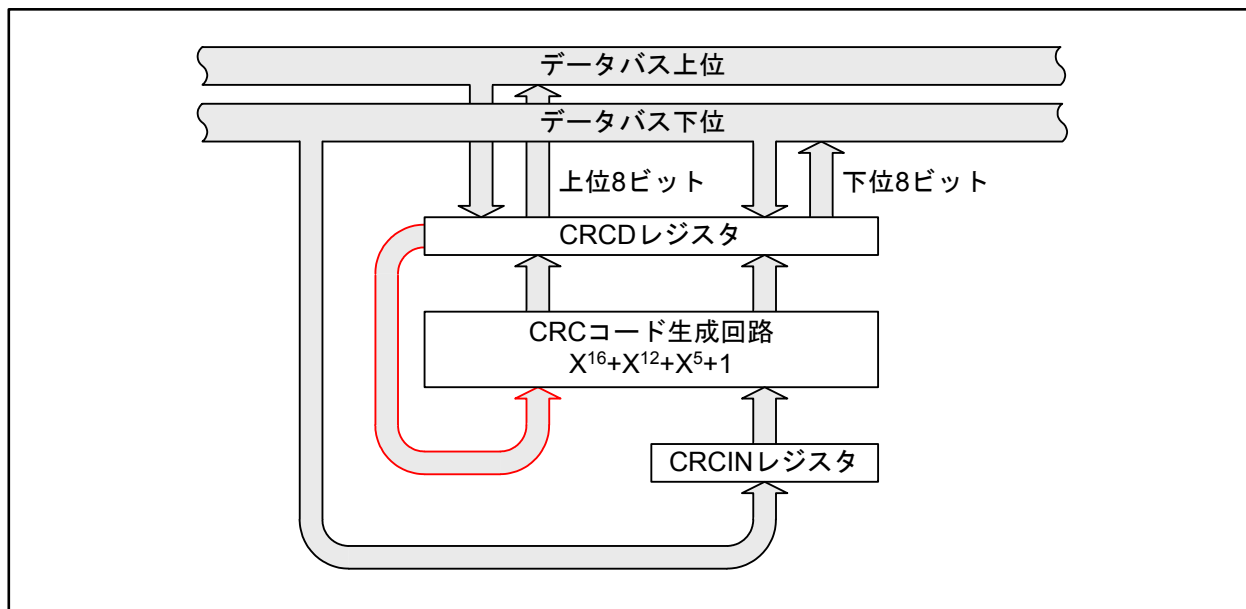


図21.1 CRC演算回路のブロック図

•Page 314, 315 of 483

図23.1左上の「 $\overline{\text{INT0}}$ 端子からの要求」、図23.2左上の「 $\overline{\text{INT1}}$ 端子からの要求」をそれぞれ以下のとおり訂正いたします。

【誤】

図23.1: $\overline{\text{INT0}}$ 端子からの要求図23.2: $\overline{\text{INT1}}$ 端子からの要求

【正】

図23.1: $\overline{\text{INT0}}$ 端子または $\overline{\text{INT1}}$ 端子からの要求図23.2: $\overline{\text{INT0}}$ 端子または $\overline{\text{INT1}}$ 端子からの要求

•Page 319 of 483

図23.6のRST2ビットの機能欄を以下のとおり訂正いたします。

【誤】

1: $\overline{\text{INT1}}$ 端子への“L”入力でベースタイマリセットする

【正】

1: $\overline{\text{INT0}}/\overline{\text{INT1}}$ 端子への“L”入力でベースタイマをリセットする

•Page 319 of 483

図23.6の注3を以下のとおり訂正いたします。

【誤】

注3. グループ0の場合 $\overline{\text{INT0}}$ 端子、グループ1の場合 $\overline{\text{INT1}}$ 端子に“L”を入力するとベースタイマリセットをします。

【正】

注3. IFS2レジスタでUDiZ信号用に選択した外部割り込み入力端子に“L”を入力するとベースタイマをリセットをします。

•Page 322 of 483

図23.9の注3を以下のとおり削除いたします。

【誤】

注3. ゲート機能解除後、GOCビットは“0”になります。

【正】

—なし—

•Page 328 of 483

表23.2のペースタイマリセット条件の仕様の一部を以下のとおり訂正いたします。

【誤】

- 外部割り込み端子に“L”を入力

グループ0: $\overline{\text{INT0}}$ 端子

グループ1: $\overline{\text{INT1}}$ 端子

【正】

- 外部割り込み端子 ($\overline{\text{INT0}}$ または $\overline{\text{INT1}}$) に“L”を入力

グループ0: IFS2 レジスタの IFS23~IFS22 ビットで選択

グループ1: IFS2 レジスタの IFS27~IFS26 ビットで選択

•Page 330 of 483

図23.18の入力信号の一部を以下のとおり訂正いたします。

【誤】

$\overline{\text{INTi}}$ 端子に“L”を入力

【正】

$\overline{\text{INT0}}/\overline{\text{INT1}}$ 端子に“L”を入力

•Page 346 of 483

表23.10の出力波形の仕様欄の一部を以下のとおり訂正いたします。

【誤】

n: G2PO0 レジスタ (j=0~7) の設定値 (上位6ビット) 00h~3Fh

m: G2PO0 レジスタの設定値 (下位10ビット) 00h~3FFh

【正】

n: G2POj レジスタ (j=0~7) の設定値 (上位6ビット) 00h~3Fh

m: G2POj レジスタの設定値 (下位10ビット) 000h~3FFh

•Page 347 of 483

図23.28の信号名とレジスタ名を以下のとおり訂正いたします。

【誤】

信号名: fBTi

レジスタ名: G2POCR レジスタ

【正】

信号名: fBT2

レジスタ名: G2POCRj レジスタ

•Page 354 of 483

図23.36のOPOL、IPOLビットのビット名を以下のとおり訂正いたします。

【誤】

OPOLビット: ISTxD出力極性選択ビット

IPOLビット: ISRxD入力極性選択ビット

【正】

OPOLビット: ISTXD2出力極性選択ビット

IPOLビット: ISRXD2入力極性選択ビット

•Page 360 of 483

24 本文の2段落目を以下のとおり訂正いたします(TN-16C-A198A/J 参照)。

【誤】

また、端子4本ごとにプルアップ抵抗の有無を選択できます。プルアップ抵抗は端子が出力になっている場合と、アナログ入出力になっている場合には、レジスタの設定内容にかかわらず切り離されます。

【正】

また、端子4本ごとにプルアップ抵抗の有無を選択できます。プルアップ抵抗は、端子が出力になっている場合には、レジスタの設定内容にかかわらず切り離されます。

•Page 360 of 483

図24.1を以下のとおり訂正いたします(TN-16C-A198A/J 参照)。

【誤】

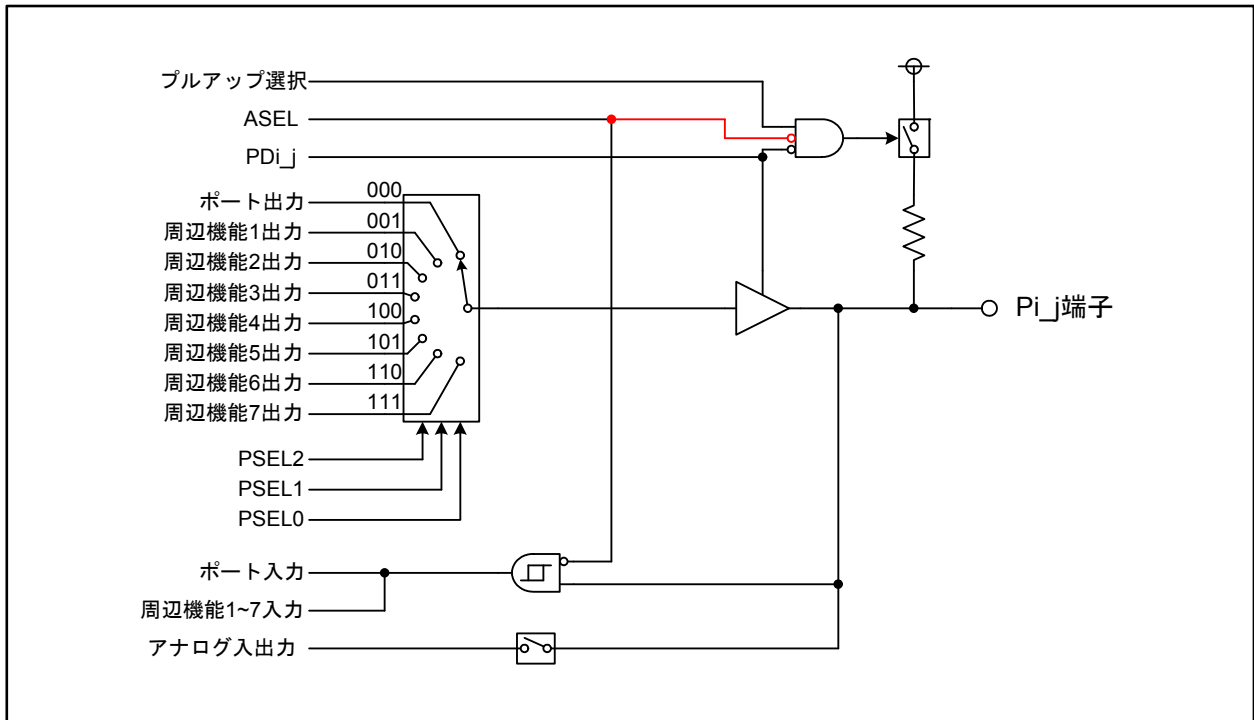


図24.1 入出力端子ブロック図(代表例) ($i=0\sim 10$ 、 $j=0\sim 7$)

【正】

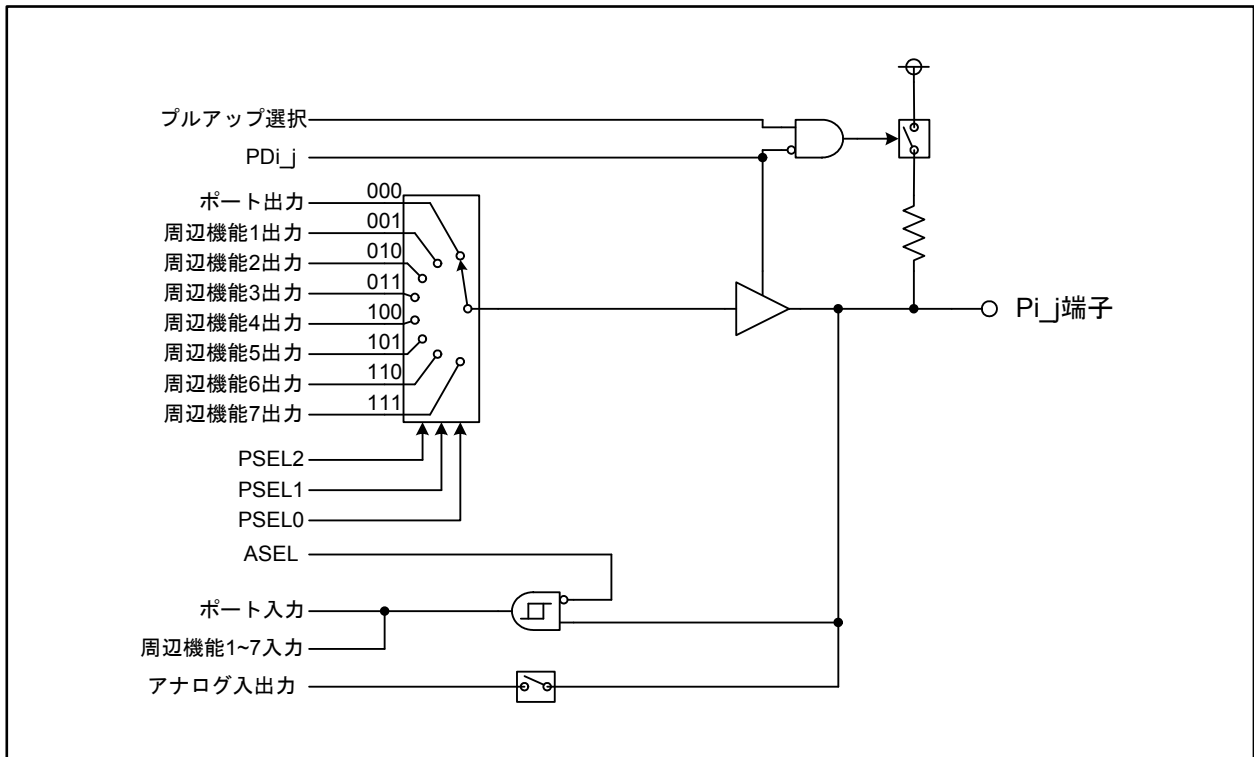


図24.1 入出力端子ブロック図(代表例) ($i=0\sim 10$ 、 $j=0\sim 7$)

•Page 360 of 483

図24.1下部の本文の4段落目を以下のとおり訂正いたします。

【誤】

また、ポート9はPRCRレジスタのPRC2ビットにより、意図しない書き込みから保護されています(「10.プロテクト」参照)。

【正】

また、ポートP9はPRCRレジスタのPRC2ビットにより、意図しない書き込みから保護されています(「10.プロテクト」参照)。

•Page 390 of 483

表25.3の保護対象と解除方法を以下のとおり訂正いたします。

【誤】

表 25.3 プロテクトの種類と特徴

プロテクト	ロックビットプロテクト	ROMコードプロテクト	IDコードプロテクト
保護対象	消去、書き込み	読み出し、 消去 、書き込み	読み出し、書き込み
:	:	:	:
解除方法	FMRレジスタのLBDビットを“1”(ロックビット無効)にする 恒久的には上記操作の後、該当ブロックを消去する	シリアルライター でプロテクトビットがセットされたブロックすべてを消去する	シリアルライターから正しいIDコードを入力する

【正】

表 25.3 プロテクトの種類と特徴

プロテクト	ロックビットプロテクト	ROMコードプロテクト	IDコードプロテクト
保護対象	消去、書き込み	読み出し、書き込み	読み出し、 消去 、書き込み
:	:	:	:
解除方法	FMRレジスタのLBDビットを“1”(ロックビット無効)にする 恒久的には上記操作の後、該当ブロックを消去する	プロテクトビットがセットされたブロックすべてを消去する	シリアルライターから正しいIDコードを入力する

•Page 390 of 483

25.2.2 本文の1段落目の一部を以下のとおり削除いたします。

【誤】

パラレル入出力モードに対して有効なプロテクトです。ROMコードプロテクトが有効な場合、パラレルライターでは、いずれの領域の内容も読み書きできません。ROMコードプロテクトを解除するには、**シリアルライターを使って**プロテクトビットを“0”(プロテクト)にしたすべてのブロックを消去してください。

【正】

パラレル入出力モードに対して有効なプロテクトです。ROMコードプロテクトが有効な場合、パラレルライターでは、いずれの領域の内容も読み書きできません。ROMコードプロテクトを解除するには、プロテクトビットを“0”(プロテクト)にしたすべてのブロックを消去してください。

•Page 392 of 483

25.2.5 本文の2段落目を以下のとおり訂正いたします。

【誤】

フラッシュメモリのROMコードプロテクトを有効にし、かつ“Protect”に相当するIDコードをプログラムした場合、シリアルライターでROMコードプロテクトを解除できなくなります。このため**シリアルライターでもパラレルライターでもフラッシュメモリにアクセスできなくなります。**

【正】

フラッシュメモリのROMコードプロテクトを有効にし、かつ“Protect”に相当するIDコードをプログラムした場合、シリアルライターでROMコードプロテクトを解除できなくなります。この場合、**パラレルライターでフラッシュメモリを消去する以外、MCU外部からフラッシュメモリにアクセスすることはできなくなります。**

•Page 394 of 483

表25.7のEW0モード、EW1モード欄に記載しているコマンド名を以下のとおり訂正いたします。

【誤】

- イレーズコマンド
- リードステータスレジスタコマンド

【正】

- **ブロック**イレーズコマンド
- リードステータスレジスタ**モード移行**コマンド

•Page 400 of 483

表25.8のメモリ拡張モード欄を以下のとおり訂正いたします。

【誤】

- CB01 レジスタ
04h~F8hの範囲で、かつCB12レジスタの設定値より大きい値を設定してください
- CB12 レジスタ
03h~F7hの範囲で、かつCB23レジスタの設定値より大きくCB01レジスタの設定値より小さい値を設定してください
- CB23 レジスタ
02h~F6hの範囲で、かつCB12レジスタの設定値より小さい値を設定してください

【正】

- CB01 レジスタ
02h~F8hの範囲で、かつCB12レジスタの設定値以上の値を設定してください
- CB12 レジスタ
02h~F8hの範囲で、かつCB23レジスタの設定値以上、CB01レジスタの設定値以下の値を設定してください
- CB23 レジスタ
02h~F8hの範囲で、かつCB12レジスタの設定値以下の値を設定してください

•Page 401, 403 of 483

図25.12、図25.13の信号名をそれぞれ以下のとおり訂正いたします。

【誤】

- 図25.12: $\overline{CS0}$
A23~A0, $\overline{BC0}$ ~ $\overline{BC3}$
- 図25.13: $\overline{CS0}$ ~ $\overline{CS3}$
A23~A0, $\overline{BC0}$ ~ $\overline{BC3}$

【正】

- 図25.12: チップセレクト
アドレス
- 図25.13: チップセレクト
アドレス

•Page 415 of 483

表25.21の一部を以下のとおり訂正いたします。

【誤】

表 25.21 標準シリアル入出力モードでの端子の機能(100ピン版)

端子名	名称	入出力	電源系統	機能
P5_6, P5_7, P6_0~P6_3	入力ポート	入力	VCC2	"H"を入力、"L"を入力、または開放してください
P6_4	BUSY出力	出力	VCC2	標準シリアル入出力モード1: BUSY信号の出力端子です 標準シリアル入出力モード2: プログラム動作チェック用モニタ
P6_5	SCLK入力	入力	VCC2	標準シリアル入出力モード1: シリアルクロックの入力端子です 標準シリアル入出力モード2: "L"を入力してください
P6_6	データ入力 RXD	入力	VCC2	シリアルデータの入力端子です
P6_7	データ出力 TXD	出力	VCC2	シリアルデータの出力端子です

【正】

表 25.21 標準シリアル入出力モードでの端子の機能(100ピン版)

端子名	名称	入出力	電源系統	機能
P5_6, P5_7	入力ポート	入力	VCC2	"H"を入力、"L"を入力、または開放してください
P6_0~P6_3	入力ポート	入力	VCC1	"H"を入力、"L"を入力、または開放してください
P6_4	BUSY出力	出力	VCC1	標準シリアル入出力モード1: BUSY信号の出力端子です 標準シリアル入出力モード2: プログラム動作チェック用モニタ
P6_5	SCLK入力	入力	VCC1	標準シリアル入出力モード1: シリアルクロックの入力端子です 標準シリアル入出力モード2: "L"を入力してください
P6_6	データ入力 RXD	入力	VCC1	シリアルデータの入力端子です
P6_7	データ出力 TXD	出力	VCC1	シリアルデータの出力端子です

•Page 432 of 483

図26.5の信号名を以下のとおり訂正いたします。

【誤】

リードサイクル
CS0
A23~A0, BC0~BC3

ライトサイクル
CS0~CS3
A23~A0, BC0~BC3

【正】

リードサイクル
チップセレクト
アドレス

ライトサイクル
チップセレクト
アドレス

•Page 471 of 483

27.8.2項本文を以下のとおり訂正いたします。

【誤】

- タイマB2が**オーバーフロー**する前後で、TAi1レジスタ (i=1, 2, 4)に値を設定しないでください。TAi1レジスタに値を設定する場合は、TB2レジスタの値を読んで、**オーバーフロー**までに十分な時間があることを確認してから設定してください。TB2レジスタの読み出しと、TAi1レジスタへの書き込みの間隔が開かないよう、この間に割り込み処理などが実行されないようにしてください。また、TB2レジスタを読み出した結果、**オーバーフロー**までに十分な時間がない場合は、**オーバーフロー**するまで待った後TAi1レジスタを設定してください。

【正】

- タイマB2が**アンダフロー**する前後で、TAi1レジスタ (i=1, 2, 4)に値を設定しないでください。TAi1レジスタに値を設定する場合は、TB2レジスタの値を読んで、**アンダフロー**までに十分な時間があることを確認してから設定してください。TB2レジスタの読み出しと、TAi1レジスタへの書き込みの間隔があかないよう、この間に割り込み処理などが実行されないようにしてください。また、TB2レジスタを読み出した結果、**アンダフロー**までに十分な時間がない場合は、**アンダフロー**するまで待った後TAi1レジスタを設定してください。

以上