

携帯マルチメディア・プロセッサ 技術情報

<p style="text-align: center;">技術通知</p> <p style="text-align: center;">EMMA Mobile™ 1</p> <p style="text-align: center;">使用制限事項の件(第三版)</p>		発行番号	IMB-YB2-000555	1/14
		発行日	2009年 10月 16日	
		発行元	NEC エレクトロニクス株式会社 SoC システム事業部 モバイルプラットフォームグループ	
文書分類	○ 使用制限事項	バージョン・アップ	ドキュメント修正	その他
関連資料	携帯マルチメディア・プロセッサ MC-10118A ユーザーズ・マニュアル (S19598J)		携帯マルチメディア・プロセッサ μPD77630A ユーザーズ・マニュアル (S19687J)	
	携帯マルチメディア・プロセッサ MC-10118A データ・シート (S19657J)		携帯マルチメディア・プロセッサ μPD77630A データ・シート (S19686J)	

1. 対象製品

「EMMA Mobile1」

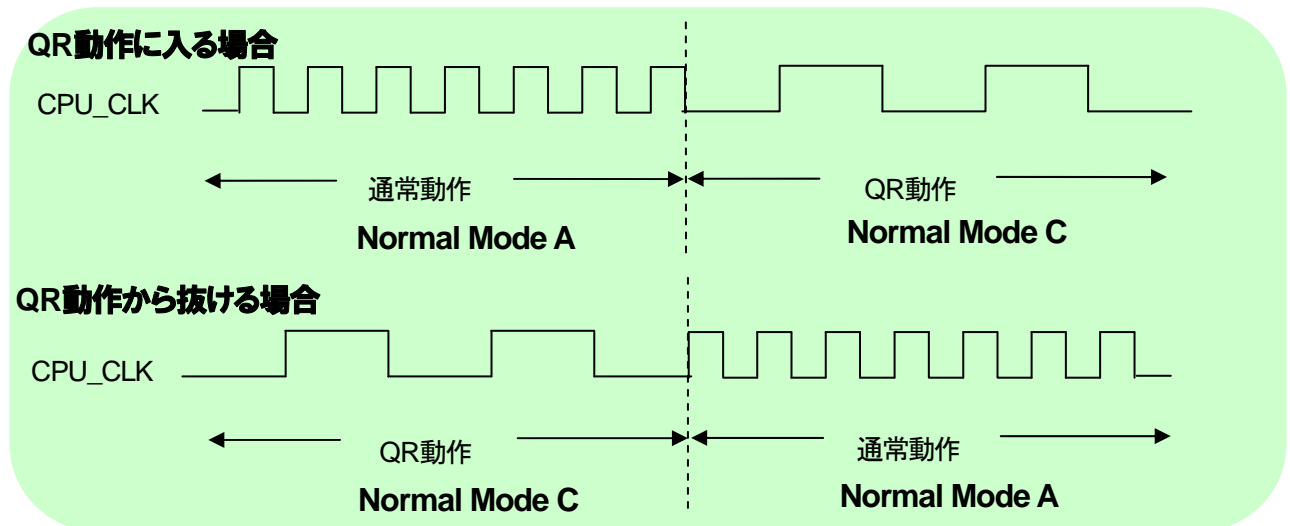
製品名:MC-10118A、μPD77630A

2. 新たな制限事項

・No.6:ACPUのQR(QuickRecovery)動作時のクロック供給について

■使用方法

ACPUのQR(QuickRecovery)機能を使用する場合は、QR動作をする直前にACPUクロックの分周率をHBUSクロックの分周率と同じ設定としてください。分周率変更はNormal Mode A~D(EMMA Mobile1 システム制御/汎用入出力インタフェース編P.216参照)間の切替で行ってください。以下の例はNormal Mode Aが通常動作のためのクロック分周、Normal Mode CがQR動作用クロック分周です。



・No.7:ACPU の L2CacheController 内の Write Buffer 制御について

■使用方法

ACPUのL2 Cache Controller内にはWrite Buffer(256bitx2slot)があります。ACPUの電源をOFFする場合はWrite Bufferの内容をDRAMに書き出し(以下 Write Buffer Drainと称します)してください。

以下に制限事項No.6,7の参考プログラムを添付します。

ENTRY(cpu_v6_do_idle)

```

    ldr    r2, =IO_ADDRESS(MP200_SMU_BASE)
    ldr    r0, =0x00244202          @ modify CPU div rate
    str    r0, [r2, #0xf8]
    ldr    r3, [r2, #0x80]         @ backup current div slot
    mov    r0, #3                  @ change with Normal-C slot
    str    r0, [r2, #0x80]
2:    ldr    r0, [r2, #0x80]
    lsr    r0, #8
    cmp    r0, #3
    bne    2b

```

No.6

当初の状態から
Normal Mode C への
切替。ACPU クロックの
分周比を HBUS クロック
の分周比と同じに設定。
割込み禁止状態の設定後
に実行

```

    ldr    r2, =IO_ADDRESS(MP200_L220_BASE)
    ldr    r0, =1f
    mcr    p15, 0, r0, c7, c13, 1 @ prefetch I cache
    ldr    r0, =3f
    mcr    p15, 0, r0, c7, c13, 1 @ prefetch I cache

    mov    r0, #0
    mcr    p15, 0, r0, c7, c10, 4 @ drain write buffer

    mov    r0, #0x1
    str    r0, [r2, #0x730]       @ L2 Sync
L2_sync_loop:
    ldr    r0, [r2, #0x730]
    cmp    r0, #0
    bne    L2_sync_loop

```

No.7

Write Buffer Drain 処理後
にフェッチが発生しない
ように、事前にプリフェッ
チを実行してから Write
Buffer Drain 処理実行

```

1:    mcr    p15, 0, r1, c7, c0, 4 @ wait for interrupt

```

WFI

```

    b     2f
2:    ldr    r2, =IO_ADDRESS(MP200_SMU_BASE)
    str    r3, [r2, #0x80]         @ restore CPU div rate
    mov    pc, lr
3:

```

No.6

WFI からの復帰後の
Normal Mode C から
元状態への切替。

・No.8:電源 SW (L1,L2,L3) の制御について

■使用方法

L1,L2,L3ドメインの電源 SW は個別の電源 SW、バリア制御レジスタを用いて電源の On/Off を実装して下さい。

－L1,L2 の電源 On/Off は PMU で制御する必要があります。下記に示すシーケンスを実装してください。

－L3 の電源 On/Off は CPU で制御する必要があります。下記に示すシーケンスを実装してください。

【L1 電源 Off 時】

PMU コマンドとして下記のシーケンスを実行して下さい。

PMU コード	PMU コマンド	MacroSelect	Register 名	WriteData	Count	
0x000A0268, 0x00000000.	REG_WRITE	ASMU	L1_BUZ	0x00000000		L1 バリア有効
0x000A026C, 0x00000000.	REG_WRITE	ASMU	L1_BUZ2	0x00000000		↑
0x000A0244, 0x00000F0F.	REG_WRITE	ASMU	L1_POWERSW	0x00000F0F		電源 SW を全て OFF

【L1 電源 On 時】

PMU コマンドとして下記のシーケンスを実行して下さい。

PMU コード	PMU コマンド	MacroSelect	Register 名	WriteData	Count	
0x000A0244, 0x00000F07.	REG_WRITE	ASMU	L1_POWERSW	0x00000F07		電源 SW を 1 箇所 ON
0x4C000050.	CYCLE_WAIT				0x50	間隔をあけるための WAIT 挿入
0x000A0244, 0x00000F03.	REG_WRITE	ASMU	L1_POWERSW	0x00000F03		↑
0x4C000050.	CYCLE_WAIT				0x50	↑
0x000A0244, 0x00000F01.	REG_WRITE	ASMU	L1_POWERSW	0x00000F01		↑
0x4C000050.	CYCLE_WAIT				0x50	↑
0x000A0244, 0x00000F00.	REG_WRITE	ASMU	L1_POWERSW	0x00000F00		↑
0x4C000050.	CYCLE_WAIT				0x50	↑
0x000A0244, 0x00000700.	REG_WRITE	ASMU	L1_POWERSW	0x00000700		↑
0x4C000050.	CYCLE_WAIT				0x50	↑
0x000A0244, 0x00000300.	REG_WRITE	ASMU	L1_POWERSW	0x00000300		↑
0x4C000050.	CYCLE_WAIT				0x50	↑
0x000A0244, 0x00000100.	REG_WRITE	ASMU	L1_POWERSW	0x00000100		↑
0x4C000050.	CYCLE_WAIT				0x50	↑
0x000A0244, 0x00000000.	REG_WRITE	ASMU	L1_POWERSW	0x00000000		↑ (これで全ての電源 SW が ON)
0x4C000050.	CYCLE_WAIT				0x50	↑
0x000A0208, 0x01000000.	REG_WRITE	ASMU	ASMU_BGCTRL	0x01000000		L1 バリアの解除
0x000A0268, 0x00001111.	REG_WRITE	ASMU	L1_BUZ	0x00001111		↑
0x000A026C, 0x00000011.	REG_WRITE	ASMU	L1_BUZ2	0x00000011		↑
0x000A0208, 0x00000000.	REG_WRITE	ASMU	ASMU_BGCTRL	0x00000000		↑

【L2電源 Off時】

PMU コマンドとして下記のシーケンスを実行して下さい。

PMU コード	PMU コマンド	MacroSelect	Register 名	WriteData	Count	
0x000A0500, 0x00000000,	REG_WRITE	ASMU	L2_POWERSW	0x00000000		L2 バリア有効
0x000A0500, 0x000000FF,	REG_WRITE	ASMU	L2_POWERSW	0x000000FF		電源 SW を全て OFF

【L2電源 On時】

PMU コマンドとして下記のシーケンスを実行して下さい。

PMU コード	PMU コマンド	MacroSelect	Register 名	WriteData	Count	
0x000A0500, 0x0000007F,	REG_WRITE	ASMU	L2_POWERSW	0x0000007F		電源 SW を 1 箇所 ON
0x4C000010,	CYCLE_WAIT				0x10	間隔をあけるための WAIT 挿入
0x000A0500, 0x0000003F,	REG_WRITE	ASMU	L2_POWERSW	0x0000003F		↑
0x4C000010,	CYCLE_WAIT				0x10	↑
0x000A0500, 0x0000001F,	REG_WRITE	ASMU	L2_POWERSW	0x0000001F		↑
0x4C000010,	CYCLE_WAIT				0x10	↑
0x000A0500, 0x0000000F,	REG_WRITE	ASMU	L2_POWERSW	0x0000000F		↑
0x4C000010,	CYCLE_WAIT				0x10	↑
0x000A0500, 0x00000007,	REG_WRITE	ASMU	L2_POWERSW	0x00000007		↑
0x4C000010,	CYCLE_WAIT				0x10	↑
0x000A0500, 0x00000003,	REG_WRITE	ASMU	L2_POWERSW	0x00000003		↑
0x4C000010,	CYCLE_WAIT				0x10	↑
0x000A0500, 0x00000001,	REG_WRITE	ASMU	L2_POWERSW	0x00000001		↑
0x4C000010,	CYCLE_WAIT				0x10	↑
0x000A0500, 0x00000000,	REG_WRITE	ASMU	L2_POWERSW	0x00000000		↑ (これで全ての電源 SW が ON)
0x4C000010,	CYCLE_WAIT				0x10	↑
0x000A0500, 0x00010100,	REG_WRITE	ASMU	L2_POWERSW	0x00010100		L2 バリアの解除

【L3電源 Off時】

下記のシーケンスを実行して下さい。

Register 名	WriteData	
ASMU_L3_POWERSW_BUZ	0x00000000	L3 バリア有効
ASMU_L3_POWERSW_BUZ	0x000000FF	電源 SW を全て OFF

【L3電源 On時】

下記のシーケンスを実行して下さい。

Register 名	WriteData	
ASMU_L3_POWERSW_BUZ	0x0000007F	電源 SW を 1 箇所 ON
ASMU_L3_POWERSW_BUZ	0x0000003F	↑
ASMU_L3_POWERSW_BUZ	0x0000001F	↑
ASMU_L3_POWERSW_BUZ	0x0000000F	↑
ASMU_L3_POWERSW_BUZ	0x00000007	↑
ASMU_L3_POWERSW_BUZ	0x00000003	↑
ASMU_L3_POWERSW_BUZ	0x00000001	↑
ASMU_L3_POWERSW_BUZ	0x00000000	↑
ASMU_L3_POWERSW_BUZ	0x00010100	L3 バリアの解除

・No.9:USB D-端子 15kΩPullDown の解除について

■使用方法

EM1はOTG対応のUSB-LINKを搭載しているため、デバイスモードで使用するとD-端子が常に15kΩでPullDownされています。D-端子のPullDown を解除したい場合は初期化後、RUN(USBCMDレジスタ:ビット0:R/S=1)とした後、USBViewportレジスタに0x600a0001を設定してください。

3. 制限事項一覧

添付別紙をご参照ください。

4. 発行文書履歴

EMMA Mobile1 使用制限事項一覧 発行文書履歴

文書番号	発行日	記事
IMB-YB2-000444	2009.04.28	初版
IMB-YB2-000535	2009.08.03	第二版
IMB-YB2-000555	2009.10.16	第三版

以上

<別紙:使用制限事項>

1. 使用制限事項の詳細

・ 制限事項一覧

No.	制限概要	MC-10118A	μ PD77630A
1	CPUを除く任意の AXI バスマスタから SRC に対して Read アクセスを行うと以降そのマスタから SRC 以外のスレーブに対して Read アクセスができない。	対象	対象
2	GPIO96-117 のFIQ割り込みが発生しない。	対象	対象
3	DTVのDMA転送停止後、特定条件下でAHBバスに転送要求(Single 転送(NONESEQ))を出し続ける。	対象	対象
4	EMMA Mobile1 から NTSC 出力すると、1st FIELD(上位走査線を想定)、2nd FIELD(下位走査線を想定)の表示が逆転して表示される。	対象	対象
5	DDR-SDRAM メモリのセルフリフレッシュ動作からの復帰時間(TXSR)仕様制限。	対象外	対象
6	ACPU の QR(QuickRecovery)動作時の CLK 供給と設定について	対象	対象
7	ACPU の L2CacheController 内の Write Buffer 制御について	対象	対象
8	電源 SW(L1,L2,L3)の制御について	対象	対象
9	USB D-端子 15kΩ PullDown の解除について	対象	対象

・ 制限事項の詳細

・No.1:AXI バスの Read アクセス

■ 内容

・事象:

CPUを除く任意の AXI バスマスタから SRC(ISRAM128KB)に対して Read アクセスを行うと以降そのマスタから SRC 以外のスレーブ(MEMC, AB0, AHB/APB スレーブペリフェラル)に対して Read アクセスができない。SRC に Read アクセスを実施した後は、MEMC,AB0,SWL0/SWL1 スレーブに Read アクセスを行うことができない。

・条件:

- －SRC への Read は継続して実施が可能。
- －SRC へ Read しない限りは任意のスレーブへの Read/Write アクセスは可能。
- －ACPU にはこの制限(不具合)はない。
- －マスタ間の影響はなし。ADSP は SRC に Read した後は MEMC,AB0、ペリフェラルにはアクセスできないが、他のマスタは(SRC への Read アクセスをしなければ)どのスレーブにもアクセスが可能。
- －Write アクセスについてはこの制限は発生しない。

■ 対処方法・回避策

- ・Read に DDR を使用するマスタ(ACPU は除く)は SRC への Read アクセスを行わないで下さい。
- ・Read に SRAM を使用するマスタ(PDMA)は DDR への Read アクセスを行わないで下さい。

・No.2:GPIO の FIQ 割り込み

■内容

・事象:

GPIO96-117 のFIQ割り込みが発生しない。

・条件:

IRQ 割り込みは全 bit 使用可能。FIQ0-95 については使用可能。

■対処方法・回避策

- ・FIQ 割り込みが必要な GPIO については GPIO96-117 以外を使用してください。

・No.3:DTV の DMA 転送

■内容

・事象:

DTVのDMA転送停止後、特定条件下でAHBバスに転送要求(Single転送(NONESEQ))を出し続ける。
また上記状態のとき、DMAREQレジスタのRead値が1を表示する。

■対処方法・回避策

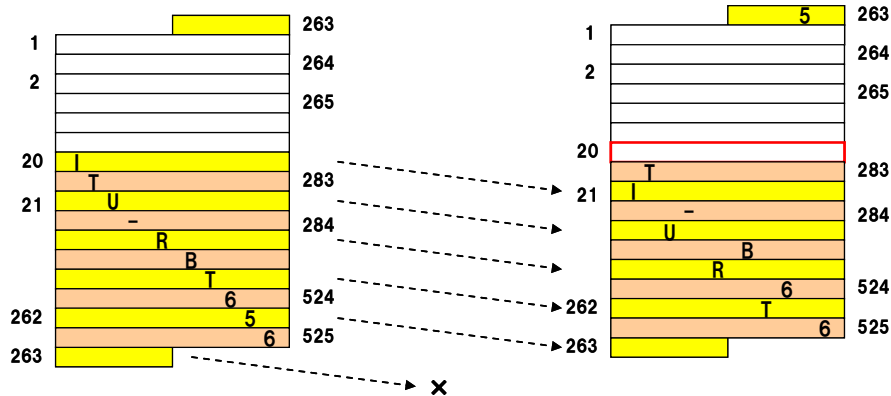
- ・DMA停止時は、DMASTOPレジスタを使用せず、DTV_SAFE_RSTZを使用してください。
- ・DMASTOP後、下記条件のとき、DTVmoduleをH/W resetしてください。
-RAWSTATUSのDTVSTOPbit=1, かつ、DMAREQ = 1

・No.4:NTSC 出力画像

■内容

・事象:

EMMA Mobile1からNTSC出力すると、1st FIELD(上位走査線を想定)、2nd FIELD(下位走査線を想定)の表示が逆転して表示される。



1st FIELD
 2nd FIELD

■対処方法・回避策

ソフトウェアにて入力画像の段階で 1st FIELD 画像、2nd FIELD 画像を入れ替える処理を追加し、これを NTS で転送する。

・No.5: μ PD77630A に接続可能な DDR-SDRAM メモリ (μ PD77630A のみ)

■内容

μ PD77630A に接続する DDR-SDRAM メモリに関して、セルフリフレッシュ動作からの復帰時間(TXSR)仕様(DDR-SDRAM)に以下の制限があります。

TXSR(Exit self refresh to first valid command)の値が132nsより小さいメモリ製品をご使用ください。

<ご参考>

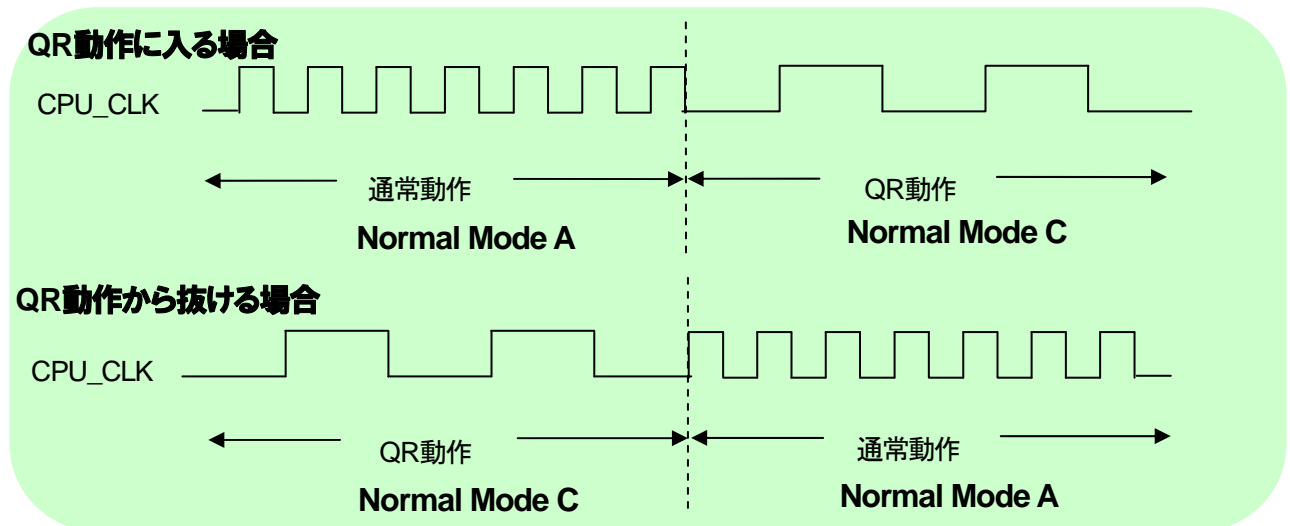
当社で確認(データシート)できている製品は以下の通り。

メーカー名	品名	tXSR(ns)
Hynix	512Mb_(16Mx32bit) Mobile DDR SDRAM H5MS5122DKA(J3M)	120(min)
三星	32Mx32 Mobile DDR SDRAM K4X1G323PE - 8GD6(8)	120(min)
	32Mx32 Mobile DDR SDRAM K4X1G323PC - L(F)E/G	120(min)
ELPIDA	1G bits DDR Mobile RAM EDD10323BBH-LS (32M words \times 32 bits)	120(min)
	512M bits DDR Mobile RAM EDD51323DBH-LS (16M words \times 32 bits)	120(min)

・No.6: ACPU の QR (QuickRecovery) 動作時のクロック供給について

■使用方法

ACPUのQR(QuickRecovery)機能を使用する場合は、QR動作をする直前にACPUクロックの分周率をHBUSクロックの分周率と同じ設定としてください。分周率変更はNormal Mode A~D(EMMA Mobile1 システム制御/汎用入出力インタフェース編P.216参照)間の切替で行ってください。以下の例はNormal Mode Aが通常動作のためのクロック分周、Normal Mode CがQR動作クロック分周です。



・No.7:ACPU の L2CacheController 内の Write Buffer 制御について

■使用方法

ACPUのL2 Cache Controller内にはWrite Buffer(256bitx2slot)があります。ACPUの電源をOFFする場合はWrite Bufferの内容をDRAMに書き出し(以下 Write Buffer Drainと称します)してください。

以下に制限事項No.6,7の参考プログラムを添付します。

ENTRY(cpu_v6_do_idle)

```

    ldr    r2, =IO_ADDRESS(MP200_SMU_BASE)
    ldr    r0, =0x00244202          @ modify CPU div rate
    str    r0, [r2, #0xf8]
    ldr    r3, [r2, #0x80]         @ backup current div slot
    mov    r0, #3                  @ change with Normal-C slot
    str    r0, [r2, #0x80]
2:    ldr    r0, [r2, #0x80]
    lsr    r0, #8
    cmp    r0, #3
    bne    2b

```

No.6

当初の状態から
Normal Mode C への
切替。ACPU クロックの
分周比を HBUS クロック
の分周比と同じに設定。
割込み禁止状態の設定後
に実行

```

    ldr    r2, =IO_ADDRESS(MP200_L220_BASE)
    ldr    r0, =1f
    mcr    p15, 0, r0, c7, c13, 1 @ prefetch I cache
    ldr    r0, =3f
    mcr    p15, 0, r0, c7, c13, 1 @ prefetch I cache

    mov    r0, #0
    mcr    p15, 0, r0, c7, c10, 4 @ drain write buffer

    mov    r0, #0x1
    str    r0, [r2, #0x730]       @ L2 Sync
L2_sync_loop:
    ldr    r0, [r2, #0x730]
    cmp    r0, #0
    bne    L2_sync_loop

```

No.7

Write Buffer Drain 処理後
にフェッチが発生しない
ように、事前にプリフェッ
チを実行してから Write
Buffer Drain 処理実行

```

1:    mcr    p15, 0, r1, c7, c0, 4 @ wait for interrupt

```

WFI

```

    b     2f
2:    ldr    r2, =IO_ADDRESS(MP200_SMU_BASE)
    str    r3, [r2, #0x80]         @ restore CPU div rate
    mov    pc, lr
3:

```

No.6

WFI からの復帰後の
Normal Mode C から
元状態への切替。

・No.8:電源 SW (L1,L2,L3) の制御について

■使用方法

L1,L2,L3ドメインの電源 SW は個別の電源 SW、バリア制御レジスタを用いて電源の On/Off を実装して下さい。

－L1,L2 の電源 On/Off は PMU で制御する必要があります。下記に示すシーケンスを実装してください。

－L3 の電源 On/Off は CPU で制御する必要があります。下記に示すシーケンスを実装してください。

【L1 電源 Off 時】

PMU コマンドとして下記のシーケンスを実行して下さい。

PMU コード	PMU コマンド	MacroSelect	Register 名	WriteData	Count	
0x000A0268, 0x00000000,	REG_WRITE	ASMU	L1_BUZ	0x00000000		L1 バリア有効
0x000A026C, 0x00000000,	REG_WRITE	ASMU	L1_BUZ2	0x00000000		↑
0x000A0244, 0x00000F0F,	REG_WRITE	ASMU	L1_POWERSW	0x00000F0F		電源 SW を全て OFF

【L1 電源 On 時】

PMU コマンドとして下記のシーケンスを実行して下さい。

PMU コード	PMU コマンド	MacroSelect	Register 名	WriteData	Count	
0x000A0244, 0x00000F07,	REG_WRITE	ASMU	L1_POWERSW	0x00000F07		電源 SW を 1 箇所 ON
0x4C000050,	CYCLE_WAIT				0x50	間隔をあけるための WAIT 挿入
0x000A0244, 0x00000F03,	REG_WRITE	ASMU	L1_POWERSW	0x00000F03		↑
0x4C000050,	CYCLE_WAIT				0x50	↑
0x000A0244, 0x00000F01,	REG_WRITE	ASMU	L1_POWERSW	0x00000F01		↑
0x4C000050,	CYCLE_WAIT				0x50	↑
0x000A0244, 0x00000F00,	REG_WRITE	ASMU	L1_POWERSW	0x00000F00		↑
0x4C000050,	CYCLE_WAIT				0x50	↑
0x000A0244, 0x00000700,	REG_WRITE	ASMU	L1_POWERSW	0x00000700		↑
0x4C000050,	CYCLE_WAIT				0x50	↑
0x000A0244, 0x00000300,	REG_WRITE	ASMU	L1_POWERSW	0x00000300		↑
0x4C000050,	CYCLE_WAIT				0x50	↑
0x000A0244, 0x00000100,	REG_WRITE	ASMU	L1_POWERSW	0x00000100		↑
0x4C000050,	CYCLE_WAIT				0x50	↑
0x000A0244, 0x00000000,	REG_WRITE	ASMU	L1_POWERSW	0x00000000		↑ (これで全ての電源 SW が ON)
0x4C000050,	CYCLE_WAIT				0x50	↑
0x000A0208, 0x01000000,	REG_WRITE	ASMU	ASMU_BGCTRL	0x01000000		L1 バリアの解除
0x000A0268, 0x00001111,	REG_WRITE	ASMU	L1_BUZ	0x00001111		↑
0x000A026C, 0x00000011,	REG_WRITE	ASMU	L1_BUZ2	0x00000011		↑
0x000A0208, 0x00000000,	REG_WRITE	ASMU	ASMU_BGCTRL	0x00000000		↑

【L2電源 Off時】

PMU コマンドとして下記のシーケンスを実行して下さい。

PMU コード	PMU コマンド	MacroSelect	Register 名	WriteData	Count	
0x000A0500, 0x00000000,	REG_WRITE	ASMU	L2_POWERSW	0x00000000		L2 バリア有効
0x000A0500, 0x000000FF,	REG_WRITE	ASMU	L2_POWERSW	0x000000FF		電源 SW を全て OFF

【L2電源 On時】

PMU コマンドとして下記のシーケンスを実行して下さい。

PMU コード	PMU コマンド	MacroSelect	Register 名	WriteData	Count	
0x000A0500, 0x0000007F,	REG_WRITE	ASMU	L2_POWERSW	0x0000007F		電源 SW を 1 箇所 ON
0x4C000010,	CYCLE_WAIT				0x10	間隔をあけるための WAIT 挿入
0x000A0500, 0x0000003F,	REG_WRITE	ASMU	L2_POWERSW	0x0000003F		↑
0x4C000010,	CYCLE_WAIT				0x10	↑
0x000A0500, 0x0000001F,	REG_WRITE	ASMU	L2_POWERSW	0x0000001F		↑
0x4C000010,	CYCLE_WAIT				0x10	↑
0x000A0500, 0x0000000F,	REG_WRITE	ASMU	L2_POWERSW	0x0000000F		↑
0x4C000010,	CYCLE_WAIT				0x10	↑
0x000A0500, 0x00000007,	REG_WRITE	ASMU	L2_POWERSW	0x00000007		↑
0x4C000010,	CYCLE_WAIT				0x10	↑
0x000A0500, 0x00000003,	REG_WRITE	ASMU	L2_POWERSW	0x00000003		↑
0x4C000010,	CYCLE_WAIT				0x10	↑
0x000A0500, 0x00000001,	REG_WRITE	ASMU	L2_POWERSW	0x00000001		↑
0x4C000010,	CYCLE_WAIT				0x10	↑
0x000A0500, 0x00000000,	REG_WRITE	ASMU	L2_POWERSW	0x00000000		↑ (これで全ての電源 SW が ON)
0x4C000010,	CYCLE_WAIT				0x10	↑
0x000A0500, 0x00010100,	REG_WRITE	ASMU	L2_POWERSW	0x00010100		L2 バリアの解除

【L3電源 Off時】

下記のシーケンスを実行して下さい。

Register 名	WriteData	
ASMU_L3_POWERSW_BUZ	0x00000000	L3 バリア有効
ASMU_L3_POWERSW_BUZ	0x000000FF	電源 SW を全て OFF

【L3電源 On時】

下記のシーケンスを実行して下さい。

Register 名	WriteData	
ASMU_L3_POWERSW_BUZ	0x0000007F	電源 SW を 1 箇所 ON
ASMU_L3_POWERSW_BUZ	0x0000003F	↑
ASMU_L3_POWERSW_BUZ	0x0000001F	↑
ASMU_L3_POWERSW_BUZ	0x0000000F	↑
ASMU_L3_POWERSW_BUZ	0x00000007	↑
ASMU_L3_POWERSW_BUZ	0x00000003	↑
ASMU_L3_POWERSW_BUZ	0x00000001	↑
ASMU_L3_POWERSW_BUZ	0x00000000	↑
ASMU_L3_POWERSW_BUZ	0x00010100	L3 バリアの解除

•No.9:USB D-端子 15k Ω PullDownの解除について

■使用方法

EM1はデバイスモードで使用するとD-端子が常に15k Ω でPullDownされています。D-端子のPullDownを解除したい場合は初期化後、RUN(USBCMDレジスタ:ビット0:R/S=1)とした後、USBViewportレジスタに0x600a0001を設定してください。

以 上