

RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシア
 ルネサス エレクトロニクス株式会社
 問合せ窓口 <http://japan.renesas.com/contact/>
 E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-RX*-A196A/J	Rev.	第1版
題名	RX65Nグループ、RX651グループ SDホストインタフェース (SDHI)、SDスレーブインタフェース (SDSI) に関する電気的特性の公開		情報分類	技術情報	
適用製品	RX65Nグループ、RX651グループ	対象ロット等	関連資料	RX65Nグループ、RX651グループ ユーザーズマニュアル ハードウェア編 Rev.2.10 (R01UH0590JJ0210)	
		全ロット			

上記適用製品に関し、SD ホストインタフェース (SDHI)、および SD スレーブインタフェース (SDSI) の AC 特性を以下のとおり公開しますので、連絡いたします。

表 1. SDHI タイミング

条件：VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7~3.6V, 2.7V ≤ VREFH0 ≤ AVCC0,
 VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V,
 PCLKA = 8~120MHz, PCLKB = 8~60MHz, T_a = T_{opr},
 出力負荷条件：V_{OH} = VCC × 0.5, V_{OL} = VCC × 0.5, C = 30pF,
 駆動能力制御レジスタは高駆動出力を選択時^(注1)

項目		記号	min	max	単位	測定条件 ^(注2)
SDHI	SDHI_CLK 端子出力サイクル時間	t _{PP(SD)}	20	—	ns	図 1
	SDHI_CLK 端子出力 High レベルパルス幅	t _{WH(SD)}	0.4 × t _{PP(SD)}	—	ns	
	SDHI_CLK 端子出力 Low レベルパルス幅	t _{WL(SD)}	0.4 × t _{PP(SD)}	—	ns	
	SDHI_CLK 端子出力立ち上がり時間	t _{TLH(SD)}	—	3	ns	
	SDHI_CLK 端子出力立ち下がり時間	t _{THL(SD)}	—	3	ns	
	SDHI_CMD、SDHI_D3~SDHI_D0 端子出力データ遅延時間 (データ転送モード)	t _{ODLY(SD)}	-6.5	4	ns	
	SDHI_CMD、SDHI_D3~SDHI_D0 端子入力データセットアップ時間	t _{ISU(SD)}	6	—	ns	
	SDHI_CMD、SDHI_D3~SDHI_D0 端子入力データホールド時間	t _{IH(SD)}	2	—	ns	

注 1. G バージョン製品では、SDHI_CLK-C 端子の駆動能力制御レジスタを、高速インタフェース用高駆動出力に設定して、AC 特性を測定しています。

注 2. 端子名に-A、-B などのグループ名を表す記号が付加されている場合、各グループでを使用することを推奨します。SDHI については、電気的特性の AC タイミングを各グループで測定しています。

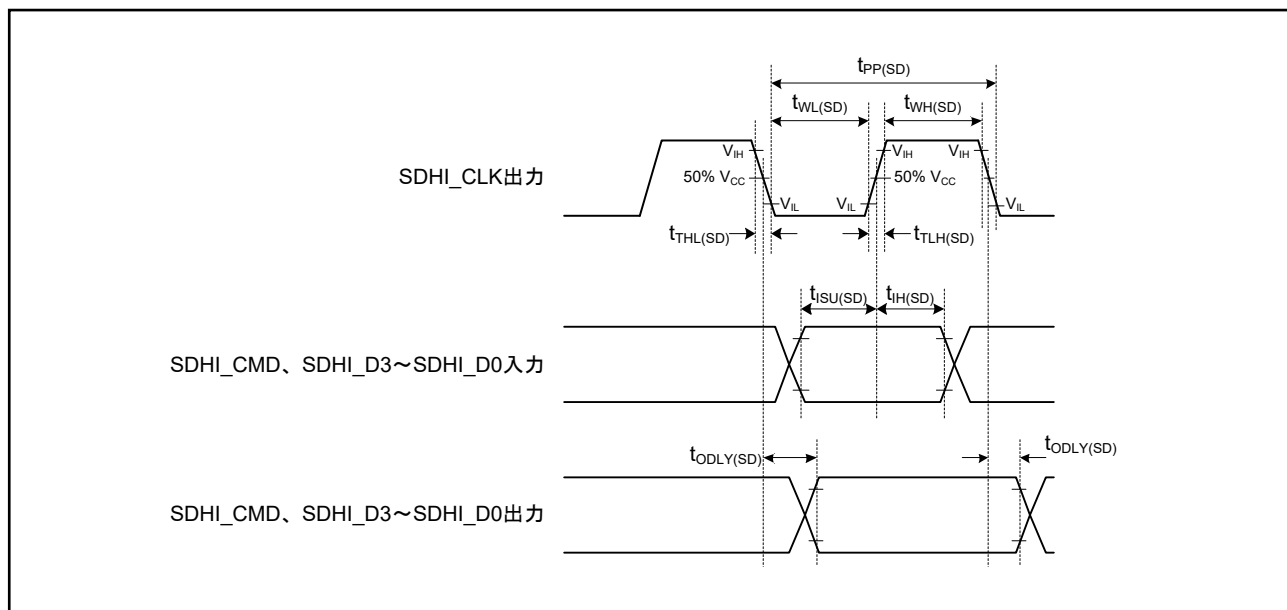


図 1. SD ホストインタフェース入出力信号タイミング

表 2. SDSI タイミング

条件：VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7~3.6V, 2.7V ≤ VREFH0 ≤ AVCC0,
 VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V,
 PCLKA = 8~120MHz, PCLKB = 8~60MHz, T_a = T_{opr},
 出力負荷条件：V_{OH} = VCC × 0.5, V_{OL} = VCC × 0.5, C = 30pF,
 駆動能力制御レジスタは高駆動出力を選択時

項目		記号	min	max	単位	測定条件(注1)
SDSI	SDSI_CLK 端子入力サイクル時間	t _{PP(SDSI)}	20	—	ns	図 2
	SDSI_CLK 端子入力 High レベルパルス幅	t _{WH(SDSI)}	0.4 × t _{PP(SDSI)}	—	ns	
	SDSI_CLK 端子入力 Low レベルパルス幅	t _{WL(SDSI)}	0.4 × t _{PP(SDSI)}	—	ns	
	SDSI_CLK 端子入力立ち上がり時間	t _{TLH(SDSI)}	—	3	ns	
	SDSI_CLK 端子入力立ち下がり時間	t _{THL(SDSI)}	—	3	ns	
	SDSI_CMD、SDSI_D3~SDSI_D0 端子入力データセットアップ時間	t _{SU(SDSI)}	5	—	ns	
	SDSI_CMD、SDSI_D3~SDSI_D0 端子入力データホールド時間	t _{IH(SDSI)}	2	—	ns	
	SDSI_CMD、SDSI_D3~SDSI_D0 端子出力データ遅延時間 (Default Speed Mode)	t _{ODLY(SDSI)}	0	14	ns	図 3
SDSI_CMD、SDSI_D3~SDSI_D0 端子出力データ遅延時間 (High Speed Mode)	2.5		14	ns	図 4	

注 1. 端子名に-A、-B などのグループ名を表す記号が付加されている場合、各グループで使用することを推奨します。SDSI については、電気的特性の AC タイミングを各グループで測定しています。

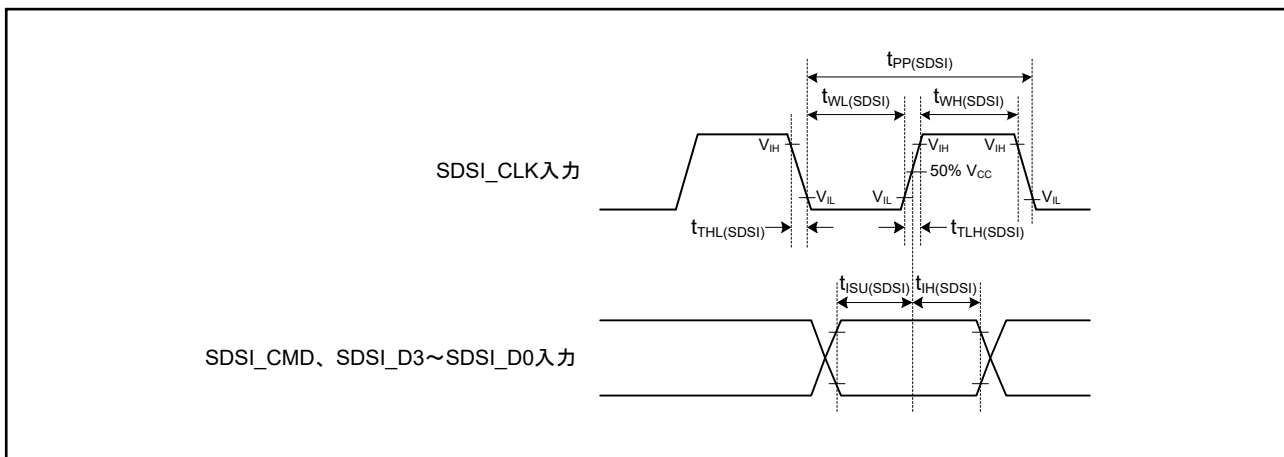


図2 SD スレーブインタフェース入力信号タイミング

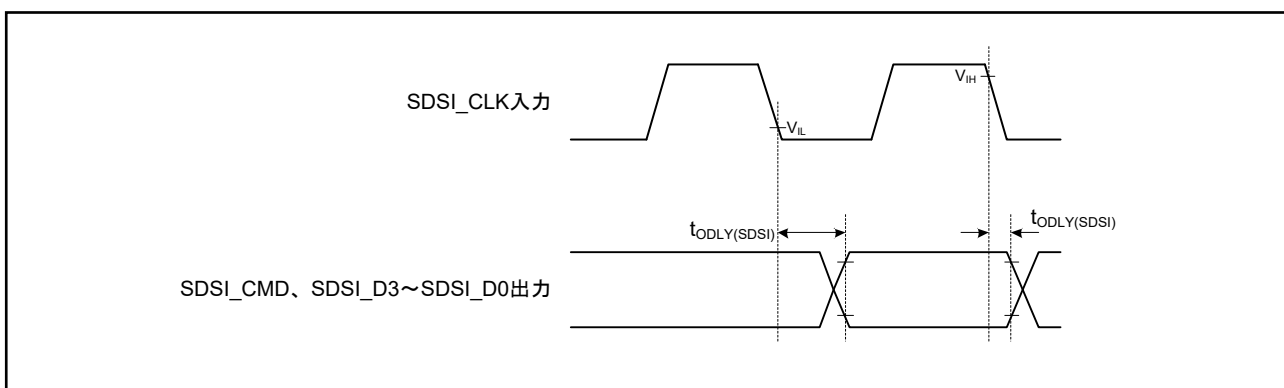


図3 SD スレーブインタフェース出力信号タイミング (デフォルトスピードモード)

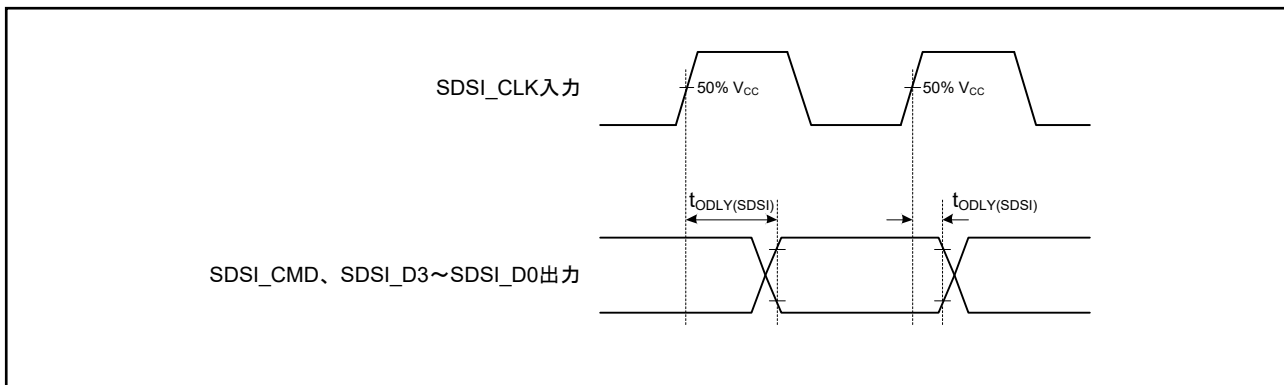


図4 SD スレーブインタフェース出力信号タイミング (ハイスピードモード)