

RENESAS TECHNICAL UPDATE

〒211-8668 神奈川県川崎市中原区下沼部1753
 ルネサス エレクトロニクス株式会社
 問合せ窓口 <http://japan.renesas.com/contact/>
 E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-16C-A237A/J	Rev.	第1版
題名	R32C/111 グループ ユーザーズマニュアル ハードウェア編に関する仕様の削除ならびに誤記訂正		情報分類	技術情報	
適用製品	R32C/111 グループ	対象ロット等	関連資料	R32C/111 グループ ユーザーズマニュアル ハードウェア編 Rev.1.20 (R01UH0209JJ0120)	

R32C/111 グループ ユーザーズマニュアル ハードウェア編 Rev.1.20において仕様の削除ならびに誤記がありましたので、以下のとおり訂正いたします。

〈仕様削除〉

表1.7において計画中となっている製品の開発を中止いたします。これに伴い、80ピン版に関する仕様を削除いたします。なお、上記に係わるマニュアルの変更箇所は以下の通りです。

- 1章 80ピン版に関する記載を削除
- 表1.6 動作周囲温度欄のNバージョンに関する記載を削除
- 表4.20 80ピン版に関する記載を削除
- 表5.1 80ピン版に関する記載を削除
- 7.1 80ピン版に関する記載を削除
- 15本文 80ピン版に関する記載を削除
- 図15.4 80ピン版に関する記載を削除
- 16.3.3.1 80ピン版に関する記載を削除
- 18.5.2 80ピン版に関する記載を削除
- 表19.1 80ピン版に関する記載を削除
- 19.3.1 80ピン版に関する記載を削除
- 20本文 80ピン版に関する記載を削除
- 24章 80ピン版に関する記載を削除
- 25章 80ピン版に関する記載を削除
- 26章 80ピン版に関する記載を削除
- 27章 80ピン版に関する記載を削除

〈訂正内容〉

•Pages 45 to 50, 247, 465 of 485

表4.9~表4.14、図18.14、表27.2のレジスタ名を以下のとおり変更いたします。

【誤】

UARTi **転送速度** レジスタ

【正】

UARTi **ビットレート** レジスタ

•Page 129 of 485

図10.1の注1を以下のとおり変更いたします。

【誤】

注1. PRC2ビットは“1”を書いた後、任意の番地に書き込みを実行すると“0”になります。
 他のビットは“0”になりませんので、プログラムで“0”にしてください。

【正】

注1. PRC2ビットは“1”を書いた後、任意の番地に書き込みを実行すると“0”になります。

•Page 170 of 485

表13.5の外部バスのアドレスを以下のとおり訂正いたします。

【誤】

表 13.5 デバイスごとのバス幅およびバスサイクル数

デバイス名称	アドレス(注1)	バス幅	アクセスサイクル数 (注2)	基準クロック
外部バス	00060000h~01FFFFFFh FE000000h~FFDFFFFFFh	8/16/32 ビット	EBCnレジスタ (n=0~3) の設定値に依存 (注5)	周辺バスクロック

【正】

表 13.5 デバイスごとのバス幅およびバスサイクル数

デバイス名称	アドレス(注1)	バス幅	アクセスサイクル数 (注2)	基準クロック
外部バス	00080000h~01FFFFFFh FE000000h~FFDFFFFFFh	8/16/32 ビット	EBCnレジスタ (n=0~3) の設定値に依存 (注5)	周辺バスクロック

•Page 177 of 485

14.1.2項 本文の1段落目を以下のとおり変更いたします。

【誤】

DMAC IIインデックスは12~60バイトで構成されるデータテーブルで、転送モード、転送カウンタ、転送元アドレス(または即値データ)、演算対象のアドレス、転送先アドレス、チェーン転送ベースアドレス、転送完了割り込みベクタアドレスのパラメータを格納します。

【正】

DMAC IIインデックスは12~60バイトで構成されるデータテーブルで、転送モード、転送カウンタ、転送元アドレス(または即値データ)、演算対象のアドレス、転送先アドレス、チェーン転送ベースアドレス、転送完了割り込み処理分岐先アドレスの各パラメータを格納します。

•Page 177 of 485

図14.2のパラメータ名を以下のとおり変更いたします。

【誤】

転送完了割り込み**ベクタ**アドレス

【正】

転送完了割り込み**処理分岐先**アドレス

•Page 177 of 485

図14.2内の下部説明文の一部を以下のとおり変更いたします。

【誤】

DMAC IIの起動要因となる周辺機能割り込みの割り込みベクタに、DMAC IIインデックスの先頭番地を設定してください。

【正】

DMAC IIの起動要因となる周辺機能割り込みの割り込みベクタ**領域**に、DMAC IIインデックスの先頭番地を設定してください。

•Page 178 of 485

表14.2上部IADRの名称および説明を以下のとおり変更いたします。

【誤】

- 転送完了割り込み**ベクタ**アドレス (IADR)

4バイトデータで、転送完了割り込み処理の**飛び先アドレス**を設定してください。転送完了割り込みを使用する場合のみ、このデータを設定してください。

【正】

- 転送完了割り込み**処理分岐先**アドレス (IADR)

4バイトデータで、転送完了割り込み処理**ルーチンの先頭番地**を設定してください。転送完了割り込みを使用する場合のみ、このデータを設定してください。

•Page 180 of 485

14.1.4項 本文の1段落目を以下のとおり変更いたします。

【誤】

DMAC IIの起動要因となる周辺機能割り込みの割り込みベクタに、DMAC IIインデックスの先頭番地を設定してください。

【正】

DMAC IIの起動要因となる周辺機能割り込みの割り込みベクタ**領域**に、DMAC IIインデックスの先頭番地を設定してください。

•Page 190 of 485

16.1 本文ワンショットタイマモードの説明を以下のとおり変更いたします。

【誤】

カウント値が“0000h”になるまでの間1度だけパルスを出力するモード

【正】

トリガが入力されてから、カウント値が“0000h”になるまでの期間、パルスを出力するモード

•Page 201 of 485

図16.13、図16.14の端子名を以下のとおり訂正いたします。

【誤】

INT2

【正】

$\overline{\text{INT2}}$

•Page 232 of 485

図17.17の注2を以下のとおり訂正いたします。

【誤】

注2. INV1レジスタのINV11ビットが“1”(三相モード1)の場合

【正】

注2. INVC1レジスタのINV11ビットが“1”(三相モード1)の場合

•Pages 235~285 of 485

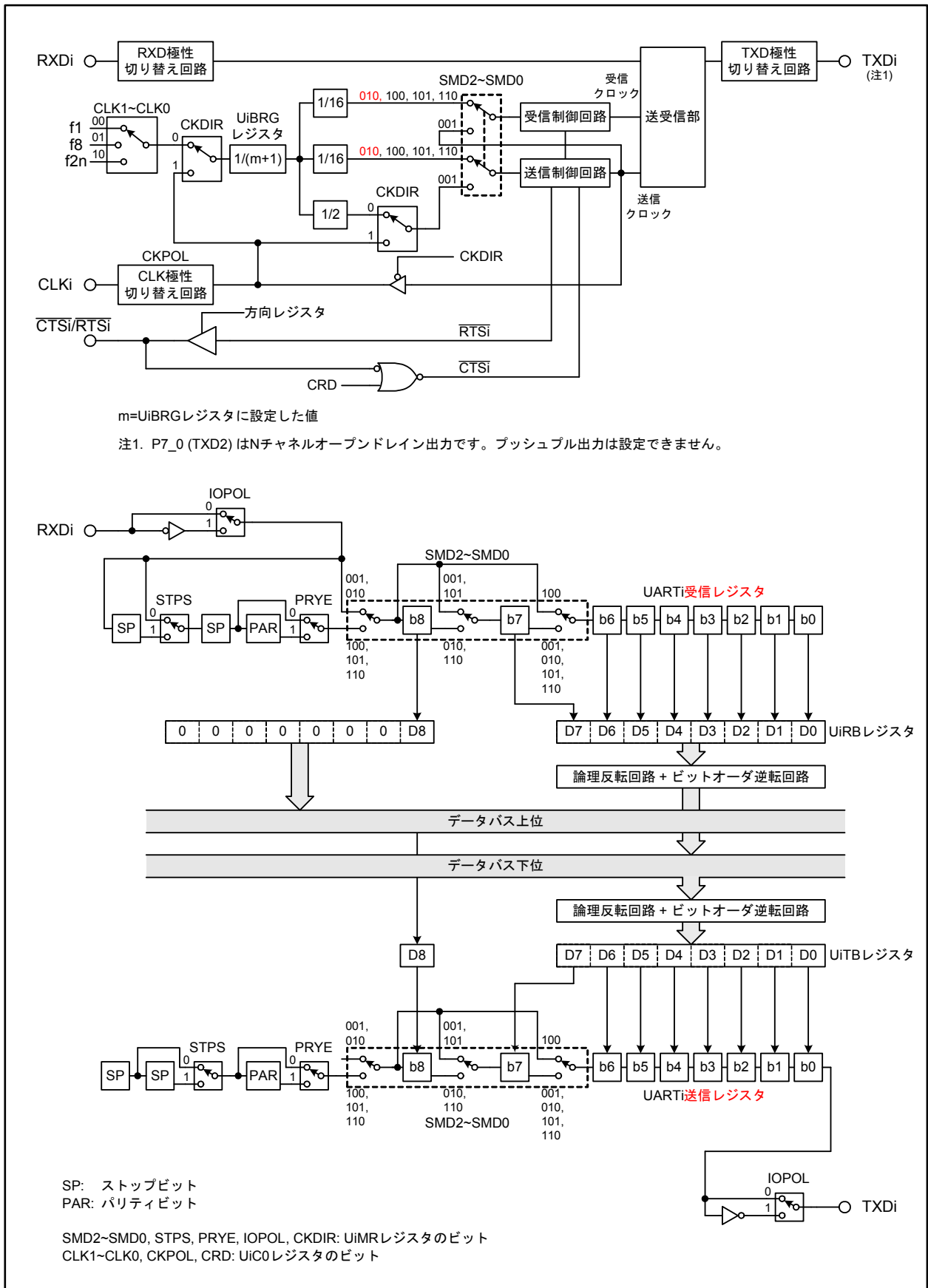
「18. シリアルインタフェース」章の用語を以下のとおり訂正いたします。

訂正前	訂正後	訂正箇所
受信レジスタ	受信シフトレジスタ	図 18.1、図 18.2、表 18.2、図 18.21、表 18.5、 図 18.27、表 18.11、18.3.8、表 18.13
送信レジスタ	送信シフトレジスタ	図 18.1、図 18.2、表 18.2 (2か所)、図 18.20、 図 18.21、表 18.5 (2か所)、図 18.25、図 18.26、 18.3.8 (3か所)、表 18.13 (2か所)
SS機能	スレーブセレクト機能	図 18.12 (2か所)、表 18.13、18.4.1、18.4.1.1、 18.4.1.2
モードフォルトエラー	モードフォルト	図 18.12 (2か所)
BRG	UiBRG	図 18.12、表 18.8 (3か所)

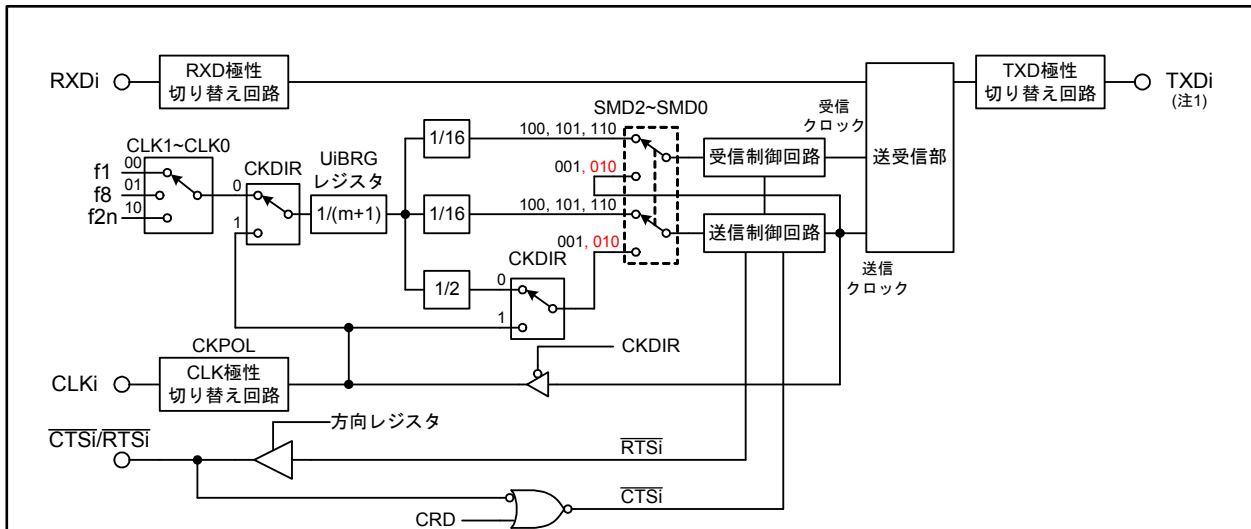
•Page 236 of 485

図18.1を以下のとおり訂正いたします。

【誤】

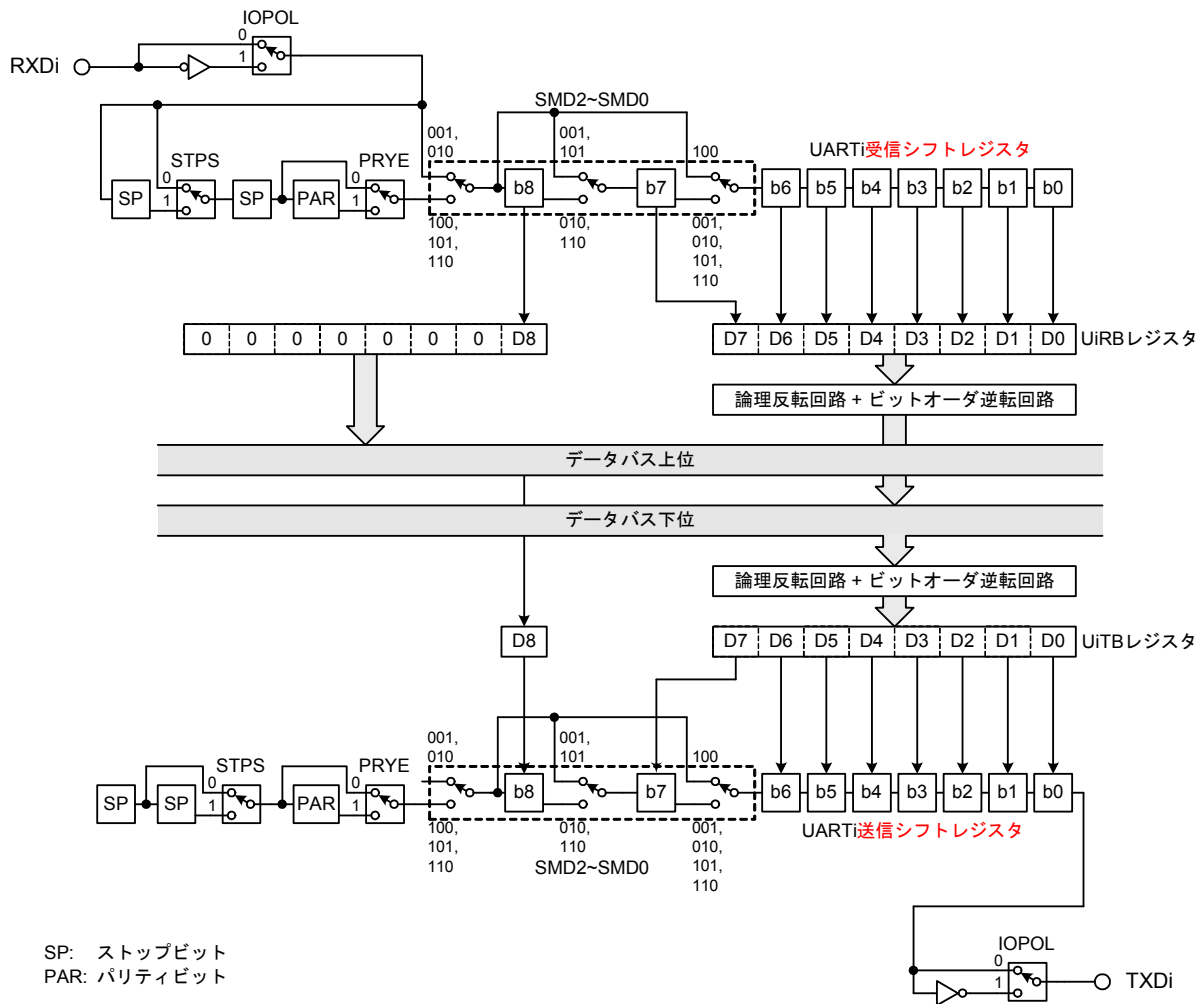


[正]



m: UiBRGレジスタに設定した値

注1. P7_0 (TXD₀) はNチャンネルオープンドレイン出力です。プッシュプル出力は設定できません。



SP: ストップビット
PAR: パリティビット

SMD2~SMD0, STPS, PRYE, IOPOL, CKDIR: UiMRレジスタのビット
CLK1~CLK0, CKPOL, CRD: UiC0レジスタのビット

•Page 242 of 485

図18.7のUiIRSビットの機能欄を以下のとおり変更いたします。

0: **UiTBレジスタ空** (TI=1) **【誤】**

0: **送信バッファ空** (TI=1) **【正】**

•Pages 253, 254, 261, 262, 271, 280 of 485

表18.3、表18.4、表18.6、表18.7、表18.10、表18.14のTXEPTビットの機能欄を以下のとおり訂正いたします。

送信レジスタ空フラグ **【誤】**

送信**シフト**レジスタ空フラグ **【正】**

•Pages 253, 254, 261, 262, 271, 280 of 485

表18.3、表18.4、表18.6、表18.7、表18.10、表18.14のUiBRGレジスタの機能欄を以下のとおり変更いたします。

転送速度を設定してください **【誤】**

ビットレートに応じた分周比を設定してください **【正】**

•Pages 254, 262 of 485

表18.4、表18.7のUiC1レジスタ、U78CONレジスタに以下を追加いたします。

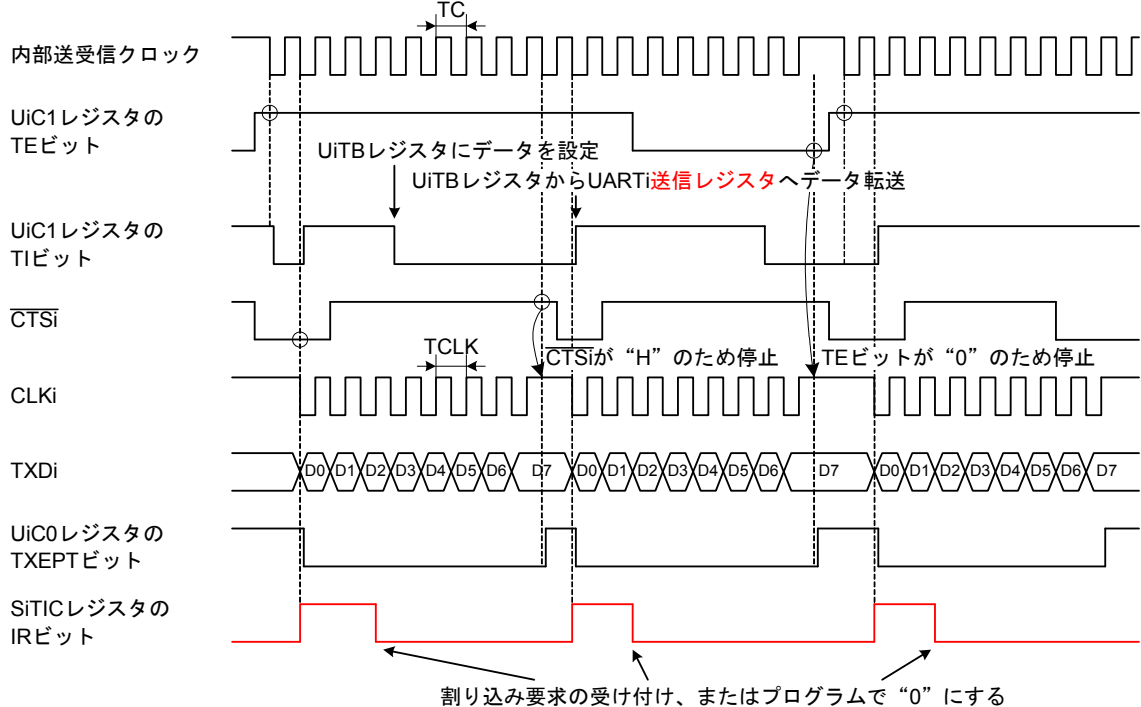
(b7~b4) “0000b”にしてください

•Page 255 of 485

図18.20を以下のとおり訂正いたします。

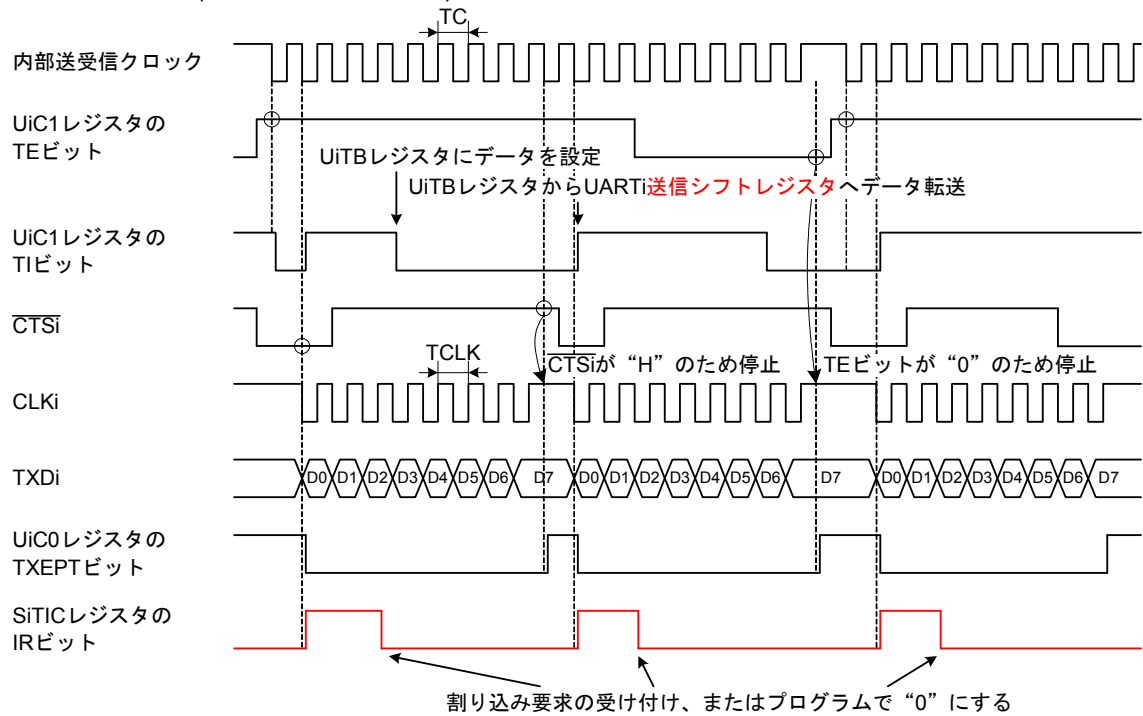
【誤】

送信タイミング例 (内部クロック選択時)



【正】

送信タイミング例 (内部クロック選択時)



この図は以下の設定条件の場合です。

- ・UIMRレジスタのCKDIRビット=0 (内部クロック選択)
- ・UIC0レジスタのCRDビット=0 (CTS機能許可)
- ・UIC0レジスタのCKPOLビット=0 (送受信クロックの立ち下がりて送信データ出力)
- ・UIC1レジスタ、U78CONレジスタのUiIRSビット=0 (送信バッファ空で割り込み要求発生)

$$TC = TCLK = 2(m+1)/fx$$

fx: UiBRGカウントソースの周波数 (f1, f8, f2n)

m: UiBRGレジスタに設定した値

•Page 257 of 485

18.1.1項 本文を以下のとおり変更いたします。

【誤】

A. UiRBレジスタ (i=0~8)の初期化手順

- (1) UiC1レジスタのREビットを“0” (受信禁止)にする。
- (2) UiMRレジスタのSMD2~SMD0ビットを“000b” (シリアルインタフェース無効)にする。
- (3) UiMRレジスタのSMD2~SMD0ビットを“001b” (クロック同期型シリアルインタフェースモード)にする。
- (4) UiC1レジスタのREビットを“1” (受信許可)にする。

B. UiTBレジスタの初期化手順

- (1) UiMRレジスタのSMD2~SMD0ビットを“000b” (シリアルインタフェース無効)にする。
- (2) UiMRレジスタのSMD2~SMD0ビットを“001b” (クロック同期型シリアルインタフェースモード)にする。
- (3) UiC1レジスタのTEビットに、その値にかかわらず“1” (送信許可)を書き込む。

【正】

- (1) UiC1レジスタ (i=0~8)のTEビットを“0” (送信禁止)、REビットを“0” (受信禁止)にする。
- (2) UiMRレジスタのSMD2~SMD0ビットを“000b” (シリアルインタフェース無効)にする。
- (3) UiMRレジスタのSMD2~SMD0ビットを“001b” (クロック同期型シリアルインタフェースモード)にする。
- (4) UiC1レジスタのTEビットを“1” (送信許可)、REビットを“1” (受信許可)にする。

•Page 259 of 485

18.1.6項 本文を以下のとおり変更いたします。

【誤】

送信の最中に入力レベルを“H”にした場合、次のデータから送信を停止します。

【正】

送信の最中に入力レベルを“H”にした場合、最終ビットまで送信した後、次のデータから送信を停止します。

•Page 260 of 485

表18.5の送信開始条件の仕様欄を以下のとおり変更いたします。

【誤】

- CTS機能選択時、CTSi端子に“L”を入力

【正】

- CTS機能選択時、CTSi端子への入力信号が“L”

•Page 262 of 485

表18.7のUiMRレジスタに以下を追加いたします。

(b7) “0”にしてください

•Pages 263, 264 of 485

図18.25、図18.26の記述を以下のとおり訂正いたします。

【誤】

内部送受信クロック

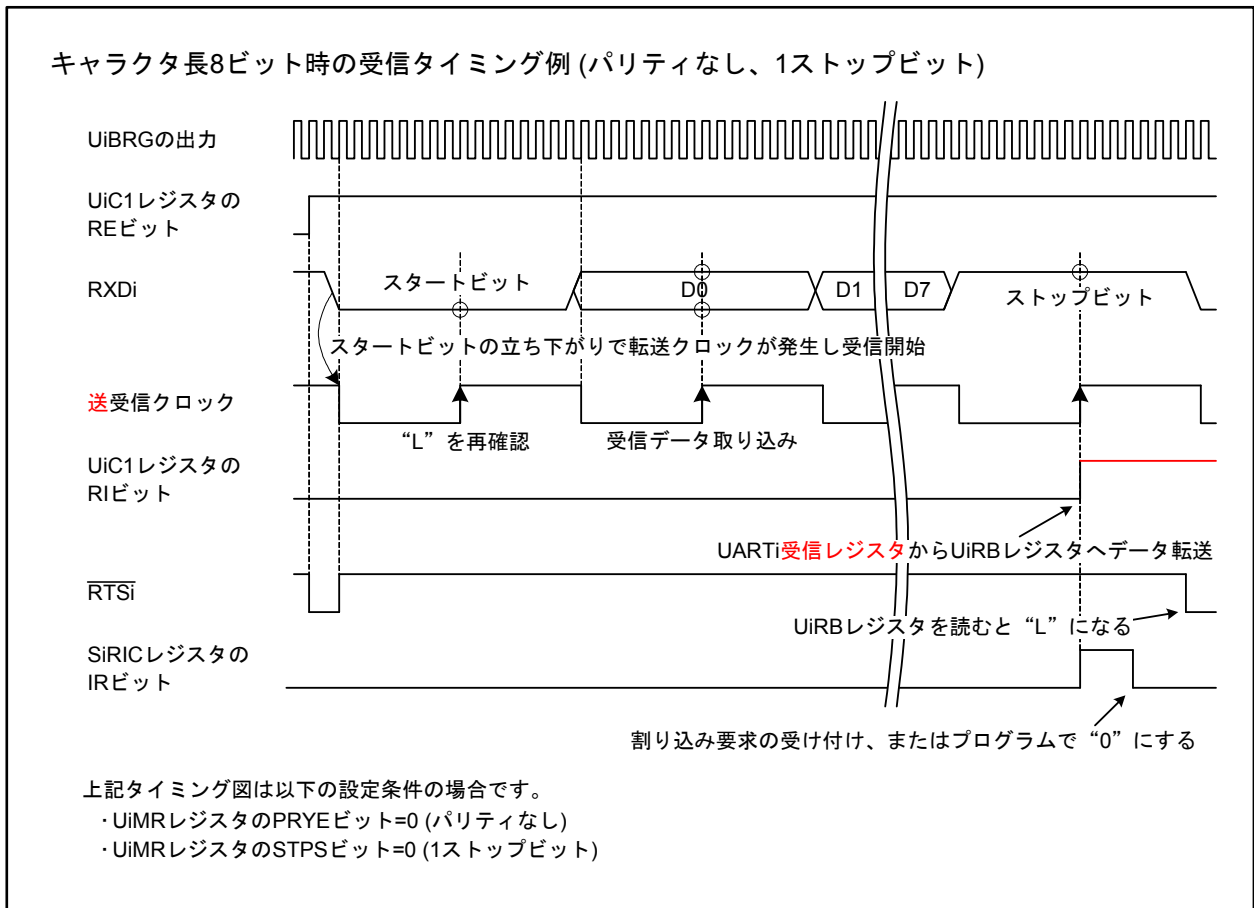
【正】

内部送信クロック

•Page 265 of 485

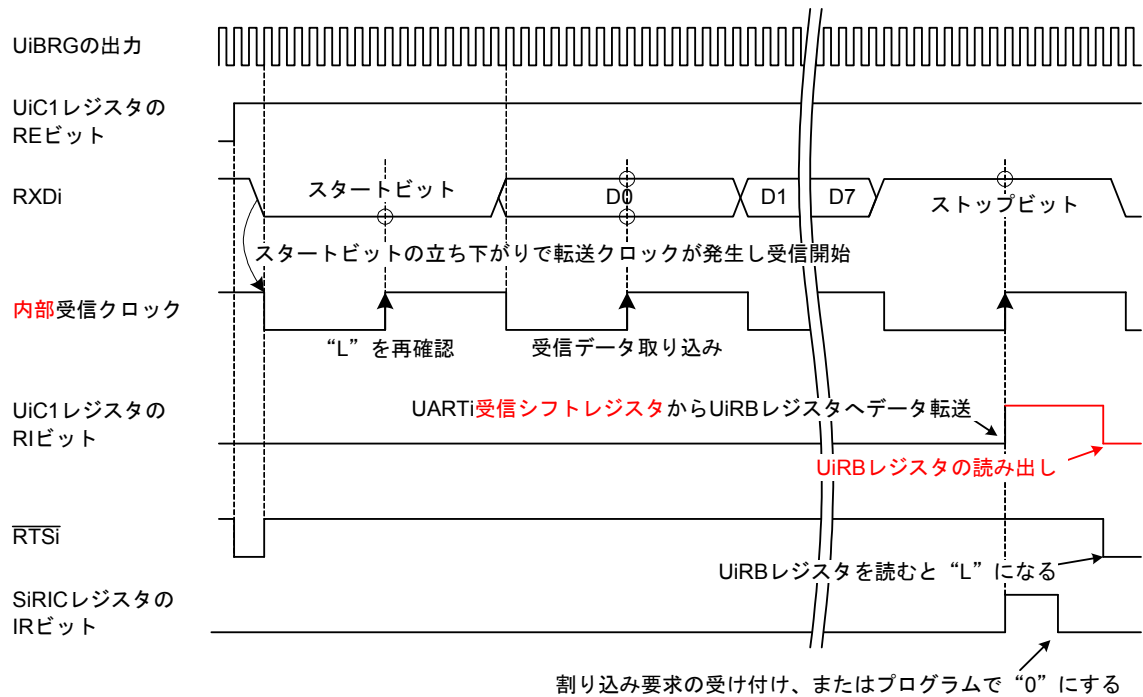
図18.27を以下のとおり訂正いたします。

【誤】



【正】

キャラクタ長8ビット時の受信タイミング例 (パリティなし、1ストップビット)



上記タイミング図は以下の設定条件の場合です。
 ・UiMRレジスタのPRYEビット=0 (パリティなし)
 ・UiMRレジスタのSTPSビット=0 (1ストップビット)

•Page 266 of 485

18.2.2項 本文を以下のとおり変更いたします。

【誤】

A. UiRB レジスタ (i=0~8)の初期化手順

- (1) UIC1レジスタのREビットを“0”(受信禁止)にする。
- (2) UIC1レジスタのREビットを“1”(受信許可)にする。

B. UiTB レジスタの初期化手順

- (1) UiMRレジスタのSMD2~SMD0ビットを“000b”(シリアルインタフェース無効)にする。
- (2) UiMRレジスタのSMD2~SMD0ビットを再設定(“001b”, “101b”, “110b”)する。
- (3) UIC1レジスタのTEビットに、その値にかかわらず“1”(送信許可)を書き込む。

【正】

- (1) UIC1レジスタ (i=0~8)のTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にする。
- (2) UiMRレジスタのSMD2~SMD0ビットを“000b”(シリアルインタフェース無効)にする。
- (3) UiMRレジスタのSMD2~SMD0ビットを再設定(“001b”, “101b”, “110b”)する。
- (4) UIC1レジスタのTEビットを“1”(送信許可)、REビットを“1”(受信許可)にする。

•Page 269 of 485

表18.9の割り込み要求発生タイミングの仕様欄を以下のとおり変更いたします。

【誤】

ACK (Acknowledge) 検出、NACK (Not-Acknowledge) 検出

【正】

ACK (Acknowledge) 検出 **または受信完了**、
NACK (Not-Acknowledge) 検出 **または送信完了**

•Page 271 of 485

表18.10のUiMRレジスタに以下を追加いたします。

(b6~b4) “000b”にしてください

•Page 285 of 485

18.5.5項を以下のとおり訂正いたします。

【誤】

18.5.5 通信異常時の対処方法

送受信中に機能選択レジスタを書き換えるなど、通信異常が発生するような操作を行わないでください。万が一通信相手がそのような操作を行った場合、あるいはノイズの影響などによりビットずれが発生した場合など通信異常が発生した場合は、以下の手順で内部回路を初期化してください。

【正】

18.5.5 通信異常時または通信中断/再開時の処理

送受信中に機能選択レジスタを書き換えるなど、通信異常が発生するような操作を行わないでください。万が一通信相手がそのような操作を行った場合、あるいはノイズの影響などによりビットずれが発生した場合など通信異常が発生した場合は、以下の手順で内部回路を初期化してください。

また、緊急時の対応などで通信を中断/再開する場合も同様に、以下の手順で実施してください。

•Pages 436, 448 of 485

表26.16、表26.39の注1を以下のとおり訂正いたします。

【誤】

注1. CLK4、RXD4、TXD4、SDA4、SCL4、STXD4、SRXD4 は80ピン版と100ピン版に存在します。
TB4IN、CTS4、RTS4、SS4、およびUART6、UART7の各端子は100ピン版にのみ存在します。

【正】

注1. TB4IN、CTS4、CLK4、RXD4、SCL4、SDA4、SS4、SRXD4、およびUART6、UART7の各端子は100ピン版にのみ存在します。

•Page 475 of 485

27.9.5項を以下のとおり訂正いたします。

【誤】

27.9.5 通信異常時の対処方法

送受信中に機能選択レジスタを書き換えるなど、通信異常が発生するような操作を行わないでください。万が一通信相手がそのような操作を行った場合、あるいはノイズの影響などによりビットずれが発生した場合など通信異常が発生した場合は、以下の手順で内部回路を初期化してください。

【正】

27.9.5 通信異常時または通信中断/再開時の処理

送受信中に機能選択レジスタを書き換えるなど、通信異常が発生するような操作を行わないでください。万が一通信相手がそのような操作を行った場合、あるいはノイズの影響などによりビットずれが発生した場合など通信異常が発生した場合は、以下の手順で内部回路を初期化してください。

また、緊急時の対応などで通信を中断/再開する場合も同様に、以下の手順で実施してください。