発行日：2026年10月22日

RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシア
ルネサス エレクトロニクス株式会社
問合せ窓口 https://www.renesas.com/jp/ja/support/contact/

製品分類	MPU & MCU	発行番号	TN-RX*-A1005A/J	Rev.	第1版
題名	RX74M グループ、RX74N グループ ユーザーズマニュアル ハードウェア編の誤記訂正		情報分類	技術情報	
適用製品	RX74M グループ、RX74N グループ	対象ロット等 全ロット	関連資料	RX74M グループ ユーザーズマニュアル ハードウェア編 Rev.1.10 (R01UH1055JJ0110) RX74N グループ ユーザーズマニュアル ハードウェア編 Rev.1.10 (R01UH0156JJ0110)	

RX74M グループ、RX74N グループのユーザーズマニュアル ハードウェア編 Rev.1.10 において誤記がありましたので、以下のとおり訂正いたします。

なお、ページ番号、章番号、表番号などは RX74M グループを例に記載しています。RX74N グループでのページ番号などにつきましては、最終ページの表をご参照ください。

- Page 151 to 156 of 5726

「1.5 ピン配置図」の図 1.3～図 1.8 において、端子名の誤記がありましたので、以下のとおり訂正いたします。

変更前	変更後
RES#	RES#/RSTOUT#
VBATT/VCC	VBATT

- Page 171, 190, 203, 204, 208, 221, 231 of 5726

「1.6 機能別端子一覧」の表 1.5～表 1.10 において、端子名の誤記がありましたので、以下のとおり訂正いたします。

変更前	変更後
RES#	RES#/RSTOUT#
VBATT/VCC	VBATT

(c) 2026. Renesas Electronics Corporation. All rights reserved.

- Page 445 of 5726

「7.2.33　アンチロールバックカウンタ設定レジスタ(ARCCS)」の ARCMD[1:0]ビットの説明文を以下のとおり訂正いたします。

【変更前】

ARCMD[1:0]ビット (ARC 利用モード選択ビット)

ブートプログラムによるバージョン管理に使用するカウンタを選択するビットです。

OEM ブートローダを使用してアプリケーションプログラムの検証を行う場合、本ビットを “01b” にしてください。ファーストステージブートローダ (FSBL) を使用してアプリケーションプログラムの検証を行う場合、本ビットを “00b” にしてください。

本ビットを “11b” にした場合、インクリメントカウンタコマンドを発行してもアンチロールバックカウンタはインクリメントされません。

【変更後】

ARCMD[1:0]ビット (ARC 利用モード選択ビット)

不正なインクリメントカウンタコマンドから保護したいカウンタを選択するビットです。

ファーストステージブートローダ (FSBL) によって OEM ブートローダの検証を行う場合、本ビットを “01b” にしてください。FSBL によって Secure アプリケーションプログラムの検証を行う場合、本ビットを “00b” にしてください。

本ビットを “11b” にした場合、インクリメントカウンタコマンドを発行してもアンチロールバックカウンタはインクリメントされません。

- Page 787 of 5726

「表 15.3　選択型割り込み要因一覧 (11/11)」に以下のとおり RSIP の TADI 割り込みを追加いたします。

【変更前】

表 15.3　選択型割り込み要因一覧 (11/11)

割り込み要因番号	割り込み要求発生元	名称	DTC起動	DMAC起動	割り込みステータスフラグ
(省略)					
826～1022	予約	—	×	×	PIR103.PIR2～PIR127.PIR6
1023	予約	外部端子割り込み/割り込み選択なし(注 1)	×	×	PIR127.PIR7

【変更後】

表 15.3　選択型割り込み要因一覧 (11/11)

割り込み要因番号	割り込み要求発生元	名称	DTC起動	DMAC起動	割り込みステータスフラグ
(省略)					
826～846	予約	—	×	×	PIR103.PIR2～PIR105.PIR6
847	RSIP	TADI (改ざん検出)	×	×	PIR105.PIR7
848～1022	予約	—	×	×	PIR106.PIR0～PIR127.PIR6
1023	予約	外部端子割り込み/割り込み選択なし(注 1)	×	×	PIR127.PIR7

- Page 1189 of 5726

「20.2.12　DTC インデックステーブルベースレジスタ (DTCIBR)」の説明文を以下のとおり訂正いたします。

【変更前】

DTCIBR レジスタは DTC インデックスの配置アドレスを算出するためのベースアドレスを設定するレジスタです。上位 4 ビットへの書き込みは無視され、b27 の値が拡張されて設定されます。また、下位 10 ビットは予約ビットで、値は“0”固定です。書く場合、“0”を書いてください。

0000 0000h～07FF FC00h、および、F800 0000h～FFFF FC00h の範囲で、1K バイト単位で設定可能です。

【変更後】

DTCIBR レジスタは DTC インデックスの配置アドレスを算出するためのベースアドレスを設定するレジスタです。また、下位 10 ビットは予約ビットで、値は“0”固定です。書く場合、“0”を書いてください。

アドレスは、1K バイト単位で設定可能です。

- Page 1209 of 5726

「20.4.9　DTC インデックステーブル」の DTC インデックスのビット機能表を以下のとおり訂正いたします。

【変更前】

ビット	シンボル	ビット名	機能	R/W
b0	CPUSEL	シーケンス転送/CPU 割り込み選択ビット	0：シーケンス転送を継続 (シーケンスを開始) 1：シーケンス転送を終了し、CPU に割り込み要求を出力	—
b1	—	予約ビット	“0”にしてください	—
b31-b2	DTCIADDR[31:2]	転送情報テーブルアドレス	転送情報テーブルの先頭アドレスの上位 30 ビットを設定します。上位 4 ビット(b31-b28)への書き込みは無視され、b31-b28 の値は b27 と同じ値になります。	—

【変更後】

ビット	シンボル	ビット名	機能	R/W
b0	CPUSEL	シーケンス転送/CPU 割り込み選択ビット	0：シーケンス転送を継続 (シーケンスを開始) 1：シーケンス転送を終了し、CPU に割り込み要求を出力	—
b1	—	予約ビット	“0”にしてください	—
b31-b2	DTCIADDR[31:2]	転送情報テーブルアドレス	転送情報テーブルの先頭アドレスの上位 30 ビットを設定します	—

- Page 1257 to 1270 of 5726

「22.3.1　ポートコントロールレジスタ 1 (PCNTR1)」～「22.3.12　イベント出力リセットレジスタ(EORR)」のビット機能表の脚注に誤記がありましたので、以下のとおり訂正いたします。

【変更前】

注.　本レジスタを Secure 属性に設定した場合、Secure トランザクションによってのみアクセス可能です。Non-secure トランザクションによるアクセスは無視されますが、Protect Zone アクセスエラーは発生しません。
本レジスタを Non-secure 属性に設定した場合、Non-secure トランザクションによってのみアクセス可能です。Secure トランザクションによるアクセスは無視されますが、Protect Zone アクセスエラーは発生しません。

【変更後】

注.　各ビットのセキュリティ属性は、対応するポートのセキュリティ属性と同じです。ポートのセキュリティ属性は、PmSAR レジスタで設定します。バストランザクションと同じセキュリティ属性を持ったビットへのアクセスのみ有効です。セキュリティ属性が異なるビットへのアクセスは無視されますが、Protect Zone アクセスエラーは発生しません。

- Page 1861 of 5726

「32.3.2　リフレッシュ動作」の「【リフレッシュ動作タイミング例】」に以下の注記を追加いたします。

【変更後】

注1.　IWDTRR レジスタに“FFh”を書き込んだ直後に IWDTSR.CNTVAL[13:0]ビットを読み出してリフレッシュ前のカウンタ値を確認する必要がある場合、PCLKB の周波数を IWDTCLK の周波数の 16 倍以上にしてください。

- Page 4493 of 5726

「48.4.8　データ長と周波数比に関する注意事項」の表 48.17 を以下のとおり訂正いたします。

【変更前】

表 48.17　データ長および PCLKA と TCLK の周波数比による動作の可否(SPCMDm.BRDV[1:0] = 00b, SPBR = 00h)

	PCLKA:TCLK	データ長（ビット）										
		4	5	6	7	8	9	10	11	12	13	14
SPCR. SYNDIS = 0	1 : 4	△(注 1)	△(注 1)	△(注 1)	△(注 1)	△(注 1)	△(注 1)	△(注 1)	△(注 1)	△(注 1)	△(注 1)	○
	1 : 2	△(注 1)	△(注 1)	△(注 1)	△(注 1)	△(注 1)	△(注 1)	△(注 1)	○	○	○	○
	2 : 3	△(注 1)	△(注 1)	△(注 1)	△(注 1)	△(注 1)	△(注 1)	△(注 1)	○	○	○	○
	1 : 1	△(注 1)	△(注 1)	△(注 1)	△(注 1)	△(注 1)	○	○	○	○	○	○
	150 MHz : 32 kHz	△(注 1)	△(注 1)	△(注 1)	△(注 1)	○	○	○	○	○	○	○
SYNDIS = 1	1 : 1	△(注 2)	△(注 2)	△(注 2)	○	○	○	○	○	○	○	○

○：動作可能
△：条件付きで動作可能

注 1.　SCKASE = 0 かつ SCKDDIS = 0 のとき動作可能
注 2.　SPCR.SCKASE = 0 または SCKDDIS = 0 のとき動作可能

【変更後】

表 48.17　データ長および PCLKA と TCLK の周波数比による動作の可否(SPCMDm.BRDV[1:0] = 00b, SPBR = 00h)

	PCLKA:TCLK	データ長（ビット）										
		4	5	6	7	8	9	10	11	12	13	14
SPCR. SYNDIS = 0	1 : 2 超、1 : 4 以下	△(注 1)	△(注 2)	△(注 2)	△(注 2)	△(注 2)	△(注 2)	△(注 2)	△(注 2)	△(注 2)	△(注 2)	○
	1 : 1 超、1 : 2 以下	△(注 2)	△(注 2)	△(注 2)	△(注 2)	△(注 2)	△(注 2)	△(注 2)	○	○	○	○
	1 : 1 以下	△(注 2)	△(注 2)	△(注 2)	△(注 2)	○	○	○	○	○	○	○
SYNDIS = 1	1 : 1	△(注 3)	△(注 3)	△(注 3)	○	○	○	○	○	○	○	○

○：動作可能
△：条件付きで動作可能

注 1.　SPCR.SCKASE = 0、SCKDDIS = 0、かつ RSPCK 遅延、SSL ネゲート遅延、次アクセス遅延の合計が初期値より長いとき動作可能
注 2.　SCKASE = 0 かつ SCKDDIS = 0 のとき動作可能
注 3.　SCKASE = 0 または SCKDDIS = 0 のとき動作可能

- Page 4839 of 5726

「57.12　セキュアブート」の 1 段落目を以下のとおり変更いたします。

【変更前】

セキュアブートは OEM ブートローダー (以後、OEM_BL と呼ぶ) の完全性と信頼性を検証します。検証はユーザプログラムの先頭から開始します。

【変更後】

ファーストステージブートローダ (FSBL) は、セキュアブート機能をサポートしています。本節では、FSBL によって OEM ブートローダ (OEM_BL) の完全性と信頼性を検証する場合の、OEM_BL の書き込み手順と FSBL の動作について説明します。FSBL によって Secure アプリケーションプログラムの検証を実施したい場合は、「OEM_BL」を「Secure アプリケーションプログラム」に読み替えてください。なお、OEM_BL のバージョン番号は 1～64 ですが、Secure アプリケーションプログラムのバージョン番号は 1～1024 です。

- Page 4852, 4853 of 5726

「表 58.1　RSIP の仕様」に以下のとおり割り込み要因を追加いたします。

【変更前】

表 58.1　　RSIP の仕様

項目	内容
アクセス制御	アクセスマネジメント回路 ● プログラムの改ざんや、CPU の暴走等により RSIP への異常なアクセスが発生した場合、それ以降のアクセスを受け付けず、RSIP からのデータ出力を停止
(省略)	
改ざん防止	SPA/DPA およびタイミング攻撃を含む、サイドチャネル攻撃に対する対策が使用可能
消費電力低減機能	モジュールストップ状態への遷移が可能
Protect Zone フィルタ	セキュリティ属性を設定可能

【変更後】

表 58.1　　RSIP の仕様

項目	内容
アクセス制御	アクセスマネジメント回路 ● プログラムの改ざんや、CPU の暴走等により RSIP への異常なアクセスが発生した場合、それ以降のアクセスを受け付けず、RSIP からのデータ出力を停止するとともに改ざん検出割り込みを生成
(省略)	
改ざん防止	SPA/DPA およびタイミング攻撃を含む、サイドチャネル攻撃に対する対策が使用可能
割り込み要因	改ざん検出割り込み (TADI)
消費電力低減機能	モジュールストップ状態への遷移が可能
Protect Zone フィルタ	セキュリティ属性を設定可能

- Page 4856 of 5726

「58.　Renesas Secure IP (RSIP-E50D)」章に、以下のとおり「58.3　割り込み」節を追加いたします。

【変更後】

58.3　割り込み

RSIP に対する異常なアクセスが行われたことが検出されると、割り込み (TADI) が発生します。

表 58.2　RSIP の割り込み要因

名称	割り込み要因	DTC の起動	DMAC の起動
TADI	改ざん検出	不可能	不可能

- Page 5498 of 5726

「67.8.5　アンチロールバックカウンタ」において、図 67.33 下の本文を以下のとおり訂正いたします。

【変更前】

アンチロールバックカウンタには、3 種類のカウンタ (ARCS、ARCNS、ARCOEMBL) があります。ARCCS.ARCMD[1:0]ビットが 11b の場合、インクリメントカウンタコマンドはすべてのカウンタに対して実行されません。

ARCNS は、ARCNS カウンタ構成選択ビット(ARCCS.CNFARCNS[1:0]) により、1 × 1024 または 4 × 256 ビットとして設定でき、無効な設定では更新できません。

ARCOEMBL は RSIP によって保護されており、OEM ブートローダの更新検証が成功するまで更新できません。検証成功の後、RSIP によって ARCOEMBL を現在の OEM ブートローダバージョン (OEM BL Ver.) の出力に更新できます。ARCOEMBL を OEM ブートローダバージョン (OEM BL Ver.) を超える値に更新することはできません。

【変更後】

アンチロールバックカウンタには、3 種類のカウンタ (ARCS, ARCNS, ARCOEMBL) があります。ARCNS は、ARCCS.CNFARCNS[1:0]ビットにより、1024 ビットカウンタまたは 4 本の 256 ビットカウンタとして設定できます。

ARCCS.ARCMD[1:0]ビットが “01b” (ARC 利用モードがモード 1) の場合、ARCOEMBL は RSIP によって保護され、MRAM 書き換えプログラムによる新しい OEM_BL の検証が成功するまでインクリメントできません。検証が成功すると、RSIP によって管理されている新 OEM_BL バージョンの値まで ARCOEMBL をインクリメントできます。新 OEM_BL バージョンを超える値にインクリメントすることはできません。モード 1 では ARCS、ARCNS を自由に利用できます。

ARCCS.ARCMD[1:0]ビットが “00b” (ARC 利用モードがモード 2) の場合、ARCS は RSIP によって保護され、MRAM 書き換えプログラムによる新しい Secure アプリケーションプログラムの検証が成功するまでインクリメントできません。検証が成功すると、RSIP によって管理されている新 Secure アプリケーションプログラムバージョンの値まで ARCS をインクリメントできます。新 Secure アプリケーションプログラムバージョンを超える値にインクリメントすることはできません。モード 2 では ARCOEMBL も ARCNS も利用できません。

ARCCS.ARCMD[1:0]ビットが “11b” の場合、アンチロールバックカウンタは使用できません。どのカウンタに対してインクリメントカウンタコマンドを発行しても無視されます。

- Page 5541 of 5726

「表 69.4　I/O 入力電圧特性(V_{IH}/V_{IL})」に以下のとおり、RES#端子の特性を追加いたします。

【変更前】

表 69.4　I/O 入力電圧特性 (V_{IH}/V_{IL}) (2 / 2)

項目		VCC/VCC2/ AVCC0/ VCC_USB	記号	min	typ	max	単位
(省略)							
シュミットトリガ入力電圧 (周辺機能端子)	RIICHS (SMBus を除く) (注 3)	1.62 V 以上	V_{IH}	0.7 × VCC	—	—	V
			V_{IL}	—	—	0.3 × VCC	
			ΔV_T	0.05 × VCC	—	—	
	RI3C (I3C モード)(注 4)	1.65 V～1.95 V 2.97 V～3.63 V	V_{IH}	0.7 × VCC	—	—	
			V_{IL}	—	—	0.3 × VCC	
			ΔV_T	0.1 × VCC	—	—	
(省略)							

注.　各ポートの電源ごとに項目を分けています。各ポートの電源については、「22. I/O ポート」を参照してください。

【変更後】

表 69.4　I/O 入力電圧特性 (V_{IH}/V_{IL}) (2 / 2)

項目		VCC/VCC2/ AVCC0/ VCC_USB	記号	min	typ	max	単位
(省略)							
シュミットトリガ入力電圧 (システム制御端子、周辺機能端子)	RES#端子	1.62 V 以上	V_{IH}	0.8 × VCC	—	—	V
			V_{IL}	—	—	0.2 × VCC	
			ΔV_T	0.05 × VCC	—	—	
	RIICHS (SMBus を除く) (注 3)	1.62 V 以上	V_{IH}	0.7 × VCC	—	—	
			V_{IL}	—	—	0.3 × VCC	
			ΔV_T	0.05 × VCC	—	—	
	RI3C (I3C モード)(注 4)	1.65 V～1.95 V 2.97 V～3.63 V	V_{IH}	0.7 × VCC	—	—	
			V_{IL}	—	—	0.3 × VCC	
			ΔV_T	0.1 × VCC	—	—	
(省略)							

注.　周辺機能端子の電源は、その端子がマルチプレクスされているポートの電源と同じです。各ポートの電源については、「表 22.2 I/O ポートの機能」を参照してください。

- Page 5543, 5545 of 5726

「表 69.5　I/O 出力電圧特性(V_{OH}/V_{OL})」を以下のとおり、訂正いたします。

【変更前】

表 69.5　I/O 出力電圧特性 (V_{OH}/V_{OL})

項目		VCC/VCC2/AVCC0/VCC_USB	記号	min	typ	max	単位	測定条件
High レベル出力電圧	RI3C (注 1)	2.97 V～3.63 V	V_{OH}	VCC – 0.27	—	—	V	I_{OH} = 3.0 mA (PRTS.PRTMD = 0, BFCTL.FMPE = 0, BFCTL.HSME = 0)
		1.65 V～1.95 V		VCC – 0.27	—	—		
	(省略)							
	その他の出力端子		V_{OH}	VCC – 0.5	—	—	V	I_{OH} = –1.0 mA
				VCC2 – 0.5	—	—		
				AVCC0 – 0.5	—	—		
				VCC_USB – 0.5	—	—		
Low レベル出力電圧	RIICHS 出力端子 (注 2)	2.70 V 以上	V_{OL}	—	—	0.4	V	I_{OL} = 3 mA (ICFER.FMPE = 0, ICFER.HSME = 0)
				—	—	0.6		I_{OL} = 6 mA (ICFER.FMPE = 0, ICFER.HSME = 0)
				—	—	0.4		I_{OL} = 15.0 mA (ICFER.FMPE = 1)
				—	0.4	—		I_{OL} = 20.0 mA (ICFER.FMPE = 1)
		(省略)						
	(省略)							
	その他の出力端子		V_{OL}	—	—	0.5	V	I_{OL} = 1.0 mA
				—	—	0.5		
				—	—	0.5		
				—	—	0.5		

注 1.　SDA00-A, SCL00-A
注 2.　SCLHS1-A, SDAHS1-A, SCLHS2-A, SDAHS2-A

【変更後】

表 69.5　I/O 出力電圧特性 (V_{OH}/V_{OL})

項目		VCC/VCC2/AVCC0/VCC_USB	記号	min	typ	max	単位	測定条件
High レベル出力電圧	RI3C (注 1)	2.97 V～3.63 V	V_{OH}	VCC – 0.27	—	—	V	I_{OH} = –3.0 mA (ICMR.OMS = 0, ICFER.FMPE = 0, ICFER.HSME = 0)
		1.65 V～1.95 V		VCC – 0.27	—	—		
	(省略)							
	RSTOUT#端子		V_{OH}	VCC – 0.5	—	—	V	I_{OH} = –1.0 mA
	その他の出力端子(VCC 電源)		V_{OH}	VCC – 0.5	—	—	V	I_{OH} = –1.0 mA
	その他の出力端子(VCC2 電源)			VCC2 – 0.5	—	—		
	その他の出力端子(AVCC0 電源)			AVCC0 – 0.5	—	—		
	その他の出力端子(VCC_USB 電源)			VCC_USB – 0.5	—	—		
Low レベル出力電圧	RIICHS 出力端子 (注 2)	2.97 V 以上	V_{OL}	—	—	0.4	V	I_{OL} = 3.0 mA (ICFER.FMPE = 0, ICFER.HSME = 1)
				—	—	0.4		I_{OL} = 3.0 mA (ICFER.FMPE = 0, ICFER.HSME = 0)
		2.70 V 以上		—	—	0.4		I_{OL} = 3.0 mA (ICFER.FMPE = 0, ICFER.HSME = 0)
				—	—	0.6		I_{OL} = 6.0 mA (ICFER.FMPE = 0, ICFER.HSME = 0)
				—	—	0.4		I_{OL} = 15.0 mA (ICFER.FMPE = 1, ICFER.HSME = 0)
				—	0.4	—		I_{OL} = 20.0 mA (ICFER.FMPE = 1, ICFER.HSME = 0)
		(省略)						
	(省略)							
	その他の出力端子		V_{OL}	—	—	0.5	V	I_{OL} = 1.0 mA

注.　周辺機能端子の電源は、その端子がマルチプレクスされているポートの電源と同じです。各ポートの電源については、「表 22.2 I/O ポートの機能」を参照してください。

注 1.　SDA00-A, SCL00-A

注 2.　SCLHS1-A, SDAHS1-A, SCLHS2-A, SDAHS2-A

- Page 5591 of 5726

「表 69.62　リセットタイミング」に以下のとおり、通常動作モード時、スリープモード時の特性を追加いたします。

【変更前】

表 69.62　リセットタイミング

項目			記号	min	typ	max	単位	測定条件
RES#パルス幅	パワーオン		t_{RESWP}	2.40	—	—	ms	図 69.23
	ディープソフトウェアスタンバイモード 1	(省略)	t_{RESWD}	(省略)	—	—		図 69.24
	ディープソフトウェアスタンバイモード 2	(省略)		(省略)	—	—		
	ディープソフトウェアスタンバイモード 3	(省略)		(省略)	—	—		
	ソフトウェアスタンバイモード		t_{RESWS}	0.55	—	—		
	CPU ディープスリープモード (SCKSCR.CKSEL[2:0] = 100b)		$t_{RESWSODS}$	0.16	—	—		
	CPU ディープスリープモード (SCKSCR.CKSEL[2:0] = 100b 以外)		t_{RESWDS}	0.04	—	—		
(省略)								

【変更後】

表 69.62　リセットタイミング

項目			記号	min	typ	max	単位	測定条件
RES#パルス幅	パワーオン		t_{RESWP}	2.40	—	—	ms	図 69.23
	ディープソフトウェアスタンバイモード 1	(省略)	t_{RESWD}	(省略)	—	—		図 69.24
	ディープソフトウェアスタンバイモード 2	(省略)		(省略)	—	—		
	ディープソフトウェアスタンバイモード 3	(省略)		(省略)	—	—		
	ソフトウェアスタンバイモード		t_{RESWS}	0.55	—	—		
	CPU ディープスリープモード	サブクロック動作	$t_{RESWSODS}$	0.16	—	—		
		サブクロック動作以外	t_{RESWDS}	0.04	—	—		
	CPU スリープモード、通常動作モード	サブクロック動作、PGSCR.PGS = 0	t_{RESWSO}	0.30	—	—		
		サブクロック動作、PGSCR.PGS = 1		0.27	—	—		
		サブクロック動作以外、PGSCR.PGS = 0	t_{RESW}	0.18	—	—		
		サブクロック動作以外、PGSCR.PGS = 1		0.15	—	—		
(省略)								

- Page 5592 of 5726

「図 69.24　リセット入力タイミング」に以下のとおり、t_{RESWSO}、t_{RESW} を追加いたします。

【変更前】

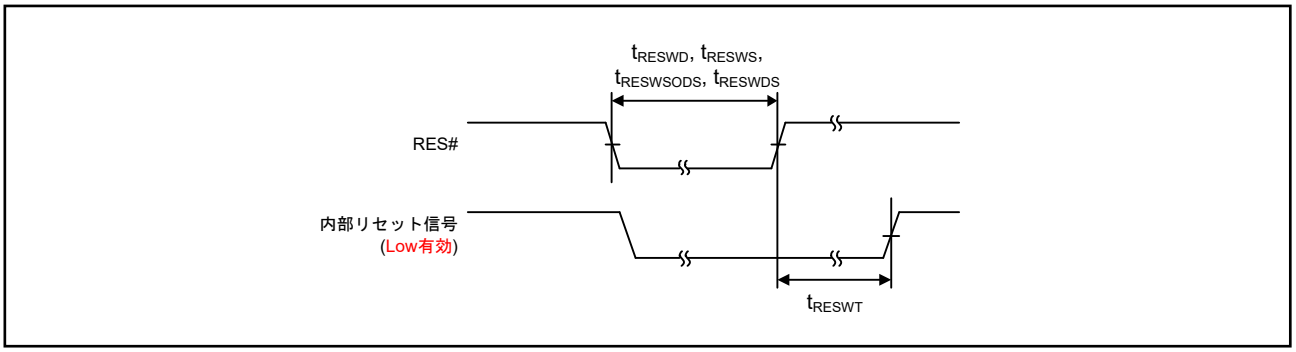


図 69.24　リセット入力タイミング

【変更後】

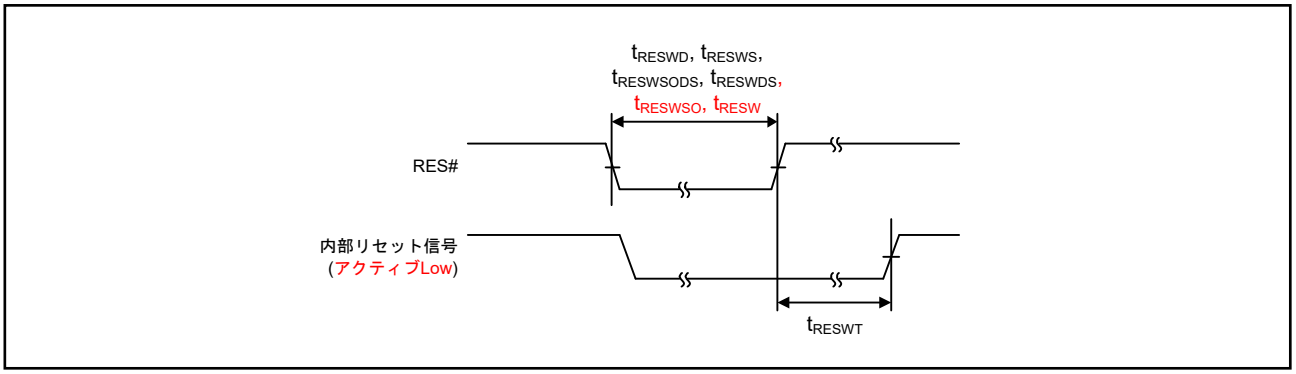


図 69.24　リセット入力タイミング

- Page 5706 of 5726

「表 69.139　コード MRAM 特性」を以下のとおり、訂正いたします。

【変更前】

表 69.139　コード MRAM 特性

項目		記号	MRICLK = 300 MHz			MRICLK = 240 MHz			単位
			min	typ	max	min	typ	max	
32 バイトのプログラム時間(注 1、注 2)	通常プログラムモード(注 3)	t_{PMC}	—	6.53	81.3	—	6.72	83.5	μs
	高速プログラムモード(注 3)		—	4.53	79.3	—	4.72	81.5	
プログラム回数(注 4)		N_{PC}	100 k	—	—	100 k	—	—	回
データ保持時間(注 5)		t_{DRP}	10	—	—	10	—	—	年

【変更後】

表 69.139　コード MRAM 特性

項目		記号	MRICLK = 300 MHz			MRICLK = 240 MHz			単位
			min	typ	max	min	typ	max	
32 バイトのプログラム時間(注 1、注 2)	通常プログラムモード(注 3)	t_{PMC}	—	6.63	82.3	—	6.72	83.5	μs
	高速プログラムモード(注 3)		—	4.63	80.3	—	4.72	81.5	
プログラム回数(注 4)		N_{PC}	100 k	—	—	100 k	—	—	回
データ保持時間(注 5)		t_{DRP}	10	—	—	10	—	—	年

- ページ番号、章節項番号、図表番号

項目	RX74M		RX74N	
	ページ	番号	ページ	番号
ピン配置図	151 to 156 of 5726	図 1.3～図 1.8	137 to 142 of 5027	図 1.3～図 1.8
機能別端子一覧	171, 190, 203, 204, 208, 221, 231 of 5726	表 1.5～表 1.10	156, 173, 184, 185, 189, 201, 210 of 5027	表 1.5～表 1.10
ARCCS.ARCMD[1:0]ビット	445 of 5726	7.2.33	424 of 5027	7.2.33
選択型割り込み要因一覧	787 of 5726	表 15.3 (11/11)	759 of 5027	表 15.3 (10/10)
DTC インデックステーブルベースレジスタ	1189 of 5726	20.2.12	1161 of 5027	20.2.12
DTC インデックス	1209 of 5726	20.4.9	1181 of 5027	20.4.9
I/O ポート関連レジスタ	1257 to 1270 of 5726	22.3.1～22.3.12	1228 to 1241 of 5027	22.3.1～22.3.12
リフレッシュ動作タイミング例	1861 of 5726	32.3.2	1832 of 5027	32.3.2
RSPIA の注意事項	4493 of 5726	48.4.8	3888 of 5027	47.4.8
セキュアブート	4839 of 5726	57.12	4233 of 5027	56.12
RSIP の仕様	4852, 4853 of 5726	表 58.1	4246, 4247 of 5027	表 57.1
RSIP の割り込み	4856 of 5726	58.3、表 58.2	4250 of 5027	57.3、表 57.2
アンチロールバックカウンタ	5498 of 5726	67.8.5、図 67.33	4803 of 5027	65.8.5、図 65.33
I/O 入力電圧特性	5541 of 5726	表 69.4	4846 of 5027	表 67.4
I/O 出力電圧特性	5543, 5545 of 5726	表 69.5	4848, 4850 of 5027	表 67.5
リセットタイミング	5591 of 5726	表 69.62	4896 of 5027	表 67.62
リセット入力タイミング	5592 of 5726	図 69.24	4897 of 5027	図 67.24
コード MRAM 特性	5706 of 5726	表 69.139	5007 of 5027	表 67.137