

RENESAS TECHNICAL UPDATE

〒211-8668 神奈川県川崎市中原区下沼部1753
 ルネサス エレクトロニクス株式会社
 問合せ窓口 <http://japan.renesas.com/contact/>
 E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-RX*-A106A/J	Rev.	第1版
題名	RX111グループ USB2.0ホスト/ファンクションモジュール(USBc)に関するマニュアルの誤記訂正		情報分類	技術情報	
適用製品	RX111グループ	対象ロット等	関連資料	RX111グループ ユーザーズマニュアルハードウェア編 Rev.1.10 (R01UH0365JJ0110)	
		全ロット			

RX111グループ ユーザーズマニュアルハードウェア編のUSB2.0ホスト/ファンクションモジュール(USBc)章において誤記がありましたので、以下のとおり訂正いたします。

〈訂正内容〉

•Page 639 of 1244

25.2.3 DVSTCTR0レジスタのWKUPビットに関する注意事項を削除いたします。

【誤】

注1. “1”のみ書けます。

•Page 642, 643 of 1244

25.2.4 CFIFO、D0FIFO、D1FIFOレジスタに関する記載内容を以下のとおり変更いたします。

【誤】

アドレス CFIFO 000A 0014h, D0FIFO 000A 0018h, D1FIFO 000A 001Ch



ビット	シンボル	ビット名	機能	R/W
b15-b0	FIFOPORT[15:0]	FIFOポートビット	FIFOポートレジスタの有効ビットは、MBWビット (CFIFOSEL.MBW、D0FIFOSEL.MBW、D1FIFOSEL.MBW) の設定値およびBIGENDビット (CFIFOSEL.BIGEND、D0FIFOSEL.BIGEND、D1FIFOSEL.BIGEND) の設定値により異なります。有効ビットを、表25.5、表25.6に示します	R/W

FIFOPORT[15:0]ビット (FIFOポートビット)

FIFOPORT[15:0]ビットにアクセスすることにより、FIFOバッファからの受信データを読み出し、もしくはFIFOバッファへの送信データの書き込みを行います。

FIFOポートレジスタへのアクセスは、ポートコントロールレジスタ (CFIFOCTR、D0FIFOCTR、D1FIFOCTR) のFRDYビットが“1”を示しているときのみ可能です。

FIFOポートレジスタの有効ビットは、ポート選択レジスタ (CFIFOSEL、D0FIFOSEL、D1FIFOSEL) のMBWビットおよびBIGENDビットの設定値により異なります。有効ビットを表25.5、表25.6に示します。

表25.5 16ビットアクセス時のエンディアン動作表

CFIFOSEL.BIGENDビット D0FIFOSEL.BIGENDビット D1FIFOSEL.BIGENDビット	ビット15~8	ビット7~0
0	N+1データ	N+0データ
1	N+0データ	N+1データ

表25.6 8ビットアクセス時のエンディアン動作表

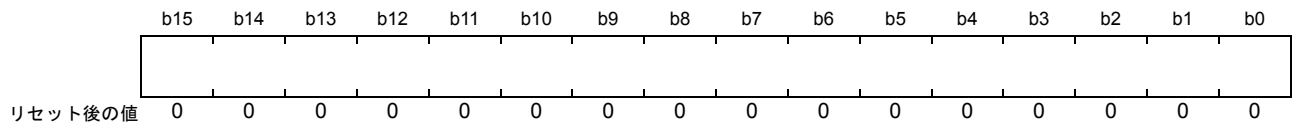
CFIFOSEL.BIGENDビット D0FIFOSEL.BIGENDビット D1FIFOSEL.BIGENDビット	ビット15~8	ビット7~0
0	アクセス禁止 (注1)	N+0データ
1	アクセス禁止 (注1)	N+0データ

注1. アクセス禁止の領域を読むことは禁止です。

【正】

(1) MBWビットが“1”の場合

アドレス CFIFO 000A 0014h, D0FIFO 000A 0018h, D1FIFO 000A 001Ch



ビット	シンボル	ビット名	機能	R/W
b15-b0	—	FIFOポートビット	FIFOバッファからの受信データの読み出し、FIFOバッファへの送信データの書き込みを行うポートです	R/W

(2) MBWビットが“0”の場合

アドレス CFIFO 000A 0014h, D0FIFO 000A 0018h, D1FIFO 000A 001Ch



ビット	シンボル	ビット名	機能	R/W
b7-b0	L[7:0]	FIFOポートビット	FIFOバッファからの受信データの読み出し、FIFOバッファへの送信データの書き込みを行うポートです	R/W

FIFOポートビット

FIFOポートビットにアクセスすることにより、FIFOバッファからの受信データの読み出し、もしくはFIFOバッファへの送信データの書き込みを行います。

FIFOポートレジスタへのアクセスは、FIFOポートコントロールレジスタ（CFIFOCTR、D0FIFOCTR、D1FIFOCTR）のFRDYビットが“1”を示しているときのみ可能です。

FIFOポートレジスタの有効ビットは、ポート選択レジスタ（CFIFOSEL、D0FIFOSEL、D1FIFOSEL）のMBWビットの設定値により異なります。

MBWビットが“1”（16ビット幅）の場合は、MDE.MDE[2:0]ビットの値と、BIGENDビット（CFIFOSEL.BIGEND、D0FIFOSEL.BIGEND、D1FIFOSEL.BIGEND）の設定値との関係により、RAM上とデータ配置が変わる場合があります。16ビットアクセス時のエンディアン動作を表25.5に示します。なお、送信データ総数が奇数バイトの場合、最後のデータを書くときはL[7:0]ビットにバイトアクセスしてください。

MBWビットが“0”（8ビット幅）の場合は、L[7:0]ビットにバイトアクセスしてください。

表25.5 16ビットアクセス時のエンディアン動作

MDE.MDE[2:0]ビット	CFIFOSEL.BIGENDビット D0FIFOSEL.BIGENDビット D1FIFOSEL.BIGENDビット	ビット15～8	ビット7～0	備考
000b (ビッグエンディアン)	0 (リトルエンディアン)	N+1番地のデータ	N番地のデータ	バイト逆転あり
	1 (ビッグエンディアン)	N番地のデータ	N+1番地のデータ	
111b (リトルエンディアン)	0 (リトルエンディアン)	N+1番地のデータ	N番地のデータ	
	1 (ビッグエンディアン)	N番地のデータ	N+1番地のデータ	バイト逆転あり

•Page 648 of 1244

25.2.6 CFIFOCTR、D0FIFOCTR、D1FIFOCTRレジスタのBCLRビットに関する注意事項を以下のとおり追加いたします。

注1. 読むと“0”が読めます。

•Page 648 of 1244

25.2.6 CFIFOCTR、D0FIFOCTR、D1FIFOCTRレジスタのBVALビットに関する注意事項を削除いたします。

【誤】

注2. “1”のみ書けます。

•Page 656 of 1244

25.2.13 INTSTS0レジスタのリセット後の値に関する注意事項を以下のとおり訂正いたします。

【誤】

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	VBINT	RESM	SOFR	DVST	CTRT	BEMP	NRDY	BRDY	VBSTS	DVSQ[2:0]			VALID	CTSQ[2:0]		
リセット後の値	0	0	0	0/1 (注1)	0	0	0	0	0 (注2)	0	0	0/1 (注3)	0	0	0	0

注1. **パワーオンリセット**のとき“0”、USBバスリセットのとき“1”になります。

注2. USB0_VBUS端子がHighのとき“1”、Lowのとき“0”になります。

注3. **パワーオンリセット**のとき“000b”、USBバスリセットのとき“001b”になります。

【正】

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	VBINT	RESM	SOFR	DVST	CTRT	BEMP	NRDY	BRDY	VBSTS	DVSQ[2:0]			VALID	CTSQ[2:0]		
リセット後の値	0	0	0	0/1 (注1)	0	0	0	0	0 (注2)	0 (注3)	0 (注3)	0/1 (注3)	0	0	0	0

注1. **MCUがリセット**されると“0”、USBバスリセットが起こると“1”になります。

注2. USB0_VBUS端子がHighのとき“1”、Lowのとき“0”になります。

注3. **MCUがリセット**されると“000b”、USBバスリセットが起こると“001b”になります。

•Page 656 of 1244

25.2.13 INTSTS0 レジスタのDVSQ[2:0]ビットの機能欄を以下のとおり訂正いたします。

【誤】

ビット	シンボル	ビット名	機能	R/W
b6-b4	DVSQ[2:0]	デバイスステートビット	b6 b4 0 0 0: パワードステート 0 0 1: デフォルトステート 0 1 0: アドレスステート 0 1 1: コンフィギュレーションステート 1 x x: サスペンドステート	R

【正】

ビット	シンボル	ビット名	機能	R/W
b6-b4	DVSQ[2:0]	デバイスステートビット	b6 b4 0 0 0: Poweredステート 0 0 1: Defaultステート 0 1 0: Addressステート 0 1 1: Configuredステート 1 x x: Suspendedステート	R

•Page 665 of 1244

25.2.18 FRMNUM レジスタのCRCEビット、OVRNビットに関する注意事項を以下のとおり訂正いたします。

【誤】

注1. “0”のみ書けます。

【正】

注1. 各ステータスを“0”にする場合は、クリアしたいビットに“0”を、その他のビットには“1”を書いてください。

•Page 672 of 1244

25.2.25 DCPCTR レジスタのSQSET、SQCLRビットに関する注意事項を以下のとおり訂正いたします。

【誤】

注1. 読むと“0”が読めます。“1”のみ書けます。

【正】

注1. 読むと“0”が読めます。

•Page 672 of 1244

25.2.25 DCPCTRレジスタのSUREQCLR、SUREQビットに関する注意事項を削除いたします。

【誤】

注2. “1”のみ書けます。

•Page 679 of 1244

25.2.28 PIPEMAXPレジスタのMXPS[8:0]ビットに関する説明文を以下のとおり訂正いたします。

【誤】

選択パイプの最大データペイロード(マックスパケットサイズ)を指定します。

MXPS[8:0]ビットの設定は、転送タイプごとにUSB規格に準拠した値を設定してください。

MXPS[8:0]ビットが“0”のとき、FIFOバッファへの書き込み、またはPID = BUFの設定は行わないでください。

【正】

選択パイプの最大データペイロード(マックスパケットサイズ)を指定します。

MXPS[8:0]ビットの設定は、転送タイプごとにUSB規格に準拠した値を設定してください。ただし、パイプ1,2の最大値は“256”です。MXPS[8:0]ビットが“000h”のとき、FIFOバッファにデータを書いたり、PID[1:0]ビットを“01b”(BUF)にしないでください。

•Page 681, 686 of 1244

25.2.30 PIPEnCTRレジスタのSQSET、SQCLRビットに関する注意事項を以下のとおり訂正いたします。

【誤】

注1. 読むと“0”が読めます。“1”のみ書けます。

【正】

注1. 読むと“0”が読めます。

•Page 695 of 1244

25.3.1.2 の本文を以下のとおり訂正いたします。

【誤】

USBは、ホストコントローラ機能またはファンクションコントローラ機能を選択することができます。コントローラ機能の選択は、SYSCFG.DCFMビットで行います。ただし、DCFMビットの設定は、**パワーオンリセット直後の初期設定またはD+のプルアップ禁止状態(SYSCFG.DPRPUビットが“0”) でD+/D-のプルダウン禁止状態(SYSCFG.DRPDビットが“0”) ときに行ってください。**

【正】

USBは、ホストコントローラ機能またはファンクションコントローラ機能を選択することができます。コントローラ機能の選択は、SYSCFG.DCFMビットで行います。ただし、DCFMビットの設定は、**リセット解除直後の初期設定時、またはD+のプルアップとD+/D-のプルダウンがともに禁止 (SYSCFG.DPRPU = 0かつDRPD = 0) のときに行ってください。**

•Page 706 of 1244

図25.8を以下のとおり訂正いたします。

【誤】

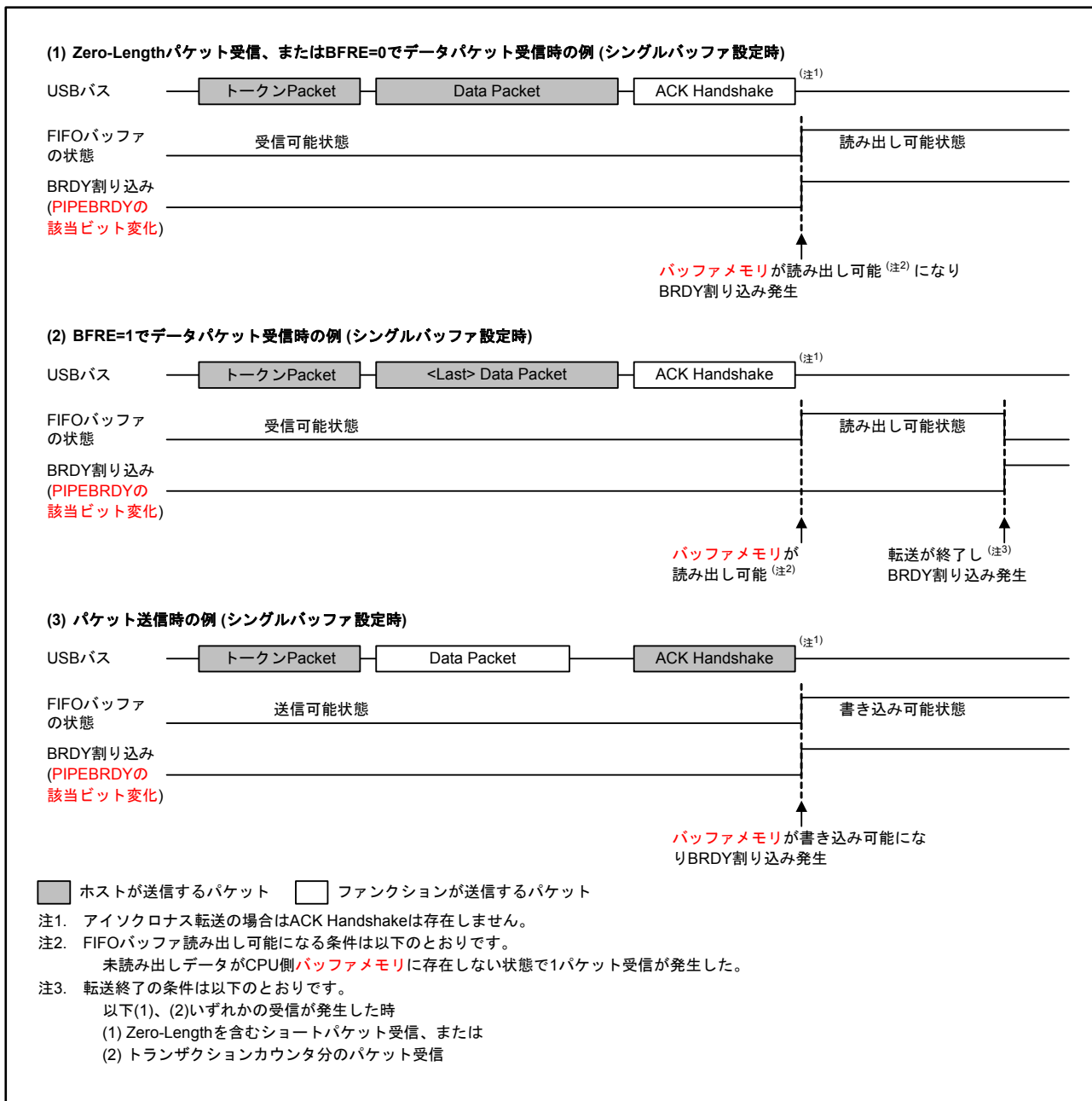


図25.8 BRDY割り込み発生タイミング図

【正】

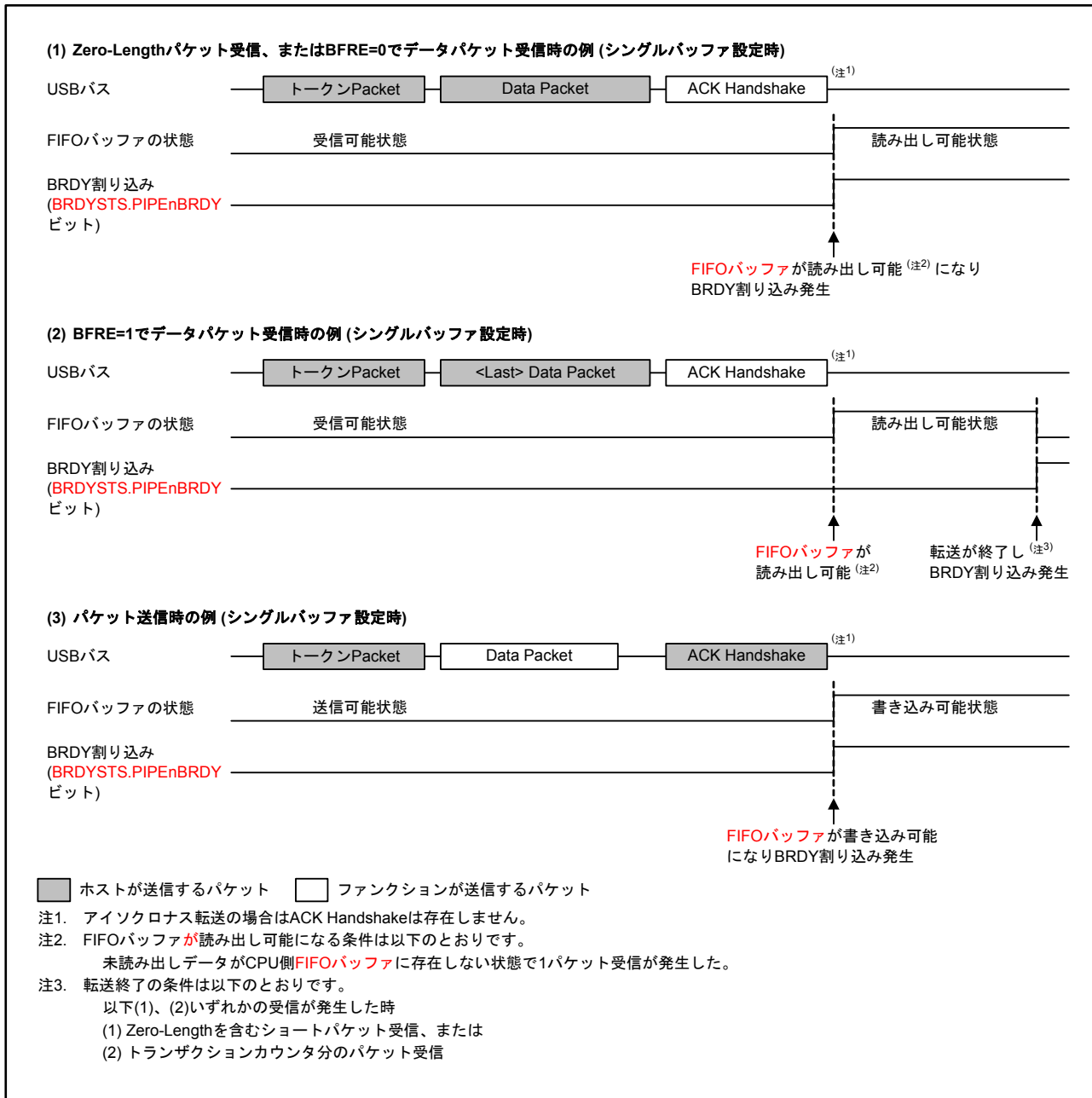


図 25.8 BRDY 割り込み発生タイミング図

•Page 709 of 1244

図25.9を以下のとおり訂正いたします。

【誤】

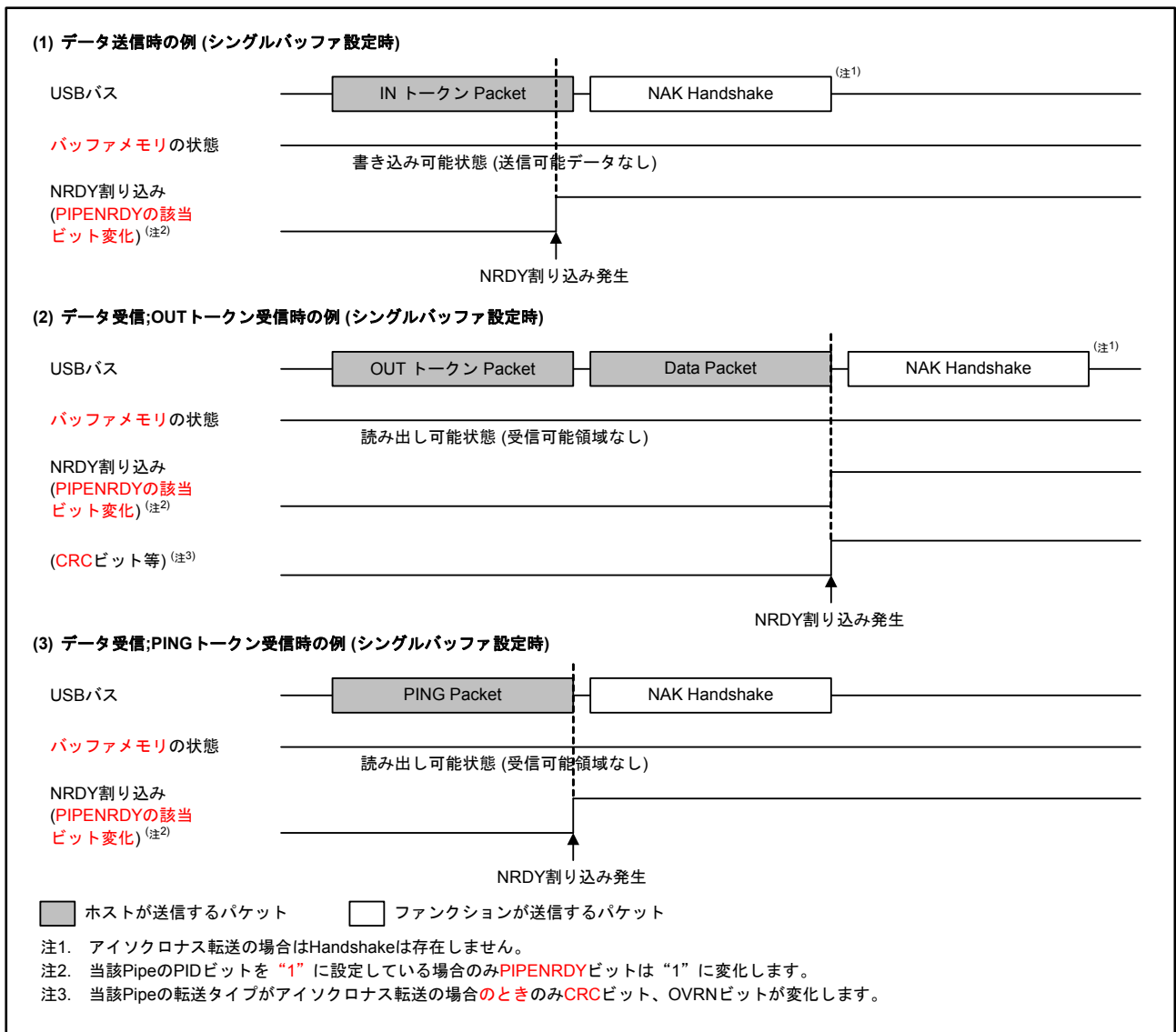


図 25.9 NRDY割り込み発生タイミング図 (ファンクションコントローラ機能選択時)

【正】

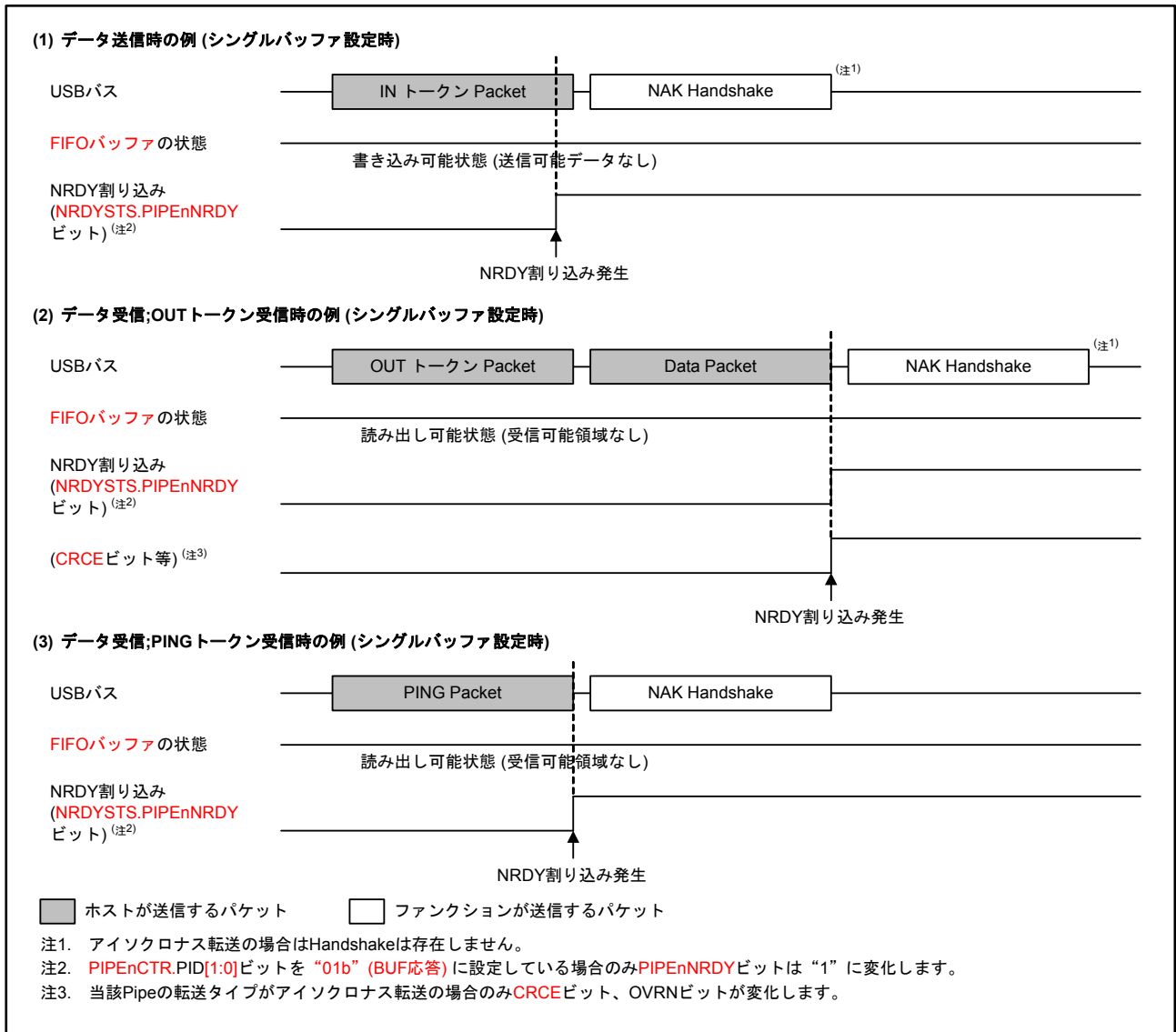


図 25.9 NRDY 割り込み発生タイミング図 (ファンクションコントローラ機能選択時)

•Page 710 of 1244

図25.10を以下のとおり訂正いたします。

【誤】

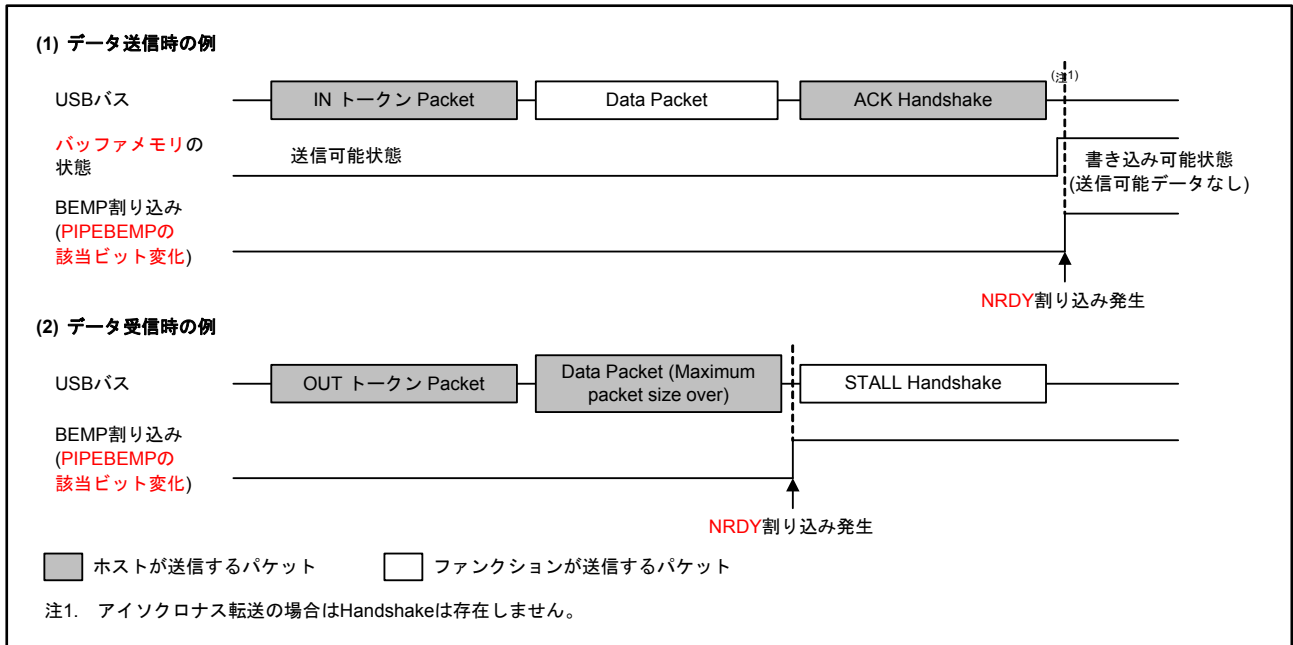


図25.10 ファンクションコントローラ機能選択時のBEMP割り込み発生タイミング図

【正】

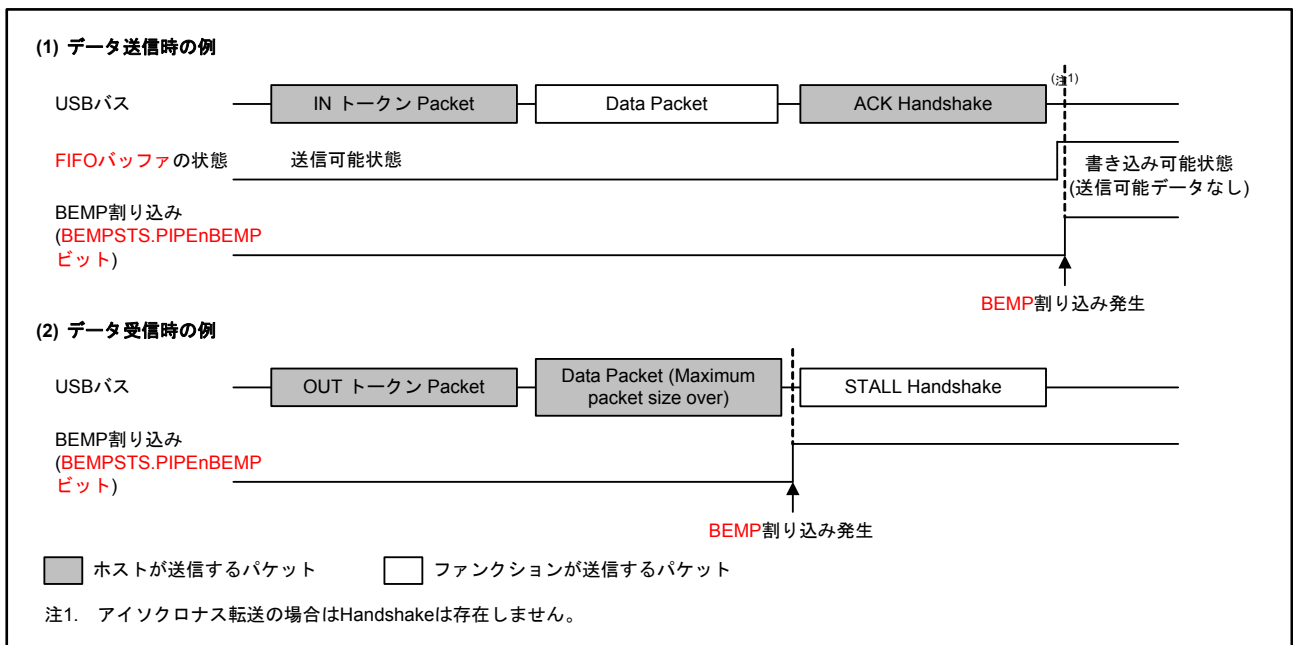


図25.10 ファンクションコントローラ機能選択時のBEMP割り込み発生タイミング図

•Page 726 of 1244

25.3.6.2に以下のとおり (4)「コントロール転送自動応答機能」を追加いたします。

(4) コントロール転送自動応答機能

USBは、正常なSET_ADDRESS リクエストに自動応答します。SET_ADDRESS リクエストに下記のエラーがある場合はソフトウェアによる応答が必要です。

- bmRequestType が“00h”でない場合：コントロールライト転送以外
- wIndex が“00h”でない場合：リクエストエラー
- wLength が“00h”でない場合：ノーデータコントロール転送以外
- wValue が“7Fh”より大きい場合：リクエストエラー
- INTSTS0.DVSQ[2:0] ビットが“011b”(Configured ステート)の場合：デバイスステートエラーのコントロール転送

SET_ADDRESS 以外のすべてのリクエストには対応するソフトウェアによる応答が必要です。

•Page 728 of 1244

25.3.8.1 (1)「カウンタの初期化」の説明文を以下のとおり訂正いたします。

【誤】

(1) カウンタの初期化

USB コントローラがインターバルカウンタを初期化する条件は以下のとおりです。

- **パワーオンリセット：**
IITV[2:0] ビットが初期化されます。
- **PIPEnCTR.ACLRМ** ビットによるバッファメモリ初期化
IITV[2:0] ビットは初期化されませんがカウントは初期化されます。**PIPEnCTR.ACLRМ** ビットを“0”にすることにより、**IITV** の設定値を最初からカウントします。

【正】

(1) カウンタの初期化

インターバルカウンタは、MCU がリセットされたとき、または PIPEnCTR.ACLRМ ビットを“1”にしたときに初期化されます。なお、ACLRМ ビットによる初期化時は、PIPEPERL.IITV[2:0] ビットは初期化されません。

•Page 731 of 1244

25.3.9.3 (1) 「ファンクションコントローラ機能選択時でのカウンタの初期化」の説明文を以下のとおり訂正いたします。

【誤】

(1) ファンクションコントローラ機能選択時でのカウンタの初期化

USBは、下記の条件でインターバルカウンタを初期化します。

• **パワーオンリセット**

PIPEPERI.IITV[2:0]ビットが初期化されます。

• ACLRMによるバッファメモリ初期化

IITV[2:0]ビットは初期化されませんがカウントは初期化されます。

【正】

(1) ファンクションコントローラ機能選択時でのカウンタの初期化

インターバルカウンタは、MCUがリセットされたとき、またはPIPEEnCTR.ACLRMビットを“1”にしたときに初期化されます。なお、ACLRMビットによる初期化時は、PIPEPERI.IITV[2:0]ビットは初期化されません。

•Page 736 of 1244

25.3.10 「SOF補完機能」の説明文を以下のとおり訂正いたします。

【誤】

ファンクションコントローラ機能を選択時にSOFパケットの破損または欠落のために、1ms間隔でSOFパケットを受信できなかった場合に、USBはSOFを補完します。SOF補完動作の開始はSYSCFG.USBEビットが“1”、SYSCFG.SCKEビットが“1”かつSOFパケット受信となります。また、下記の条件で補完機能が初期化されます。

• **パワーオンリセット**

• USBバスリセット

• サスペンド検出

【正】

ファンクションコントローラ機能を選択時にSOFパケットの破損または欠落のために、1ms間隔でSOFパケットを受信できなかった場合に、USBはSOFを補完します。SOF補完動作の開始はSYSCFG.USBEビットが“1”、SYSCFG.SCKEビットが“1”かつSOFパケット受信となります。また、下記の条件で補完機能が初期化されます。

• **MCUのリセット**

• USBバスリセット

• サスペンド検出

以上