

RENESAS TECHNICAL UPDATE

〒211-8668 神奈川県川崎市中原区下沼部1753
 ルネサス エレクトロニクス株式会社
 問合せ窓口 <http://japan.renesas.com/contact/>
 E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-RX*-A102A/J	Rev.	第1版
題名	RX62Nグループ、RX621グループ USB2.0ホスト/ファンクションモジュール(USB)に関するマニュアルの誤記訂正		情報分類	技術情報	
適用製品	RX62Nグループ、RX621グループ	対象ロット等	関連資料	RX62Nグループ、RX621グループ ユーザーズマニュアルハードウェア編 Rev.1.30 (R01UH0033JJ0130)	
		全ロット			

RX62Nグループ、RX621グループ ユーザーズマニュアルハードウェア編のUSB2.0ホスト/ファンクションモジュール(USB)章において誤記がありましたので、以下のとおり訂正いたします。

〈訂正内容〉

•用語変更

以下の用語を変更いたします。

【誤】

SOF 補間機能

【正】

SOF 補完機能

•Page 1251 of 1974

表28.1 に以下のとおり注記を追加いたします。

【正】

表28.1 USBの仕様

項目	内容
特長	<ul style="list-style-type: none"> • • (1) ホストコントローラ機能選択時 <ul style="list-style-type: none"> •フルスピード転送 (12Mbps) に対応 (注1) • (2) ファンクションコントローラ機能選択時 <ul style="list-style-type: none"> •フルスピード転送 (12Mbps) に対応 (注1) • •
以下省略	

注1. ロースピード転送 (1.5Mbps) には対応していません。

•Page 1261 of 1974

28.2.3 DVSTCTR0レジスタのRHST[2:0]ビットの機能欄を以下のとおり訂正いたします。

【誤】

ビット	シンボル	ビット名	機能	R/W
b2-b0	RHST[2:0]	USBバスリセットステータスビット	<ul style="list-style-type: none"> •ホストコントローラ機能選択時 b2 b0 000: 通信速度不定 (パワード時あるいは非接続時) 1xx: USBバスリセット処理中 001: ロースピード接続時 (注1) 010: フルスピード接続時 【記号説明】X: Don't care	R
			<ul style="list-style-type: none"> •ファンクションコントローラ機能選択時 b2 b0 000: 通信速度不定 100: USBバスリセット処理中 010: フルスピード接続時	

【正】

ビット	シンボル	ビット名	機能	R/W
b2-b0	RHST[2:0]	USBバスリセットステータスビット	<ul style="list-style-type: none"> •ホストコントローラ機能選択時 b2 b0 000: 通信速度不定 (パワード時あるいは非接続時) 1xx: USBバスリセット処理中 001: ロースピード接続時 (注1) 010: フルスピード接続時 x: Don't care	R
			<ul style="list-style-type: none"> •ファンクションコントローラ機能選択時 b2 b0 000: 通信速度不定 010: USBバスリセット処理中 またはフルスピード接続時	

•Page 1261 of 1974

28.2.3 DVSTCTR0レジスタのWKUPビットに関する注意事項を削除いたします。

【誤】

注2. “1”のみ書けます。

•Page 1262 of 1974

28.2.3 DVSTCTR0レジスタのRESUMEビットの説明文を以下のとおり変更いたします。

【誤】

ホストコントローラ機能選択時に、レジューム信号の出力制御を行います。

RESUMEビットを“1”にすると、USBモジュールはポートをK-Stateドライブし、レジューム出力を行います。

—(省略)—

【正】

ホストコントローラ機能選択時に、レジューム信号の出力制御を行います。

RESUMEビットを“1”にすると、USBモジュールはポートをK-Stateドライブし、レジューム出力を行います。また、RWUPEビットが“1”かつサスペンド中にリモートウェイクアップ信号を検出すると、USBモジュールはRESUMEビットを”1”にし、同様の動作を行います。

—(省略)—

•Page 1264 of 1974

28.2.4 CFIFO、D0FIFO、D1FIFOレジスタに関する説明を以下のとおり変更いたします。

【誤】

ビット	シンボル	ビット名	機能	R/W
b15-b8	L[7:0]	FIFOポートビット	FIFOポートレジスタの有効ビットは、MBWビットの設定値およびBIGENDビットの設定値により異なります。 有効ビットを、表28.7、表28.8に示します	R/W
b7-b0	H[7:0]			

L[7:0] / H[7:0] (FIFOポートビット)

FIFO**PORT**ビットにアクセスすることにより、FIFOバッファからの受信データを読み出し、もしくはFIFOバッファへの送信データの書き込みを行います。

FIFOポートレジスタへのアクセスは、各FIFOポートコントロールレジスタ (CFIFOCTR、D0FIFOCTRまたはD1FIFOCTR) のFRDYビットが“1”を示しているときのみ可能です。

FIFOポートレジスタの有効ビットは、ポート選択レジスタのMBWビットの設定値および**BIGENDビットの設定値**により異なります。**有効ビットを**表28.7、表28.8に示します。

8ビットアクセス時は、バイトアクセスしてください。また、BIGENDビットの設定は無効です。

16ビットアクセス時は、ワードアクセスしてください。ただし、データ総数が奇数の場合**については**、最後のデータはバイトアクセスしてください。

アクセスするときのアドレスは、8ビットアクセス時および16ビットアクセス時ともに、設定によらず常にFIFOレジスタの先頭アドレスへアクセスしてください。

表28.7 16ビットアクセス時のエンディアン動作表

CFIFOSEL.BIGENDビット D0FIFOSEL.BIGENDビット D1FIFOSEL.BIGENDビット	ビット15~8	ビット7~0
0	N+1 データ	N+0 データ
1	N+0 データ	N+1 データ

表28.8 8ビットアクセス時のエンディアン動作表

CFIFOSEL.BIGENDビット D0FIFOSEL.BIGENDビット D1FIFOSEL.BIGENDビット	ビット15~8	ビット7~0
0	アクセス禁止 (注1)	N+0 データ
1	アクセス禁止 (注1)	N+0 データ

注1. 禁止領域へのリードアクセスは禁止です。

【正】

ビット	シンボル	ビット名	機能	R/W
b15-b8	L[7:0]	FIFOポートビット	FIFOポートレジスタの有効ビットは、MBWビットの設定値により異なります。 MBWビットが“1”（16ビット幅）の場合は、MDE端子の状態と、BIGENDビットの設定値との関係により、データ配置が変わります。詳細は、表28.7を参照してください。 MBWビットが“0”（8ビット幅）の場合は、先頭アドレスにバイトアクセスしてください。	R/W
b7-b0	H[7:0]			

L(7:0) / H(7:0) (FIFOポートビット)

FIFOポートビットにアクセスすることにより、FIFOバッファからの受信データの読み出し、もしくはFIFOバッファへの送信データの書き込みを行います。

FIFOポートレジスタへのアクセスは、各FIFOポートコントロールレジスタ（CFIFOCTR、D0FIFOCTRまたはD1FIFOCTR）のFRDYビットが“1”を示しているときのみ可能です。

FIFOポートレジスタの有効ビットは、ポート選択レジスタのMBWビット（CFIFOSEL.MBW、D0FIFOSEL.MBW、D1FIFOSEL.MBW）の設定値により異なります。また、MBWビットが“1”（16ビット幅）の場合は、MDE端子の状態と、BIGENDビット（CFIFOSEL.BIGEND、D0FIFOSEL.BIGEND、D1FIFOSEL.BIGEND）の設定値との関係により、RAM上とデータ配置が変わる場合があります。16ビットアクセス時のエンディアン動作を表28.7に示します。

8ビットアクセス時は、バイトアクセスしてください。また、BIGENDビットの設定は無効です。

16ビットアクセス時は、ワードアクセスしてください。ただし、送信データ総数が奇数バイトの場合、最後のデータを書くときはバイトアクセスしてください。

アクセスするときのアドレスは、8ビットアクセス時および16ビットアクセス時ともに、設定によらず常にFIFOレジスタの先頭アドレスへアクセスしてください。

表28.7 16ビットアクセス時のエンディアン動作

MDMONR.MDEフラグ	CFIFOSEL.BIGENDビット D0FIFOSEL.BIGENDビット D1FIFOSEL.BIGENDビット	ビット15~8	ビット7~0	備考
0 (リトルエンディアン)	0 (リトルエンディアン)	N+1番地のデータ	N番地のデータ	
	1 (ビッグエンディアン)	N番地のデータ	N+1番地のデータ	バイト逆転あり
1 (ビッグエンディアン)	0 (リトルエンディアン)	N+1番地のデータ	N番地のデータ	バイト逆転あり
	1 (ビッグエンディアン)	N番地のデータ	N+1番地のデータ	

•Page 1266, 1268 of 1974

28.2.5 CFIFOSEL、D0FIFOSEL、D1FIFOSEL レジスタのREW ビットに関する注意事項を以下のとおり訂正いたします。

【誤】

注. “0”を読み出すことのみ可能です。

【正】

注. 読むと“0”が読めます。

•Page 1271 of 1974

28.2.6 CFIFOCTR、D0FIFOCTR、D1FIFOCTR レジスタのBCLRビットに関する注意事項を以下のとおり訂正いたします。

【誤】

注1. “0”を読んだ後、“1”を書くことのみ可能です。

【正】

注1. 読むと“0”が読めます。

•Page 1271 of 1974

28.2.6 CFIFOCTR、D0FIFOCTR、D1FIFOCTR レジスタのBVALビットに関する注意事項を削除いたします。

【誤】

注2. “1”を書くことのみ可能です。

•Page 1280 of 1974

28.2.12 SOFCFG レジスタのTRNENSEL ビットを以下のとおり予約ビットに訂正いたします。

【誤】

ビット	シンボル	ビット名	機能	R/W
b8	TRNENSEL	トランザクション有効期間切り替えビット	0: ロースピード未対応 1: 設定しないでください	R/W

【正】

ビット	シンボル	ビット名	機能	R/W
b8	—	予約ビット	読むと"0"が読めます。書く場合、“0”としてください	R/W

•Page 1280 of 1974

28.2.12 SOFCFG レジスタのTRNENSEL ビットの説明文を削除いたします。

【誤】

TRNENSEL ビット (トランザクション有効期間切り替えビット)

フルスピード通信中のポートにおいて、1フレーム中にUSB モジュールがトークン発行を行う期間 (トランザクション有効期間) を指定します。

TRNENSEL ビットは、ホストコントローラ機能選択時のみ有効です。

ファンクションコントローラ機能選択時は、“0”にしてください。

•Page 1281 of 1974

28.2.13 INTSTS0レジスタのリセット後の値に関する注意事項を以下のとおり訂正いたします。

【誤】

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
VBINT	RESM	SOFR	DVST	CTRT	BEMP	NRDY	BRDY	VBSTS	DVSQ[2:0]		VALID	CTSQ[2:0]				
リセット後の値	0	0	0	0/1 ^(注1)	0	0	0	0	0 ^(注3)	0	0	0/1 ^(注2)	0	0	0	0

- 注1. パワーオンリセットのとき**0b**、USBバスリセットのとき**“1b”**になります。
- 注2. パワーオンリセットのとき**000b**、USBバスリセットのとき**“001b”**になります。
- 注3. USBm_VBUS端子がHighのとき**“1”**、Lowのとき**“0”**です。

【正】

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
VBINT	RESM	SOFR	DVST	CTRT	BEMP	NRDY	BRDY	VBSTS	DVSQ[2:0]		VALID	CTSQ[2:0]				
リセット後の値	0	0	0	0/1 ^(注1)	0	0	0	0	0	0	0	0/1 ^(注3)	0	0	0	0

- 注1. MCUがリセットされると**“0”**、USBバスリセットが起こると**“1”**になります。
- 注2. USBm_VBUS端子がHighのとき**“1”**、Lowのとき**“0”**になります。
- 注3. MCUがリセットされると**“000b”**、USBバスリセットが起こると**“001b”**になります。

•Page 1281 of 1974

28.2.13 INTSTS0レジスタのDVSQ[2:0]ビットの機能欄を以下のとおり訂正いたします。

【誤】

ビット	シンボル	ビット名	機能	R/W
b6-b4	DVSQ[2:0]	デバイスステートビット	b6 b4 0 0 0 : パワード ステート 0 0 1 : デフォルト ステート 0 1 0 : アドレス ステート 0 1 1 : コンフィギュレーション ステート 1 x x : サスペンド ステート 【記号説明】 x : Don't care	R

【正】

ビット	シンボル	ビット名	機能	R/W
b6-b4	DVSQ[2:0]	デバイスステートビット	b6 b4 0 0 0 : Powered ステート 0 0 1 : Default ステート 0 1 0 : Address ステート 0 1 1 : Configured ステート 1 x x : Suspended ステート (x : Don't care)	R

•Page 1290 of 1974

28.2.18 FRMNUMレジスタのCRCEビット、OVRNビットに関する注意事項を以下のとおり訂正いたします。

【誤】

注1. “0”のみ書けます。

【正】

注1. 各ステータスを“0”にする場合は、クリアしたいビットに“0”を、その他のビットには“1”を書いてください。

•Page 1290 of 1974

28.2.18 FRMNUMレジスタのCRCEビットの説明文、5行目以降を以下のとおり訂正いたします。

【誤】

(1) ホストコントローラ機能選択時

CRCエラーの検出時には、USBモジュールは内部NRDY割り込み要求を発生させます。

(2) ファンクションコントローラ機能選択時

CRCエラーの検出時には、USBモジュールは内部NRDY割り込み要求を発生させません。

【正】

CRCエラーの検出時には、USBモジュールは内部NRDY割り込み要求を発生させます。

•Page 1299 of 1974

28.2.27 DCPCTRレジスタのSQSET、SQCLRビットに関する注意事項を以下のとおり訂正いたします。

【誤】

注1. 読むと“0”が読めます。“1”を書くことのみ有効です。

【正】

注1. 読むと“0”が読めます。

•Page 1299 of 1974

28.2.27 DCPCTRレジスタのSUREQCLR、SUREQビットに関する注意事項を削除いたします。

【誤】

注2. “1”を書くことのみ有効です。

•Page 1306 of 1974

28.2.30 PIPEMAXP レジスタのMXPS[8:0] ビットに関する説明文を以下のとおり訂正いたします。

【誤】

選択パイプの最大データペイロード(マックスパケットサイズ)を指定します。

MXPS ビットの設定は、転送タイプごとにUSB規格に準拠した値を設定してください。MXPS ビットが“0”のとき、FIFOバッファへの書き込み、または**PID = BUF**の設定は行わないでください。

【正】

選択パイプの最大データペイロード(マックスパケットサイズ)を指定します。

MXPS[8:0] ビットの設定は、転送タイプごとにUSB規格に準拠した値を設定してください。ただし、パイプ1,2の最大値は“256”です。MXPS[8:0] ビットが“000h”のとき、FIFOバッファにデータを書いたり、PID[1:0] ビットを“01b”(BUF) にしないでください。

•Page 1308, 1313 of 1974

28.2.32 PIPEnCTR レジスタのSQSET、SQCLR ビットに関する注意事項を以下のとおり訂正いたします。

【誤】

注1. “0”読み出し、“1”書き込みのみ有効です。

【正】

注1. 読むと“0”が読めます。

•Page 1324 of 1974

28.3.1.2 の本文を以下のとおり訂正いたします。

【誤】

USBモジュールは、ホストコントローラ機能またはファンクションコントローラ機能を選択することができます。コントローラ機能の選択は、SYSCFG.DCFM ビットで行います。ただし、DCFM ビットの設定は、パワーオンリセット直後の初期設定またはD+のプルアップ禁止状態(DPRPU = “0”) でD+/D-のプルダウン禁止状態(DRPD = “0”) ときに行ってください。

【正】

USBモジュールは、ホストコントローラ機能またはファンクションコントローラ機能を選択することができます。コントローラ機能の選択は、SYSCFG.DCFM ビットで行います。ただし、DCFM ビットの設定は、リセット解除直後の初期設定時、または D+ のプルアップと D+/D- のプルダウンがともに禁止(SYSCFG.DPRPU = 0かつDRPD = 0) のときに行ってください。

•Page 1338 of 1974

図28.11を以下のとおり訂正いたします。

【誤】

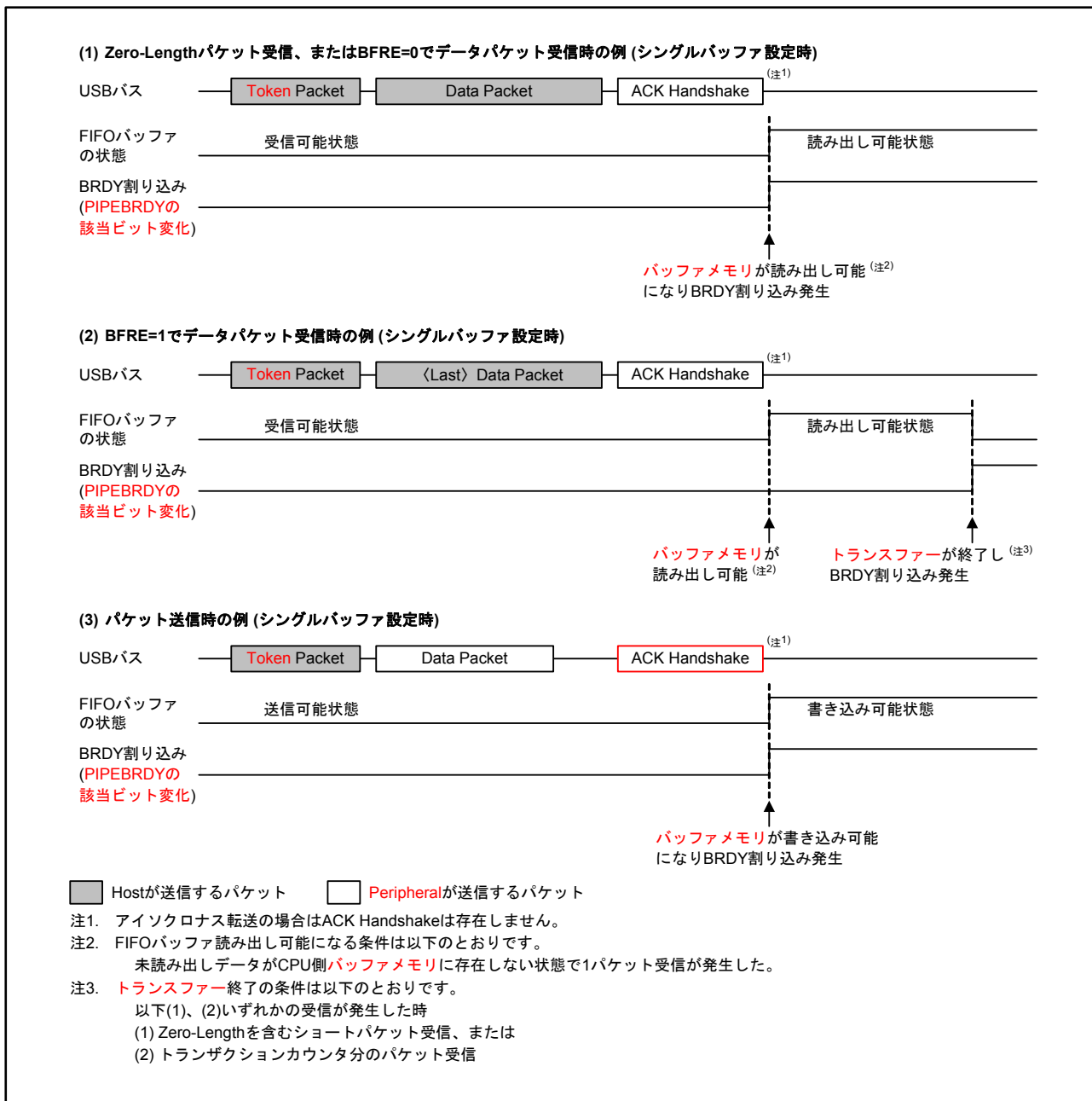


図28.11 BRDY割り込み発生タイミング図

【正】

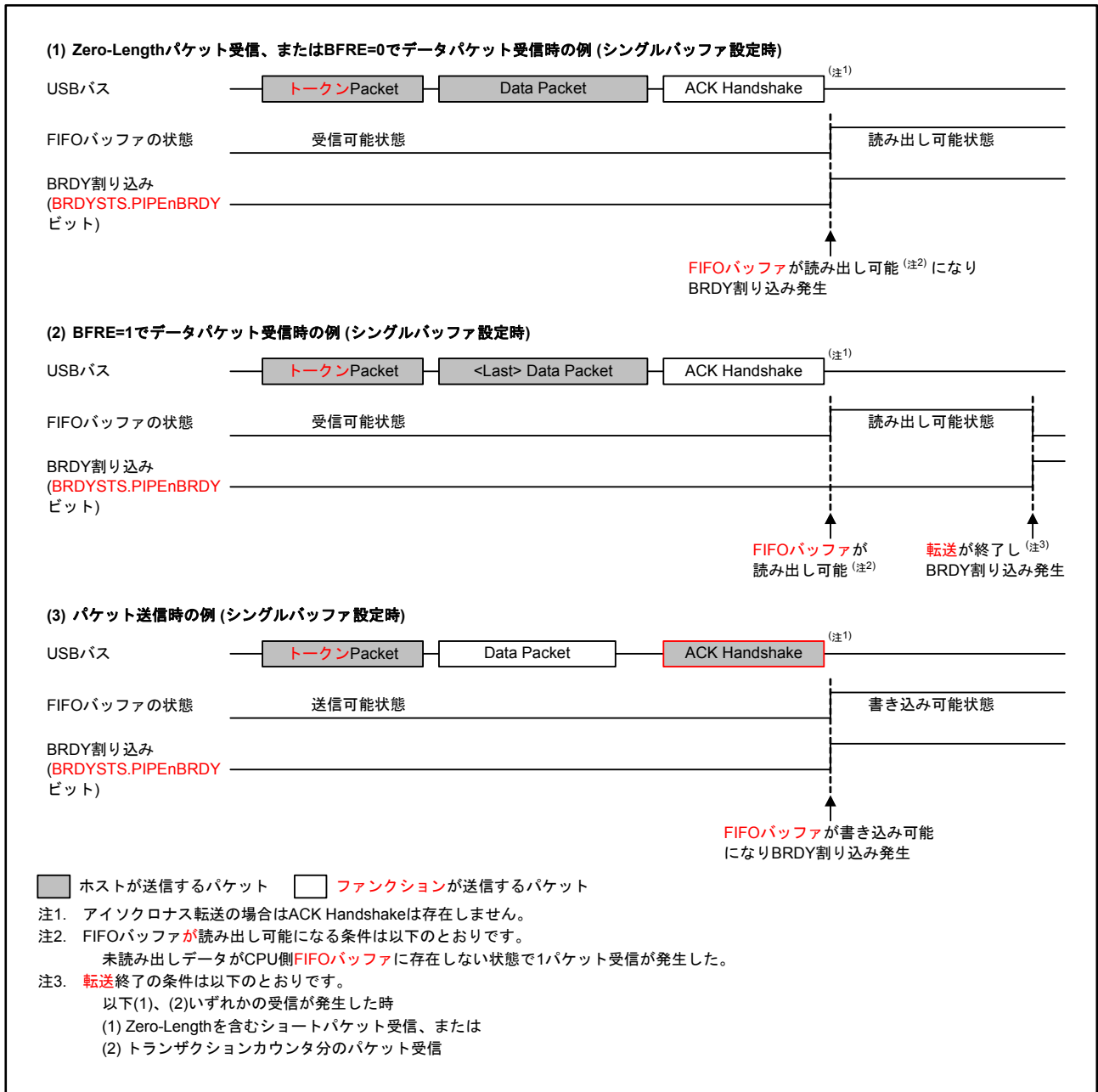


図28.11 BRDY割り込み発生タイミング図

•Page 1342 of 1974

図28.12を以下のとおり訂正いたします。

【誤】

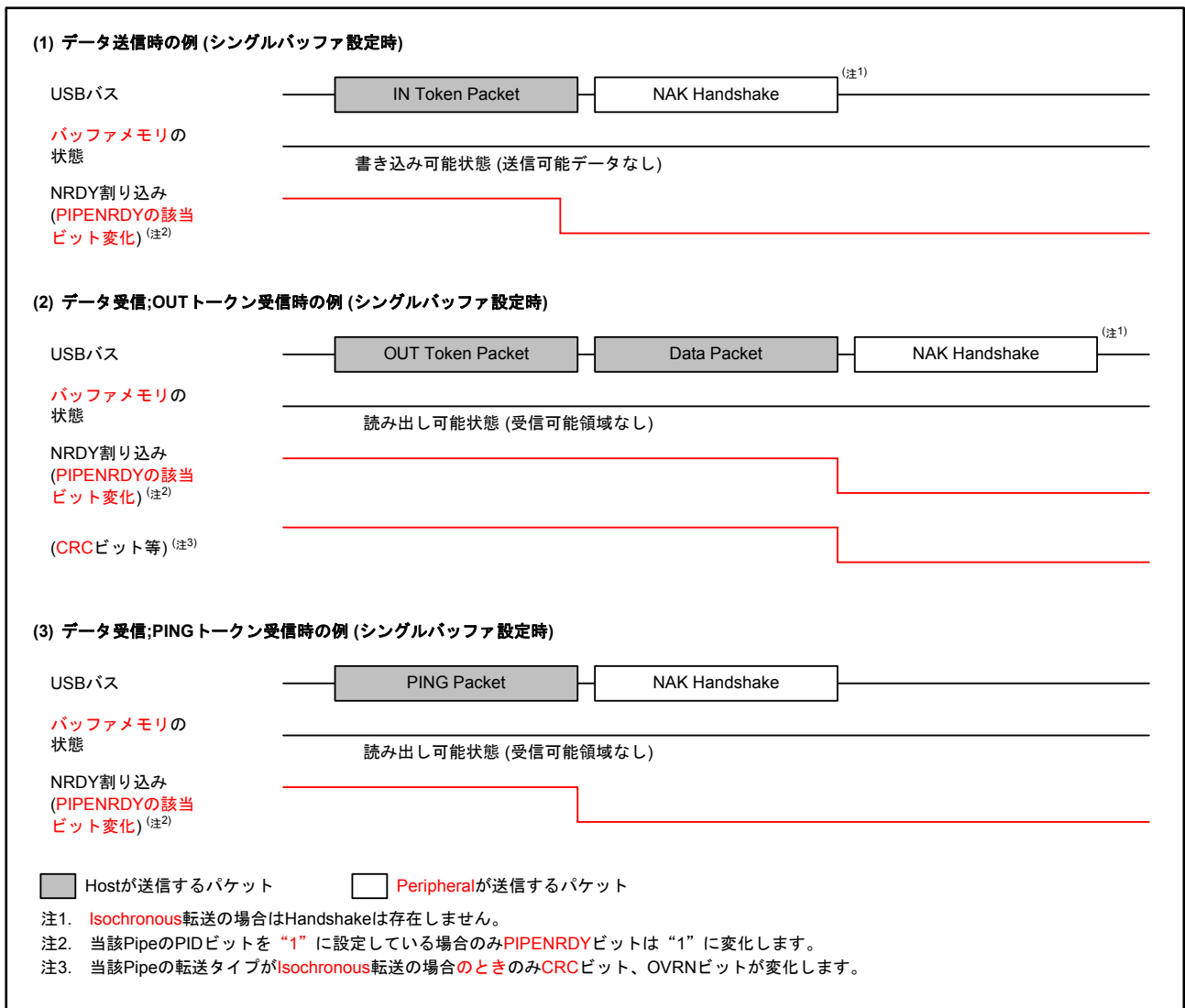


図28.12 NRDY割り込み発生タイミング図 (ファンクションコントローラ機能選択時)

【正】

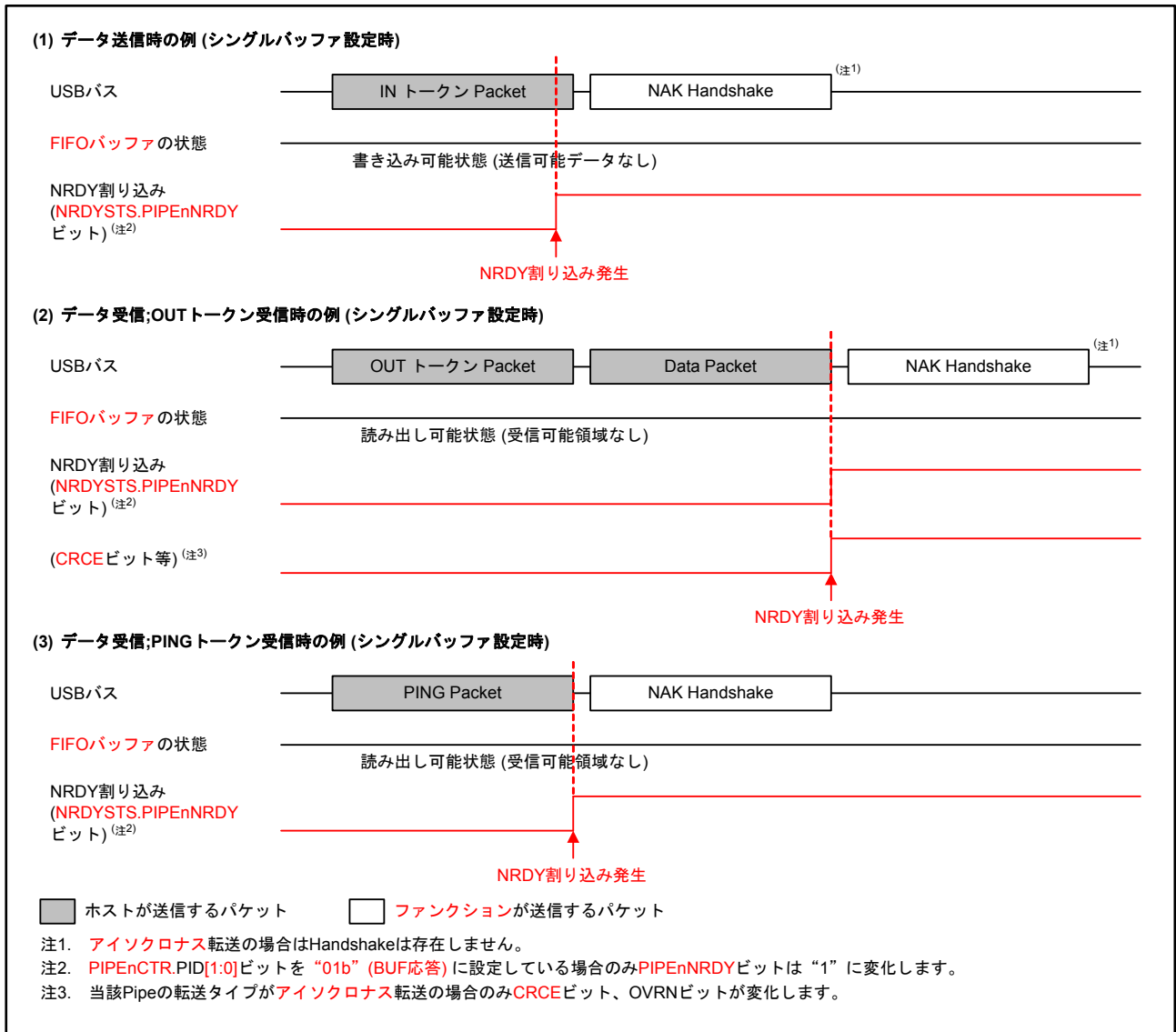


図 28.12 NRDY 割り込み発生タイミング図 (ファンクションコントローラ機能選択時)

•Page 1344 of 1974

図28.13を以下のとおり訂正いたします。

【誤】

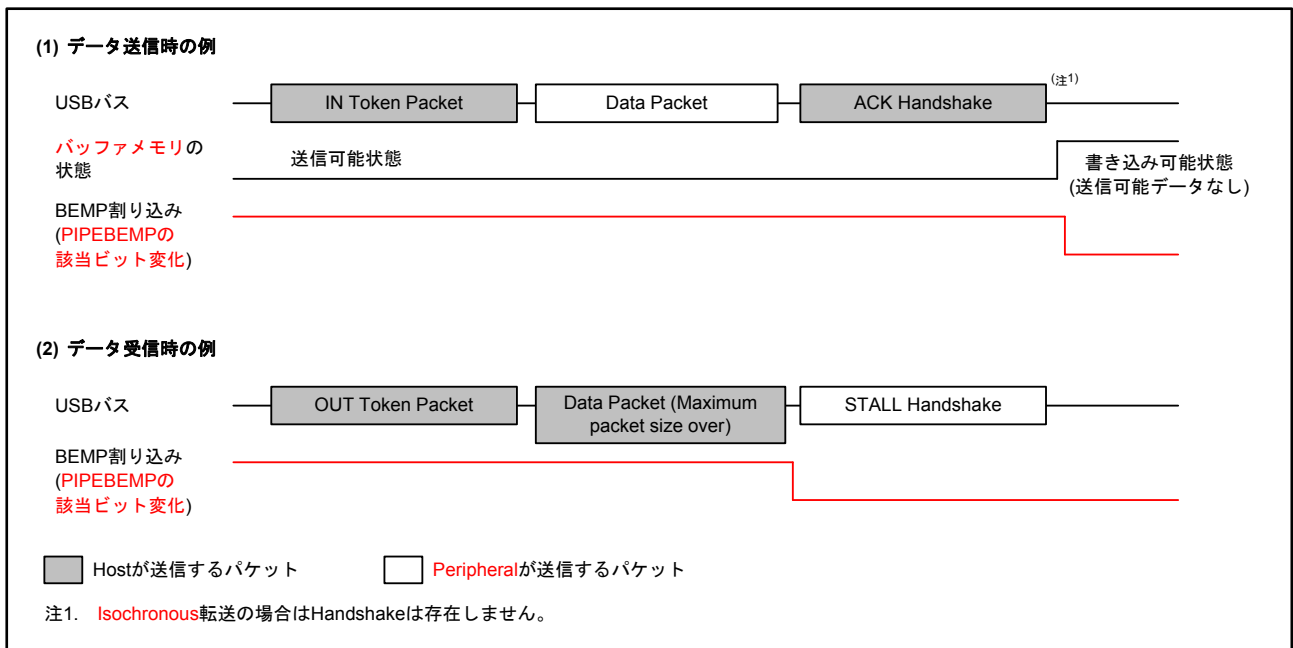


図28.13 ファンクションコントローラ機能選択時のBEMP割り込み発生タイミング図

【正】

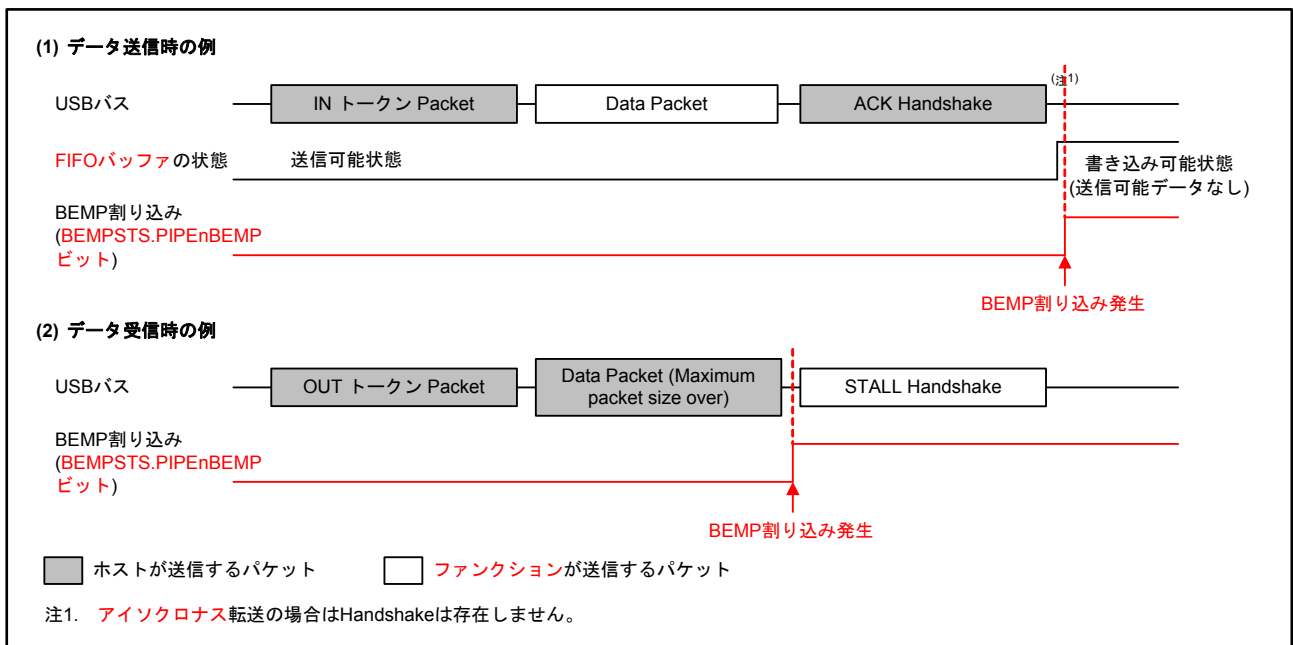


図28.13 ファンクションコントローラ機能選択時のBEMP割り込み発生タイミング図

•Page 1361 of 1974

28.3.6.2 (4) 「コントロール転送自動応答機能」の説明文を以下のとおり訂正いたします。

【誤】

(4) コントロール転送自動応答機能

USBモジュールは、正常なSET_ADDRESSリクエストに自動応答します。SET_ADDRESSリクエストに下記のエラーがある場合はソフトウェアによる応答が必要です。

- コントロール**リ**ード転送以外の場合：bmRequestType ≠ 00h
- リクエストエラーの場合：wIndex ≠ 00h
- ノーデータコントロール転送以外の場合：wLength ≠ 00h
- リクエストエラーの場合：wValue > 7Fh
- デバイスステートエラーのコントロール転送：DVSQ[2:0] = 011b (Configured)

SET_ADDRESS以外のすべてのリクエストには対応するソフトウェアによる応答が必要です。

【正】

(4) コントロール転送自動応答機能

USBモジュールは、正常なSET_ADDRESSリクエストに自動応答します。SET_ADDRESSリクエストに下記のエラーがある場合はソフトウェアによる応答が必要です。

- bmRequestTypeが“00h”でない場合：コントロール**ラ**イト転送以外
- wIndexが“00h”でない場合：リクエストエラー
- wLengthが“00h”でない場合：ノーデータコントロール転送以外
- wValueが“7Fh”より大きい場合：リクエストエラー
- INTSTS0.DVSQ[2:0]ビットが“011b”(Configured **ス**テート)の場合：デバイスステートエラーのコントロール転送

SET_ADDRESS以外のすべてのリクエストには対応するソフトウェアによる応答が必要です。

•Page 1362 of 1974

28.3.8.1 (1) 「カウンタの初期化」の説明文を以下のとおり訂正いたします。

【誤】

(1) カウンタの初期化

USB コントローラがインターバルカウンタを初期化する条件は以下のとおりです。

- **パワーオンリセット**：
IITV ビットが初期化されます。
- **ACLRM**によるバッファメモリ初期化
IITV ビットは初期化されませんがカウントは初期化されます。**PIPEnCTR.ACLRm** ビットを“0”にすることにより、**IITV**の設定値を最初からカウントします。

【正】

(1) カウンタの初期化

インターバルカウンタは、MCU がリセットされたとき、または **PIPEnCTR.ACLRm** ビットを“1”にしたときに初期化されます。なお、**ACLRm** ビットによる初期化時は、**PIPEPERI.IITV[2:0]** ビットは初期化されません。

•Page 1365 of 1974

28.3.9.3 (1) 「ファンクションコントローラ機能選択時でのカウンタの初期化」の説明文を以下のとおり訂正いたします。

【誤】

(1) ファンクションコントローラ機能選択時でのカウンタの初期化

USB モジュールは、下記の条件でインターバルカウンタを初期化します。

- **パワーオンリセット**
IITV ビットが初期化されます。
- **ACLRM**によるバッファメモリ初期化
IITV ビットは初期化されませんがカウントは初期化されます。**ACLRm** ビットを“0”にすることにより、**IITV**の設定値からカウントを開始します。

【正】

(1) ファンクションコントローラ機能選択時でのカウンタの初期化

インターバルカウンタは、MCU がリセットされたとき、または **PIPEnCTR.ACLRm** ビットを“1”にしたときに初期化されます。なお、**ACLRm** ビットによる初期化時は、**PIPEPERI.IITV[2:0]** ビットは初期化されません。

•Page 1367 of 1974

28.3.9.3 (3) の「IITV="0" のとき」の説明文と図28.18を以下のとおり訂正いたします。

【誤】

- IITV="0" のとき : 選択パイプのPIDビットをBUFに変更した**次のフレームから**インターバルのカウン
トを開始します。

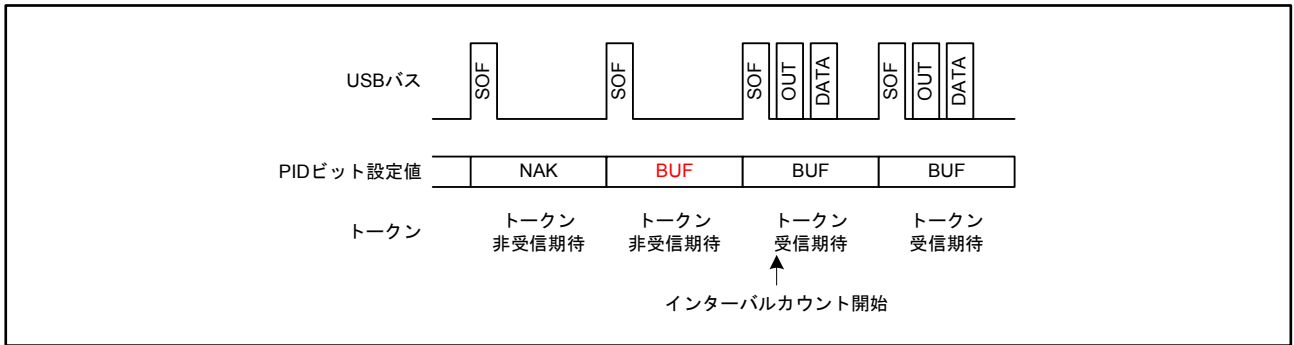


図 28.18 IITV = "0" の場合のフレームとトークン受信期待有無の関係

【正】

- IITV = 0 の場合
選択パイプのPID[1:0]ビットをBUFに変更した**時点で**インターバルのカウン
トを開始します。

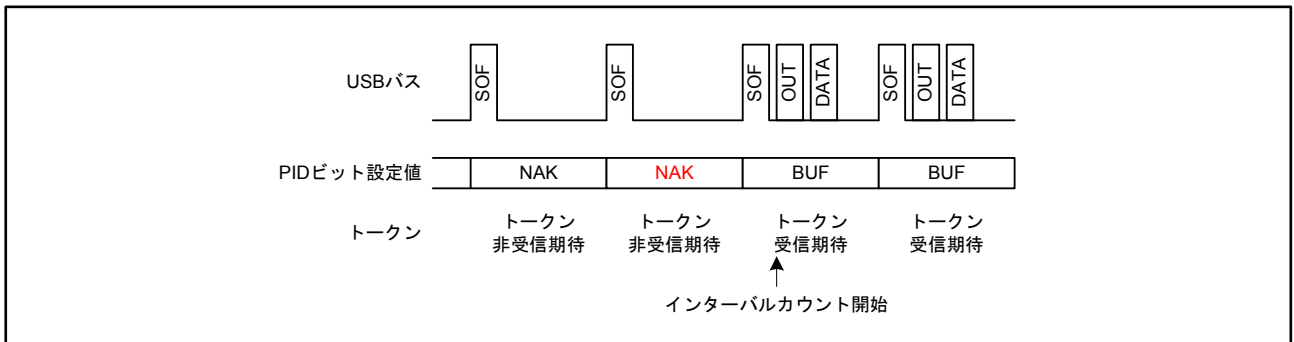


図 28.18 IITV = 0 の場合のフレームとトークン受信期待有無の関係

•Page 1372 of 1974

28.3.10 「SOF補間機能」の説明文を以下のとおり訂正いたします。

【誤】

ファンクションコントローラ機能を選択時にSOFパケットの破損または欠落のために、1ms間隔でSOFパケットを受信できなかった場合に、USBモジュールはSOFを補間します。SOF補間動作の開始はSYSCFG.USBE = “1”、SYSCFG.SCKE = “1”かつSOFパケット受信となります。また、下記の条件で補間機能が初期化されます。

- パワーオンリセット
- USBバスリセット
- サスペンド検出

【正】

ファンクションコントローラ機能を選択時にSOFパケットの破損または欠落のために、1ms間隔でSOFパケットを受信できなかった場合に、USBモジュールはSOFを補完します。SOF補完動作の開始はSYSCFG.USBEビットが“1”、SYSCFG.SCKEビットが“1”かつSOFパケット受信となります。また、下記の条件で補完機能が初期化されます。

- MCUのリセット
- USBバスリセット
- サスペンド検出

以上