

RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲三丁目2番24号（豊洲フォレシア）
 ルネサス エレクトロニクス株式会社
 問合せ窓口 <http://japan.renesas.com/contact/>
 E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-RL*-A056A/J	Rev.	第1版
題名	誤記訂正通知 RL78/I1D ユーザーズマニュアル Rev.2.00 の記載変更		情報分類	技術情報	
適用製品	RL78/I1D グループ : R5F117xx	対象ロット等 全ロット	関連資料	RL78/I1D ユーザーズマニュアル ハードウェア編 Rev.2.00 R01UH0474JJ0200 (Jan. 2015)	

RL78/I1D ユーザーズマニュアル ハードウェア編 Rev.2.00 (R01UH0474JJ0200)において、下記訂正がございます。

今回通知する訂正内容

訂正箇所	該当ページ	内容
1.6 機能概要ELCイベント入力数 機能概要の表のイベント・リンク・コントローラのイベント入力	p.15	誤記訂正
3.1 メモリ空間 データ・フラッシュ・メモリの末尾アドレス 図3 - 2メモリ・マップ(R5F117xA (x = 6, 7, A, B, G))	p.45	誤記訂正
3.2.5 拡張特殊機能レジスタ サブシステム・クロック供給モード制御レジスタの操作可能ビット範囲 表3 - 9拡張特殊機能レジスタ(2nd SFR)一覧(2/5)	p.67	誤記訂正
6.3.2 システム・クロック制御レジスタ(CKC) 6.3.2 システム・クロック制御レジスタ(CKC)	p.136	注意追加
6.7 発振子と発振回路定数 6.7 発振子と発振回路定数	p.178 - p.180	記載変更
8.3.5 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1) 図8-8 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)のフォーマット(3/3)	p.298	注意追加
15.3.4 コンパレータフィルタ制御レジスタ(COMPFIR) 図15 - 5 コンパレータフィルタ制御レジスタ(COMPFIR)のフォーマット	p.432, p.433	誤記訂正
15.3.5 コンパレータ出力制御レジスタ(COMPOCR) 図15 - 6 コンパレータ出力制御レジスタ(COMPOCR)のフォーマット	p.434	誤記訂正
19.3.2 コントロールデータの配置 19.3.2 コントロールデータの配置の本文と表19 - 4	p.648	誤記訂正
19.3.3 ベクタテーブル 19.3.3ベクタテーブルの本文と図19 - 4	p.649	誤記訂正
19.4.2 ノーマルモード 9.4.2 ノーマルモード (1) 本文と図19 - 16 (p.661)	p.661	誤記訂正
30.8.3 データ・フラッシュへのアクセス手順 各メイン・クロック・モードのセットアップ時間	p.826	誤記訂正
34. 1 絶対最大定格 アナログ入力電圧の定格	p.856	注意追加
34.3.2 電源電流特性 LS(低速メイン)モードの電源電流の条件	p.864	注意追加

ドキュメント改善計画

本訂正内容については、次回ユーザーズマニュアル改版時に修正を行います。

ユーザーズマニュアルの訂正一覧

No	訂正内容と該当箇所			本通知での 該当ページ
	ドキュメントNo.	和文	R01UH0474JJ0200	
1	1.6	機能概要ELCイベント入力数 機能概要の表のイベント・リンク・コントローラのイベント入力	p.15	p.3
2	3.1	メモリ空間 データ・フラッシュ・メモリの末尾アドレス 図3 - 2メモリ・マップ(R5F117xA (x = 6, 7, A, B, G))	p.45	p.4
3	3.2.5	拡張特殊機能レジスタ サブシステム・クロック供給モード制御レジスタの操作可能ビット範囲 表3 - 9拡張特殊機能レジスタ(2nd SFR)一覧(2/5)	p.67	p.5
4	6.3.2	システム・クロック制御レジスタ(CKC) 注を追加 6.3.2 システム・クロック制御レジスタ(CKC)	p.136	p.6.
5	6.7	発振子と発振回路定数の削除 6.7 発振子と発振回路定数	p.178 - p.180	p.7
6	8.3.5	リアルタイム・クロック・コントロール・レジスタ1 (RTCC1) 注の追加 図8-8 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)のフォーマット(3/3)	p.298	p.8
7	15.3.4	コンパレータフィルタ制御レジスタ(COMPFIR) 図15 - 5 コンパレータフィルタ制御レジスタ(COMPFIR)のフォーマット	p.432, p.433	p.9
8	15.3.5	コンパレータ出力制御レジスタ(COMPOCR) 図15 - 6 コンパレータ出力制御レジスタ(COMPOCR)のフォーマット	p.434	p.10
9	19.3.2	コントロールデータの配置 19.3.2 コントロールデータの配置の本文と表19 - 4	p.648	p.11
10	19.3.3	ベクタテーブル 19.3.3ベクタテーブルの本文と図19 - 4	p.649	p.12
11	19.4.2	ノーマルモード 9.4.2 ノーマルモード (1) 本文と図19 - 16 (p.661)	p.661	p.13
12	30.8.3	データ・フラッシュへのアクセス手順 各メイン・クロック・モードのセットアップ時間	p.826	p.14
13	34. 1	絶対最大定格 アナログ入力電圧の定格	p.856	p.15
14	34.3.2	電源電流特性 LS(低速メイン)モードの電源電流の条件	p.864	p.16

誤記訂正の該当箇所は、**誤)太字下線**、**正)グレー・ハッチング**で記載します。

発行文書履歴

RL78/I1D ユーザーズマニュアル Rev.2.00 誤記訂正通知 発行文書履歴

文書番号	発行日	記事
TN-RL*-A056A/J	2015年10月29日	初版発行 訂正一覧の No.1 ~ No.14 の誤記訂正(本通知です。)

1. 1.6 機能概要

機能概要の表のイベント・リンク・コントローラのイベント入力 (p.15)

誤)

(省略)

データ・トランスファ・コントローラ (DTC)		16要因	20要因	19要因	20要因	23要因
イベント・リンク・コントローラ (ELC)		イベント入力：13, イベントトリガ 出力：5	イベント入力：17, イベントトリガ 出力：5	イベント入力：16, イベントトリガ 出力：7	イベント入力：17, イベントトリガ 出力：7	イベント入力：20, イベントトリガ 出力：7
ベクタ割り込み要因	内部	22	22	24	24	24
	外部	3	5	5	5	8
キー割り込み		—	3	—	3	4

(省略)

正)

(省略)

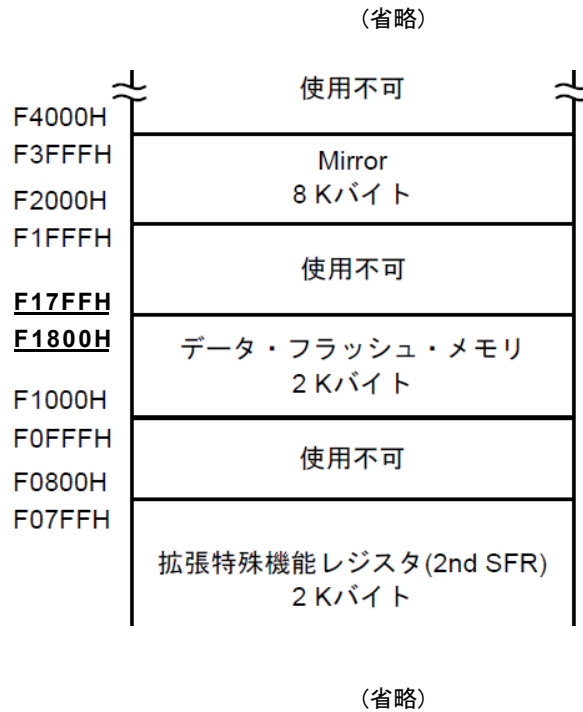
データ・トランスファ・コントローラ (DTC)		16要因	20要因	19要因	20要因	23要因
イベント・リンク・コントローラ (ELC)		イベント入力：15, イベントトリガ 出力：5	イベント入力：17, イベントトリガ 出力：5	イベント入力：17, イベントトリガ 出力：7	イベント入力：17, イベントトリガ 出力：7	イベント入力：20, イベントトリガ 出力：7
ベクタ割り込み要因	内部	22	22	24	24	24
	外部	3	5	5	5	8
キー割り込み		—	3	—	3	4

(省略)

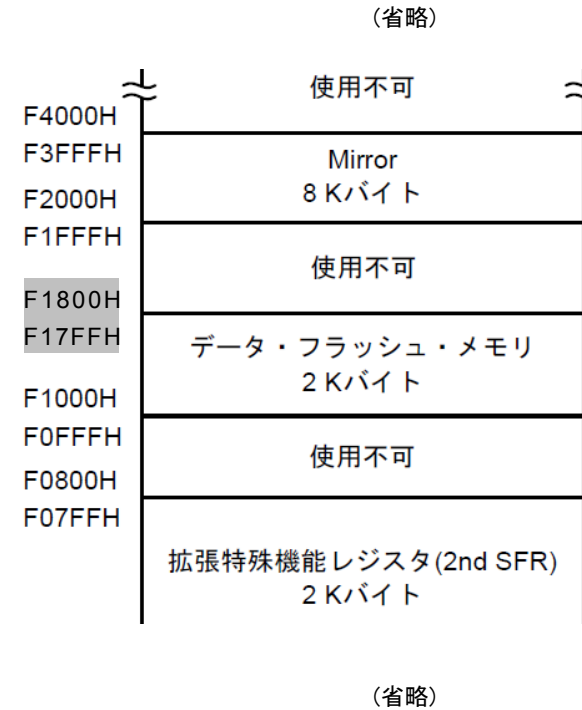
2. 3.1 メモリ空間 データ・フラッシュ・メモリの末尾アドレス

図 3-2 メモリ・マップ(R5F117xA (x = 6, 7, A, B, G)) (p.45)

誤)



正)



3. 3.2.5 拡張特殊機能レジスタ サブシステム・クロック供給モード制御レジ

スタの操作可能ビット範囲

表 3-9 拡張特殊機能レジスタ(2nd SFR)一覧(2/5) (p.67)

誤)

表 3 - 9 拡張特殊機能レジスタ (2nd SFR) 一覧(2/5)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F00F1H	周辺リセット制御レジスタ 0	PRR0	R/W	○	○	—	00H
F00F2H	中速オンチップ・オシレータ周波数選択レジスタ	MOCODIV	R/W	—	○	—	00H
F00F3H	サブシステム・クロック供給モード制御レジスタ	OSMC	R/W	—	○	—	00H
F00F5H	RAMパリティ・エラー制御レジスタ	RPECTL	R/W	○	○	—	00H
F00F8H	レギュレータ・モード制御レジスタ	PMMC	R/W	○	○	—	00H

(省略)

正)

表 3 - 9 拡張特殊機能レジスタ (2nd SFR) 一覧(2/5)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F00F1H	周辺リセット制御レジスタ 0	PRR0	R/W	○	○	—	00H
F00F2H	中速オンチップ・オシレータ周波数選択レジスタ	MOCODIV	R/W	—	○	—	00H
F00F3H	サブシステム・クロック供給モード制御レジスタ	OSMC	R/W	●	○	—	00H
F00F5H	RAMパリティ・エラー制御レジスタ	RPECTL	R/W	○	○	—	00H
F00F8H	レギュレータ・モード制御レジスタ	PMMC	R/W	○	○	—	00H

(省略)

4. 6.3.2 システム・クロック制御レジスタ(CKC) 注を追加

図6-3 システム・クロック制御レジスタ(CKC)のフォーマット (p.136)
誤)

図6-3 システム・クロック制御レジスタ(CKC)のフォーマット

(省略)

MCM1	メイン・オンチップ・オシレータ・クロック(f_{oco})の動作制御
0	高速オンチップ・オシレータ・クロック
1	中速オンチップ・オシレータ・クロック

(省略)

注1. ビット7, 5, 1は, Read Onlyです。

注2. CSS = 1を設定した状態で, MCM0ビットの値を変更することは禁止です。

(省略)

正)

図6-3 システム・クロック制御レジスタ(CKC)のフォーマット

(省略)

MCM1 ^{注2}	メイン・オンチップ・オシレータ・クロック(f_{oco})の動作制御
0	高速オンチップ・オシレータ・クロック
1	中速オンチップ・オシレータ・クロック

(省略)

注1. ビット7, 5, 1は, Read Onlyです。

注2. CSS = 1を設定した状態で, MCM0ビット, MCM1ビットの値を変更することは禁止です。

(省略)

5. 6.7 発振子と発振回路定数の削除

6.7 発振子と発振回路定数 (p.178 - p.180)

誤)

動作確認済みの発振子と、その発振回路定数(参考)を示します。

注意1. この発振回路定数は、発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションでは、実装回路上で評価を発振子メーカーに依頼してください。

また、別製品からのマイコンの変更、基板の変更の際には、再度、実装回路上で評価を発振子メーカーに依頼してください。

注意2. 発振電圧、発振周波数は、あくまでも発振回路特性を示すものです。RL78 マイクロコントローラの内部動作条件については、DC, AC特性の規格内で使用してください。

図6 - 22 外付け回路例



(省略)

正)

動作確認済みの発振子と、その発振回路定数(参考)は、当社ホームページの対象製品ページを参照してください。

注意1. この発振回路定数は、発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションでは、実装回路上で評価を発振子メーカーに依頼してください。また、別製品からのマイコンの変更、基板の変更の際には、再度、実装回路上で評価を発振子メーカーに依頼してください。

注意2. 発振電圧、発振周波数は、あくまでも発振回路特性を示すものです。RL78 マイクロコントローラの内部動作条件については、DC, AC特性の規格内で使用してください。

図6 - 22 外付け回路例



(p.179, p.180 の動作確認済み発振子と発振回路定数(参考)を削除)

6. 8.3.5 リアルタイム・クロック・コントロール・レジスタ 1 (RTCC1) 注の追加

図 8 - 8 リアルタイム・クロック・コントロール・レジスタ 1 (RTCC1)のフォーマット (3/3) (p.298)

誤)

図 8 - 8 リアルタイム・クロック・コントロール・レジスタ 1(RTCC1)のフォーマット(3/3)

(省略)

RWAIT	リアルタイム・クロックのウェイト制御
0	カウンタ動作設定
1	SEC~YEAR カウンタ停止設定。カウンタ値読み出し、書き込みモード。

カウンタの動作を制御します。
 カウンタ値を読み出し、書き込みを行う際は必ず1を書き込んでください。
 内部カウンタ(16ビット)は動作を継続するので、1秒以内に読み出しや書き込みを終了し、0に戻してください。
 RWAIT = 1に設定後、カウンタ値の読み出し、書き込みが可能(RWST = 1)となるまで最大 f_{RTC} の1クロックの時間がかかります。
 内部カウンタ(16ビット)のオーバーフローがRWAIT = 1の時に起きた場合は、オーバーフローが起きたことを保持してRWAIT = 0になったあと、カウント・アップします。
 ただし、秒カウント・レジスタへの書き込みを行った場合は、オーバーフローが起きたことを保持しません。

正)

図 8 - 8 リアルタイム・クロック・コントロール・レジスタ 1(RTCC1)のフォーマット(3/3)

(省略)

RWAIT	リアルタイム・クロックのウェイト制御
0	カウンタ動作設定
1	SEC~YEAR カウンタ停止設定。カウンタ値読み出し、書き込みモード。

カウンタの動作を制御します。
 カウンタ値を読み出し、書き込みを行う際は必ず1を書き込んでください。
 内部カウンタ(16ビット)は動作を継続するので、1秒以内に読み出しや書き込みを終了し、0に戻してください。
 RWAIT = 1に設定後、カウンタ値の読み出し、書き込みが可能(RWST = 1)となるまで最大 f_{RTC} の1クロックの時間がかかります。^{注1、注2}
 内部カウンタ(16ビット)のオーバーフローがRWAIT = 1の時に起きた場合は、オーバーフローが起きたことを保持してRWAIT = 0になったあと、カウント・アップします。
 ただし、秒カウント・レジスタへの書き込みを行った場合は、オーバーフローが起きたことを保持しません。

注1. RTCE=1に設定した後、 f_{RTC} の1クロック時間内でRWAIT=1とした場合、RWSTビットが“1”になるまで動作クロック(f_{RTC})の2クロック時間がかかる場合があります。

注2. スタンバイ (HALTモード、STOPモード、SNOOZEモード) から復帰した後、 f_{RTC} の1クロック時間内で、RWAIT=1とした場合、RWSTビットが“1”になるまでに、動作クロック(f_{RTC}) の2クロック時間がかかる場合があります。

7. 15.3.4 コンパレータフィルタ制御レジスタ(COMPFI~~R~~)

図 15 - 5 コンパレータフィルタ制御レジスタ(COMPFI~~R~~)のフォーマット
(p.432、p.433)

誤)

図 15 - 5 コンパレータフィルタ制御レジスタ(COMPFI~~R~~)のフォーマット

(省略)

注1. C1FCK1 - C1FCK0ビット, C1EPOビット, C1EDGビットを変更するとコンパレータ1割り込み要求およびELCへのイベント信号を発生することがあります。これらのビットは、ELCのELSELR19レジスタを0 (コンパレータ1 出力をリンクさせない) にしてから変更してください。また、割り込み要求フラグ・レジスタ1H (IF1H) のビット5 (CPMIF1)をクリア(0)してください。

また、C1FCK1 - C1FCK0ビットを00B (コンパレータ1フィルタなし)から00B以外(コンパレータ1フィルタあり)に変更した場合は、フィルタ出力が更新されるまでのサンプリング4回を経過した後に、コンパレータ1割り込み要求やELCへのイベント信号を使用してください。

注2. C0FCK1 - C0FCK0ビット, C0EPOビット, C0EDGビットを変更するとコンパレータ0割り込み要求およびELCへのイベント信号を発生することがあります。これらのビットは、ELCのELSELR18レジスタを0 (コンパレータ0 出力をリンクさせない) にしてから変更してください。また、割り込み要求フラグ・レジスタ1H (IF1H) のビット4 (CPMIF0)をクリア(0)してください。

また、C0FCK1 - C0FCK0ビットを00B (コンパレータ0フィルタなし)から00B以外(コンパレータ0フィルタあり)に変更した場合は、フィルタ出力が更新されるまでのサンプリング4回を経過した後に、コンパレータ0割り込み要求やELCへのイベント信号を使用してください。

正)

図 15 - 5 コンパレータフィルタ制御レジスタ(COMPFI~~R~~)のフォーマット

(省略)

注1. C1FCK1 - C1FCK0ビット, C1EPOビット, C1EDGビットを変更するとコンパレータ1割り込み要求およびELCへのイベント信号を発生することがあります。これらのビットは、ELCのELSELR19レジスタを0 (コンパレータ1 出力をリンクさせない) にしてから変更してください。また、割り込み要求フラグ・レジスタ1H (IF1H) のビット5 (CMPIF1)をクリア(0)してください。

また、C1FCK1 - C1FCK0ビットを00B (コンパレータ1フィルタなし)から00B以外(コンパレータ1フィルタあり)に変更した場合は、フィルタ出力が更新されるまでのサンプリング4回を経過した後に、コンパレータ1割り込み要求やELCへのイベント信号を使用してください。

注2. C0FCK1 - C0FCK0ビット, C0EPOビット, C0EDGビットを変更するとコンパレータ0割り込み要求およびELCへのイベント信号を発生することがあります。これらのビットは、ELCのELSELR18レジスタを0 (コンパレータ0 出力をリンクさせない) にしてから変更してください。また、割り込み要求フラグ・レジスタ1H (IF1H) のビット4 (CMPIF0)をクリア(0)してください。

また、C0FCK1 - C0FCK0ビットを00B (コンパレータ0フィルタなし)から00B以外(コンパレータ0フィルタあり)に変更した場合は、フィルタ出力が更新されるまでのサンプリング4回を経過した後に、コンパレータ0割り込み要求やELCへのイベント信号を使用してください。

8. 15.3.5 コンパレータ出力制御レジスタ(COMPOCR)

図 15 - 6 コンパレータ出力制御レジスタ(COMPOCR)のフォーマット(p.434)

誤)

図 15 - 6 コンパレータ出力制御レジスタ(COMPOCR)のフォーマット

(省略)

- 注2. C1IEを0 (割り込み要求禁止)から1 (割り込み要求許可)にした場合、割り込み要求フラグ・レジスタ 1H (IF1H)のビット5 (**CPMIF1**) が1 (割り込み要求あり) になることがありますので、割り込み要求フラグ・レジスタ**2H(IF2H)のビット0 (CPMIF1)**をクリア(0)してから割り込みを使用してください。
- 注3. C0IEを0 (割り込み要求禁止)から1 (割り込み要求許可)にした場合、割り込み要求フラグ・レジスタ 1H (IF1H)の**ビット5 (CPMIF0)** が1 (割り込み要求あり) になることがありますので、割り込み要求フラグ・レジスタ1H(IF1H)の**ビット4 (CPMIF0)**をクリア(0)してから割り込みを使用してください。

正)

図 15 - 6 コンパレータ出力制御レジスタ(COMPOCR)のフォーマット

(省略)

- 注2. C1IEを0 (割り込み要求禁止)から1 (割り込み要求許可)にした場合、割り込み要求フラグ・レジスタ 1H (IF1H)のビット5 (**CMPIF1**) が1 (割り込み要求あり) になることがありますので、割り込み要求フラグ・レジスタ1H(IF1H)の**ビット5 (CMPIF1)**をクリア(0)してから割り込みを使用してください。
- 注3. C0IEを0 (割り込み要求禁止)から1 (割り込み要求許可)にした場合、割り込み要求フラグ・レジスタ 1H (IF1H)の**ビット4 (CMPIF0)** が1 (割り込み要求あり) になることがありますので、割り込み要求フラグ・レジスタ1H(IF1H)の**ビット4 (CMPIF0)**をクリア(0)してから割り込みを使用してください。

9. 19.3.2 コントロールデータの配置

19.3.2 コントロールデータの配置の本文と表 19 - 4 (p.648)

誤)

19.3.2 コントロールデータの配置

コントロールデータは先頭アドレスから、DTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARj (j = 0~23)レジスタの順に配置します。

先頭アドレス0~23の上位8ビットはDTCBARレジスタで設定し、下位8ビットは起動要因ごとに割り当てられているベクタテーブルでそれぞれ設定します。

19.3.3にベクタテーブルを示します。

(省略)

表19 - 4 コントロールデータの先頭アドレス

j	アドレス	j	アドレス
11	Fxx98H	23	<u>FxxH</u>
10	Fxx90H	22	<u>FxxH</u>
9	<u>FxxH</u>	21	<u>FxxH</u>
8	<u>FxxH</u>	20	<u>FxxH</u>
7	<u>FxxH</u>	19	<u>FxxH</u>
6	<u>FxxH</u>	18	<u>FxxH</u>
5	<u>FxxH</u>	17	<u>FxxH</u>
4	<u>FxxH</u>	16	<u>FxxH</u>
3	<u>FxxH</u>	15	<u>FxxH</u>
2	<u>FxxH</u>	14	<u>FxxH</u>
1	<u>FxxH</u>	13	<u>FxxH</u>
0	<u>FxxH</u>	12	<u>FxxH</u>

正)

19.3.2 コントロールデータの配置

コントロールデータは先頭アドレスから、DTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARj (j = 0~23)レジスタの順に配置します。

先頭アドレス0~23の上位8ビットはDTCBARレジスタで設定し、下位8ビットは起動要因ごとに割り当てられているベクタテーブルでそれぞれ設定します。

図19-3にコントロールデータの配置を示します。

(省略)

表19 - 4 コントロールデータの先頭アドレス

j	アドレス	j	アドレス
11	Fxx98H	23	<u>FxxF8H</u>
10	Fxx90H	22	<u>FxxF0H</u>
9	<u>Fxx88H</u>	21	<u>FxxE8H</u>
8	<u>Fxx80H</u>	20	<u>FxxE0H</u>
7	<u>Fxx78H</u>	19	<u>FxxD8H</u>
6	<u>Fxx70H</u>	18	<u>FxxD0H</u>
5	<u>Fxx68H</u>	17	<u>FxxC8H</u>
4	<u>Fxx60H</u>	16	<u>FxxC0H</u>
3	<u>Fxx58H</u>	15	<u>FxxB8H</u>
2	<u>Fxx50H</u>	14	<u>FxxB0H</u>
1	<u>Fxx48H</u>	13	<u>FxxA8H</u>
0	<u>Fxx40H</u>	12	<u>FxxA0H</u>

10. 19.3.3 ベクタテーブル

19.3.3 ベクタテーブルの本文と図 19 - 4 (p.649)

誤)

19.3.3 ベクタテーブル

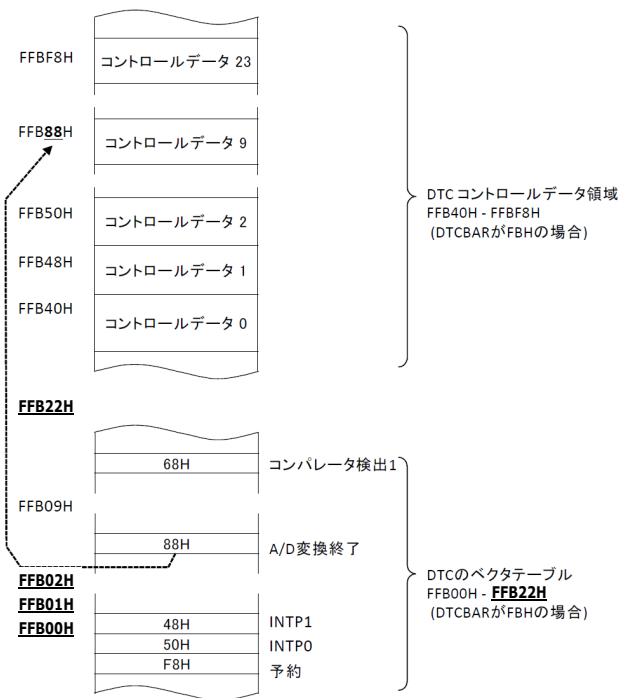
DTC が起動すると、起動要因ごとに割り当てられているベクタテーブルから読み出した下位4ビットのアドレスデータにより 24組のコントロールデータから1つコントロールデータを決定し、DTCコントロールデータ領域上に配置されたコントロールデータを読み出します。

(省略)

図19-4 コントロールデータの先頭アドレス

DTCBARレジスタの設定値がFBHの場合(例)

例) A/D変換のDTC起動要因が発生した場合
ベクタテーブルの値(88H)から、コントロールデータ領域のFFB88Hのコントロールデータを読み出して転送を実行します。



正)

19.3.3 ベクタテーブル

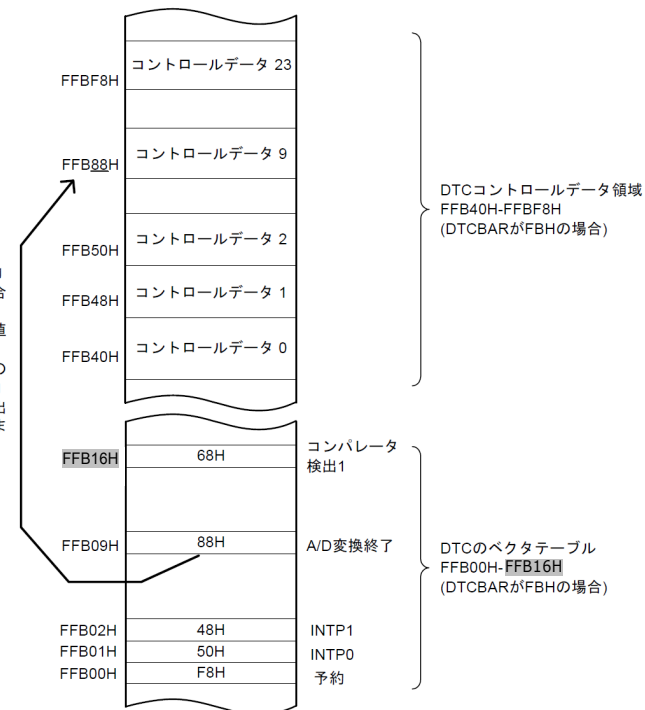
DTC が起動すると、起動要因ごとに割り当てられているベクタテーブルから読み出した下位8ビットのアドレスデータにより 24組のコントロールデータから1つコントロールデータを決定し、DTCコントロールデータ領域上に配置されたコントロールデータを読み出します。

(省略)

図19-4 コントロールデータの先頭アドレス

DTCBARレジスタの設定値がFBHの場合(例)

例) A/D変換のDTC起動要因が発生した場合
ベクタテーブルの値(88H)から、コントロールデータ領域のFFB88Hのコントロールデータを読み出して転送を実行します。



11. 19.4.2 ノーマルモード

19.4.2 ノーマルモード (1) 本文と図 19 - 16 (p.661)

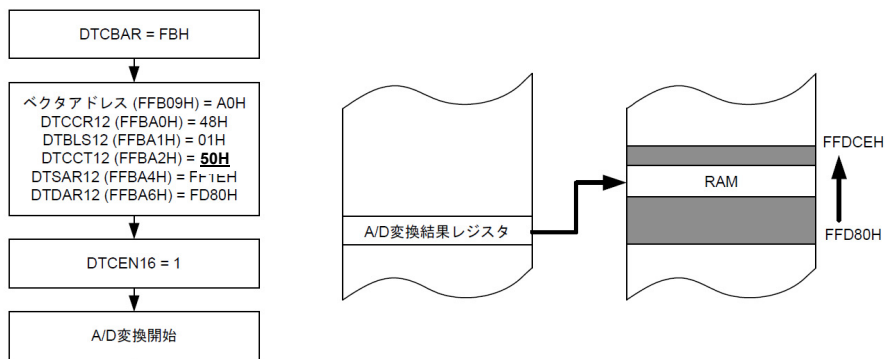
誤)

(1) ノーマルモードの使用例1:A/D変換結果の連続取り込み

A/D変換終了割り込みでDTCを起動し、A/D変換結果レジスタの値をRAMに転送します。

- ・ベクタアドレスはFFB09H, コントロールデータはFFBA0H~FFBA7Hに配置
- ・A/D変換結果レジスタ(FFF1EH, FFF1FH)の2バイトデータをRAMのFFD80H~FFDCEHの80バイトへ転送

図19 - 16 ノーマルモードの使用例1:A/D変換結果の連続取り込み



(省略)

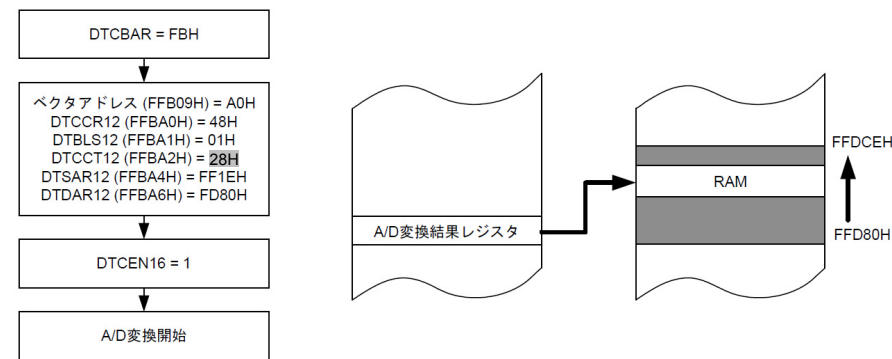
正)

(1) ノーマルモードの使用例1:A/D変換結果の連続取り込み

A/D変換終了割り込みでDTCを起動し、A/D変換結果レジスタの値をRAMに転送します。

- ・ベクタアドレスはFFB09H, コントロールデータはFFBA0H~FFBA7Hに配置
- ・A/D変換結果レジスタ(FFF1EH, FFF1FH)の2バイトデータをRAMのFFD80H~FFDCEHの80バイトへ40回転送

図19 - 16 ノーマルモードの使用例1:A/D変換結果の連続取り込み



(省略)

12. 30.8.3 データ・フラッシュへのアクセス手順

各メイン・クロック・モードのセットアップ時間 (p.826)

誤)

30.8.3 データ・フラッシュへのアクセス手順

リセット解除後の初期状態では、データ・フラッシュは停止状態であり、そのままではアクセス(リードおよびプログラミング)はできません。アクセスするには以下の手順を行ってください。

- ①データ・フラッシュ・コントロール・レジスタ(DFLCTL)のビット0 (DFLEN)に“1”を書き込む。
- ②ソフトウェア・タイマなどでセットアップ時間をウエイトする。

セットアップ時間はメイン・クロックの各モードによって異なります。

<各メイン・クロック・モードでのセットアップ時間>

- ・ HS (高速メイン)モード時: **5 ms**
- ・ LS (低速メイン)モード時: 720 ns
- ・ LP (低電力メイン)モード時: 720 ns
- ・ LV (低電圧メイン)モード時: **10 ms**

- ③セットアップ時間のウエイト完了後、データ・フラッシュはアクセス可能となります。

(省略)

正)

30.8.3 データ・フラッシュへのアクセス手順

リセット解除後の初期状態では、データ・フラッシュは停止状態であり、そのままではアクセス(リードおよびプログラミング)はできません。アクセスするには以下の手順を行ってください。

- ①データ・フラッシュ・コントロール・レジスタ(DFLCTL)のビット0 (DFLEN)に“1”を書き込む。
- ②ソフトウェア・タイマなどでセットアップ時間をウエイトする。

セットアップ時間はメイン・クロックの各モードによって異なります。

<各メイン・クロック・モードでのセットアップ時間>

- ・ HS (高速メイン)モード時: **5 μ s**
- ・ LS (低速メイン)モード時: 720 ns
- ・ LP (低電力メイン)モード時: 720 ns
- ・ LV (低電圧メイン)モード時: **10 μ s**

- ③セットアップ時間のウエイト完了後、データ・フラッシュはアクセス可能となります。

(省略)

13. 34.1 絶対最大定格

アナログ入力電圧の定格 (p.856)

誤)

絶対最大定格

項目	略号	条件	定格	単位
電源電圧	V _{DD} , AV _{DD}	V _{DD} =AV _{DD}	-0.3 ~ +4.6	V

(省略)

アナログ入力電圧	V _{AI1}	ANI16-ANI18	-0.3~V _{DD} + 0.3 かつ-0.3~AV _{REF(+)} + 0.3 ^{注2}	V
	V _{AI2}	ANI0-ANI13	-0.3~AV _{DD} + 0.3 かつ-0.3~AV _{REF(+)} + 0.3 ^{注2}	V
	V _{AI3}	オペアンプ入力端子	-0.3~AV _{DD} + 0.3 ^{注2}	V

(省略)

注2. 4.6 V以下であること。

注3. A/D変換対象の端子は、AV_{REF(+)} + 0.3を越えないでください。

(省略)

正)

絶対最大定格

項目	略号	条件	定格	単位
電源電圧	V _{DD} , AV _{DD}	V _{DD} =AV _{DD}	-0.3 ~ +4.6	V

(省略)

アナログ入力電圧	V _{AI1}	ANI16-ANI18	-0.3~V _{DD} + 0.3 かつ-0.3~AV _{REF(+)} + 0.3 ^{注2,3}	V
	V _{AI2}	ANI0-ANI13	-0.3~AV _{DD} + 0.3 かつ-0.3~AV _{REF(+)} + 0.3 ^{注2,3}	V
	V _{AI3}	オペアンプ入力端子	-0.3~AV _{DD} + 0.3 ^{注2}	V

(省略)

注2. 4.6 V以下であること。

注3. A/D変換対象の端子は、AV_{REF(+)} + 0.3を越えないでください。

(省略)

14. 34.3.2 電源電流特性

LS(低速メイン)モードの電源電流の条件 (p.864)

誤)

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.6 \text{ V} \leq AV_{DD} = V_{DD} \leq 3.6 \text{ V}$, $V_{SS} = AV_{SS} = 0 \text{ V}$)

($T_A = +85 \sim +105 \text{ }^\circ\text{C}$, $2.4 \text{ V} \leq AV_{DD} = V_{DD} \leq 3.6 \text{ V}$, $V_{SS} = AV_{SS} = 0 \text{ V}$)

(1/5)

項目	略号	条件				MIN.	TYP.	MAX.	単位	
電源電流	I _{DD1}	動作モード	HS(高速メイン)モード	f _{IH} = 24 MHz ^{注3} , T _A = -40 ~ +105°C	基本動作	V _{DD} = 3.0V		1.4		mA

(省略)

		LS(低速メイン)モード (MCSEL = 1)	f _{MX} = 4 MHz ^{注2} , T _A = -40 ~ +85°C	通常動作	V _{DD} = 3.0 V	方形波入力		0.6	1.1	mA
			発振子接続		0.6	1.2				
			f _{MX} = 4 MHz ^{注2} , T _A = -40 ~ +85°C	通常動作	V _{DD} = 2.0 V	方形波入力		0.6	1.1	
			発振子接続		0.6	1.2				
		LP(低電力メイン)モード (MCSEL = 1)	f _{MX} = 1 MHz ^{注2} , T _A = -40 ~ +85°C	通常動作	V _{DD} = 3.0 V	方形波入力		100	190	μA
			発振子接続		136	250				
			f _{MX} = 1 MHz ^{注2} , T _A = -40 ~ +85°C	通常動作	V _{DD} = 3.0 V	方形波入力		100	190	
			発振子接続		136	250				

(省略)

注2. 高速オンチップ・オシレータ・クロック, 中速オンチップ・オシレータ・クロック, 低速オンチップ・オシレータ・クロック, サブ・クロックは停止時。

注3. 高速システム・クロック, 中速オンチップ・オシレータ・クロック, 低速オンチップ・オシレータ・クロック, サブ・クロックは停止時。

(省略)

正)

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $1.6 \text{ V} \leq AV_{DD} = V_{DD} \leq 3.6 \text{ V}$, $V_{SS} = AV_{SS} = 0 \text{ V}$)

($T_A = +85 \sim +105 \text{ }^\circ\text{C}$, $2.4 \text{ V} \leq AV_{DD} = V_{DD} \leq 3.6 \text{ V}$, $V_{SS} = AV_{SS} = 0 \text{ V}$)

(1/5)

項目	略号	条件				MIN.	TYP.	MAX.	単位	
電源電流	I _{DD1}	動作モード	HS(高速メイン)モード	f _{IH} = 24 MHz ^{注3} , T _A = -40 ~ +105°C	基本動作	V _{DD} = 3.0V		1.4		mA

(省略)

		LS(低速メイン)モード (MCSEL = 1)	f _{MX} = 4 MHz ^{注2} , T _A = -40 ~ +85°C	通常動作	V _{DD} = 3.0 V	方形波入力		0.6	1.1	mA
			発振子接続		0.6	1.2				
			f _{MX} = 4 MHz ^{注2} , T _A = -40 ~ +85°C	通常動作	V _{DD} = 2.0 V	方形波入力		0.6	1.1	
			発振子接続		0.6	1.2				
		LP(低電力メイン)モード (MCSEL = 1)	f _{MX} = 1 MHz ^{注2} , T _A = -40 ~ +85°C	通常動作	V _{DD} = 3.0 V	方形波入力		100	190	μA
			発振子接続		136	250				
			f _{MX} = 1 MHz ^{注2} , T _A = -40 ~ +85°C	通常動作	V _{DD} = 3.0 V	方形波入力		100	190	
			発振子接続		136	250				

(省略)

注2. 高速オンチップ・オシレータ・クロック, 中速オンチップ・オシレータ・クロック, 低速オンチップ・オシレータ・クロック, サブ・クロックは停止時。

注3. 高速システム・クロック, 中速オンチップ・オシレータ・クロック, 低速オンチップ・オシレータ・クロック, サブ・クロックは停止時。

(省略)

以上