

RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24

豊洲フォレシア

ルネサス エレクトロニクス株式会社

問合せ窓口 <http://japan.renesas.com/contact/>

製品分類	MPU & MCU	発行番号	TN-RL*-A0129A/J	Rev.	第1版
題名	誤記訂正通知 RL78/I1C (512 KB)ユーザーズマニュアル Rev.1.10 の記載 変更		情報分類	技術情報	
適用製品	RL78/I1C (512 KB) グループ	対象ロット等	関連資料	RL78/I1C (512 KB)ユーザーズマニ ュアルハードウェア編 Rev.1.10 R01UH0889JJ0110 (Jul.2023)	
		全ロット			

RL78/I1C (512 KB) ユーザーズマニュアル ハードウェア編 Rev.1.10 (R01UH0889JJ0110) において、下
記訂正がございます。

今回通知する訂正内容

訂正箇所	該当ページ	内容
1. 3. 1 80ピン製品	p.5	記載追加
1. 3. 2 100ピン製品	p.6	記載追加
2. 3 未使用端子の処理	p.27	誤記訂正
図2-17 端子タイプ12-1-6の端子ブロック図	p.44	記載追加
4. 2. 13 ポート15	p.107	誤記訂正
表4-8 端子機能使用時のレジスタ、出カランチの設定例 (12/12)	p.143	記載追加
4. 6. 3 P150-P152に関する注意事項	新規追加	記載追加
43. 3. 1 端子特性	p.1209	誤記訂正

ドキュメント改善計画

本訂正内容については、次回ユーザーズマニュアル改版時に修正を行います。

ユーザーズマニュアルの訂正一覧

No	訂正内容と該当箇所			本通知での 該当ページ
	ドキュメントNo.	和文	R01UH0889JJ0110	
1	1.3.1	80ピン製品	p.5	p.3
2	1.3.2	100ピン製品	p.6	p.4
3	2.3	未使用端子の処理	p.27	p.5
4	図2-17	端子タイプ12-1-6の端子ブロック図	p.44	p.6
5	4.2.13	ポート15	p.107	p.7
6	表4-8	端子機能使用時のレジスタ，出カラッチの設定例（12/12）	p.143	p.7
7	4.6.3	P150-P152に関する注意事項	新規追加	p.8 - p.9
8	43.3.1	端子特性	p.1209	p.10

誤記訂正の該当箇所は、誤）太字下線、正）グレー・ハッチングで記載します。

発行文書履歴

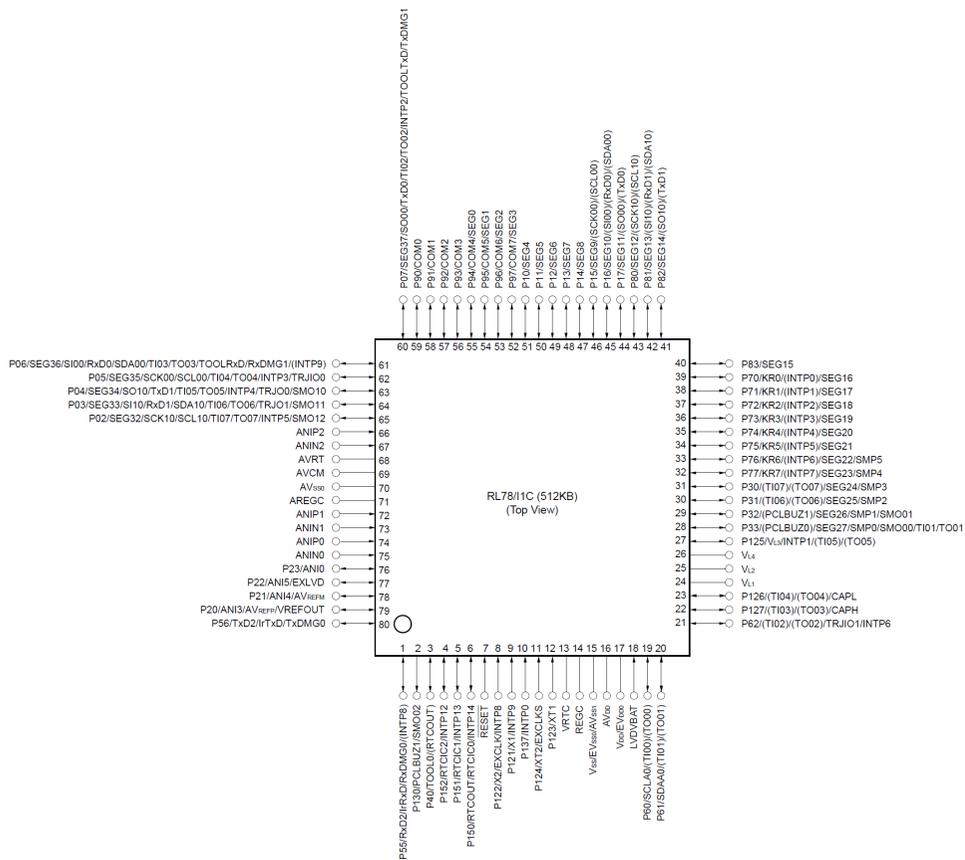
RL78/I1C (512 KB) ユーザーズマニュアル Rev.1.10 誤記訂正通知 発行文書履歴

文書番号	発行日	記事
TN-RL*-A0129A/J	2023年11月29日	初版発行 訂正一覧の No.1～No.8 誤記訂正（本通知です。）

1. 1.3.1 80 ピン製品 (p.5)

誤)

・ 80 ピン・プラスチック LQFP (12×12mm, 0.5mm ピッチ)

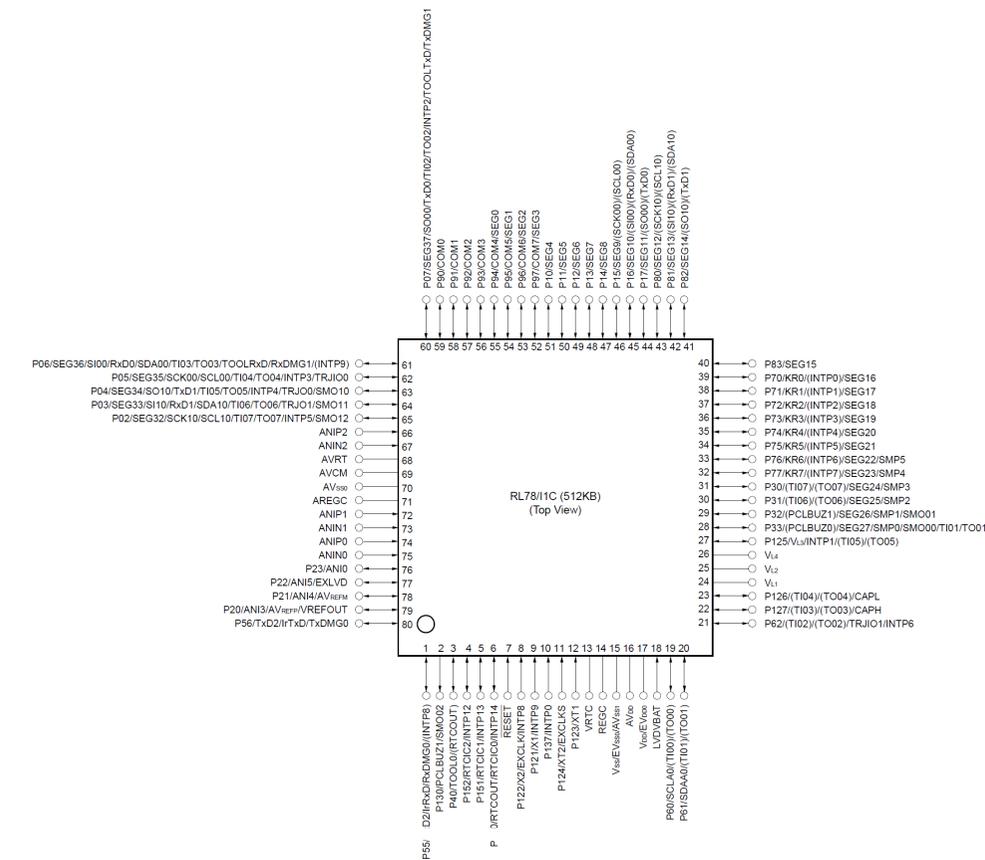


- 注意 1. REGC 端子はコンデンサ (0.47~1μF) を介し、V_{SS}に接続してください。
 2. AV_{DD} 端子は、V_{DD}/EV_{DD0} 端子と同電位にしてください。

(略)

正)

・ 80 ピン・プラスチック LQFP (12×12mm, 0.5mm ピッチ)



- 注意 1. REGC 端子はコンデンサ (0.47~1μF) を介し、V_{SS}に接続してください。
 2. AV_{DD} 端子は、V_{DD}/EV_{DD0} 端子と同電位にしてください。
 3. P150-P152 端子 (兼用機能を含む) に、ハイ・レベルを入力する場合は、個別に抵抗を介して、V_{DD} と VRTC のうち高い電圧、または V_{DD} と VRTC より高い電圧 (6V 以下) に接続してください。

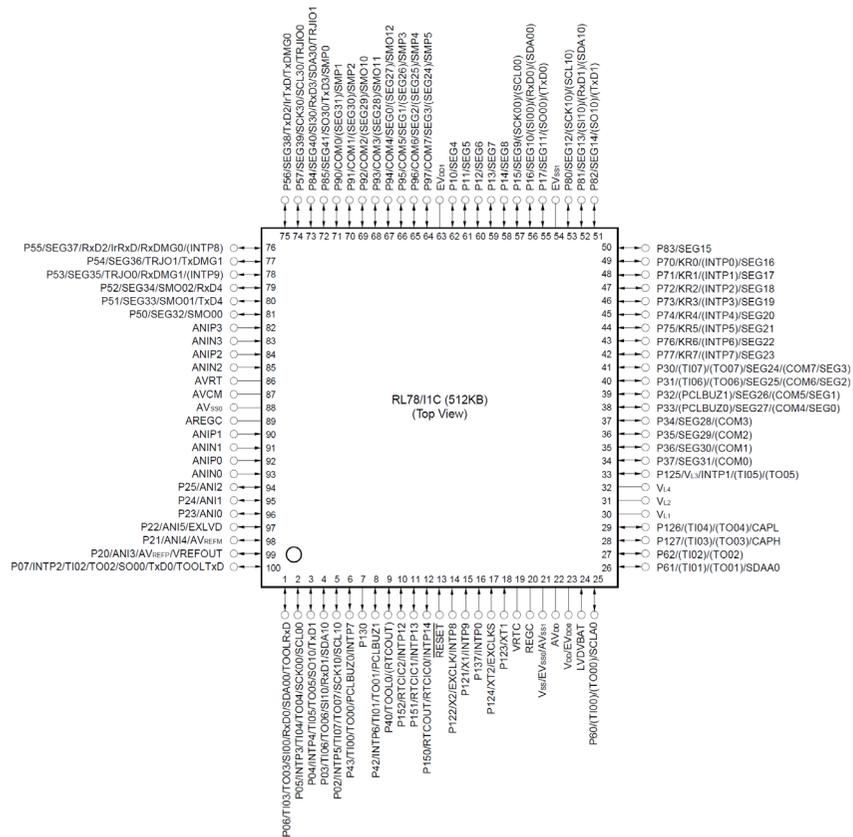
(略)



2. 1.3.2 100ピン製品 (p.6)

誤)

- ・ 100ピン・プラスチック LFQFP (14x14mm, 0.5mm ピッチ)

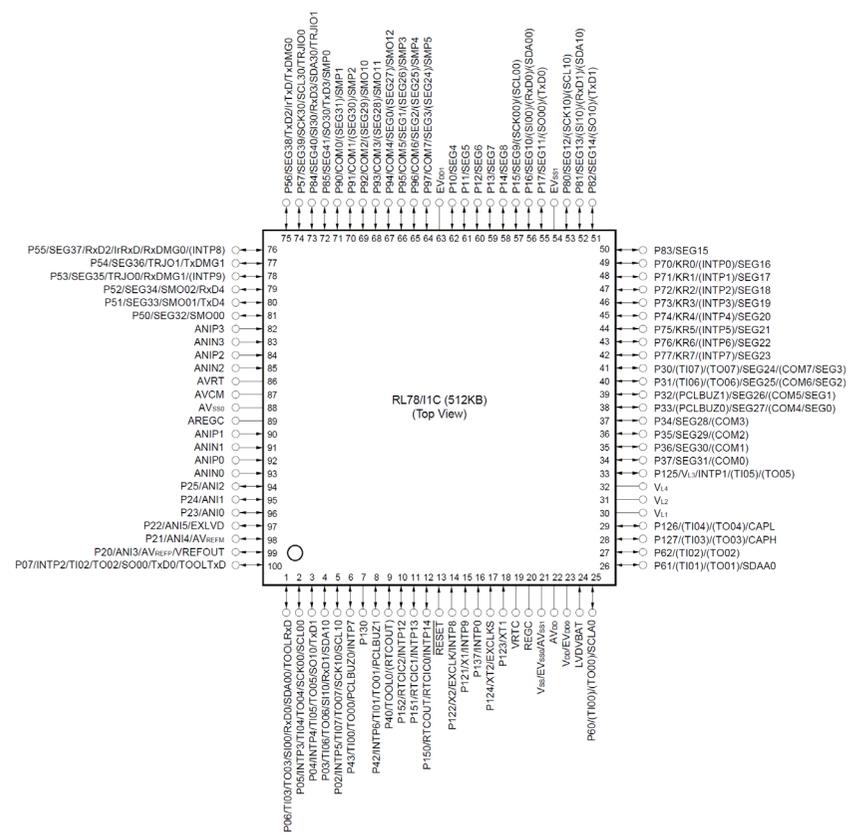


- 注意 1. EV_{SS1} 端子は、V_{SS}/EV_{SS0}/AV_{SS1} 端子と同電位にしてください。
2. EV_{DD1} 端子は、V_{DD}/EV_{DD0} 端子と同電位にしてください。
3. REGC 端子はコンデンサ (0.47~1 μF) を介し、V_{SS} に接続してください。
4. AV_{DD} 端子は、V_{DD}/EV_{DD0} 端子と同電位にしてください。

(略)

正)

- ・ 100ピン・プラスチック LFQFP (14x14mm, 0.5mm ピッチ)



- 注意 1. EV_{SS1} 端子は、V_{SS}/EV_{SS0}/AV_{SS1} 端子と同電位にしてください。
2. EV_{DD1} 端子は、V_{DD}/EV_{DD0} 端子と同電位にしてください。
3. REGC 端子はコンデンサ (0.47~1 μF) を介し、V_{SS} に接続してください。
4. AV_{DD} 端子は、V_{DD}/EV_{DD0} 端子と同電位にしてください。
5. P150-P152 端子 (兼用機能を含む) に、ハイ・レベルを入力する場合は、個別に抵抗を介して、V_{DD} と V_{VRTC} のうち高い電圧、または V_{DD} と V_{VRTC} より高い電圧 (6V 以下) に接続してください。

(略)

3. 2.3 未使用端子の処理 (p.27)

誤)

表 2-3 各端子の未使用端子処理 (2/2)

端子名称	入出力	未使用時の推奨接続方法
P70-P77	入出力	<ポート設定時> 入力時：個別に抵抗を介して，EV _{DD0} ，EV _{DD1} またはEV _{SS0} ，EV _{SS1} に接続してください。 出力時：オープンにしてください。 <セグメント設定時> オープンにしてください。
P80-P85		
P90-P97		
P121, P122	入力	個別に抵抗を介して，V _{DD} またはV _{SS} に接続してください。
P123, P124	入力	個別に抵抗を介して，V _{SS} に接続してください。
P125-P127	入出力	入力時：個別に抵抗を介して，EV _{DD0} ，EV _{DD1} またはEV _{SS0} ，EV _{SS1} に接続してください。 出力時：オープンにしてください。
P130	出力	オープンにしてください。
P137	入力	個別に抵抗を介して，V _{DD} またはV _{SS} に接続してください。
P150-P152	入出力	入力時：個別に抵抗を介して，V _{SS} に接続してください。 出力時：ポートの出力ラッチに0を設定してオープン，またはポートの出力ラッチに1を設定し，個別に抵抗を介して，V _{SS} に接続してください。

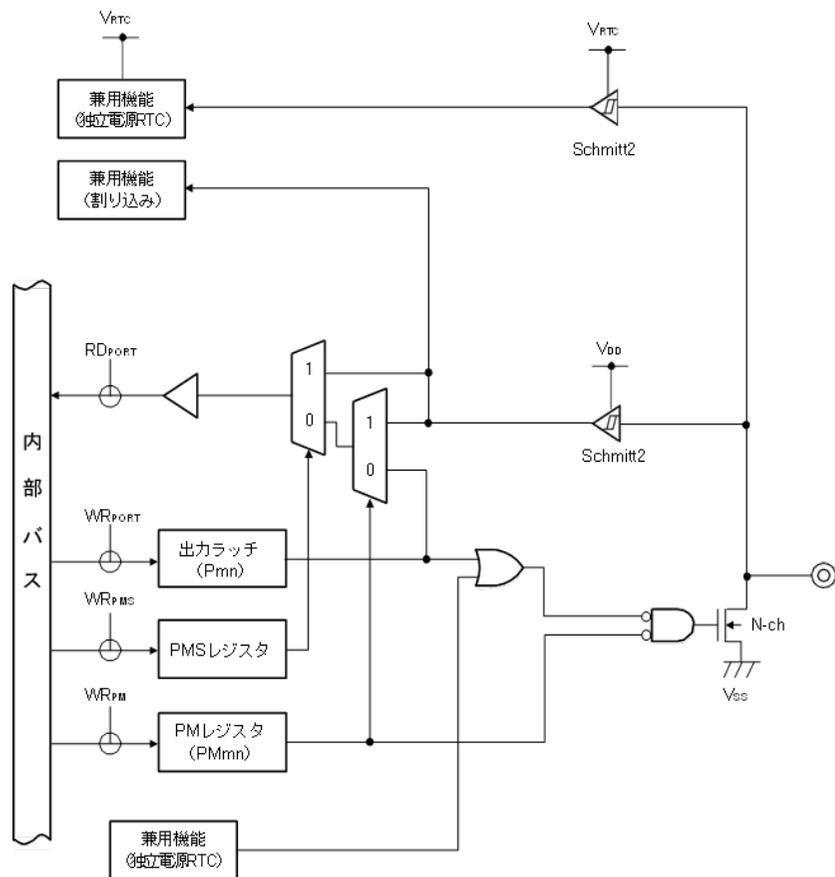
正)

表 2-3 各端子の未使用端子処理 (2/2)

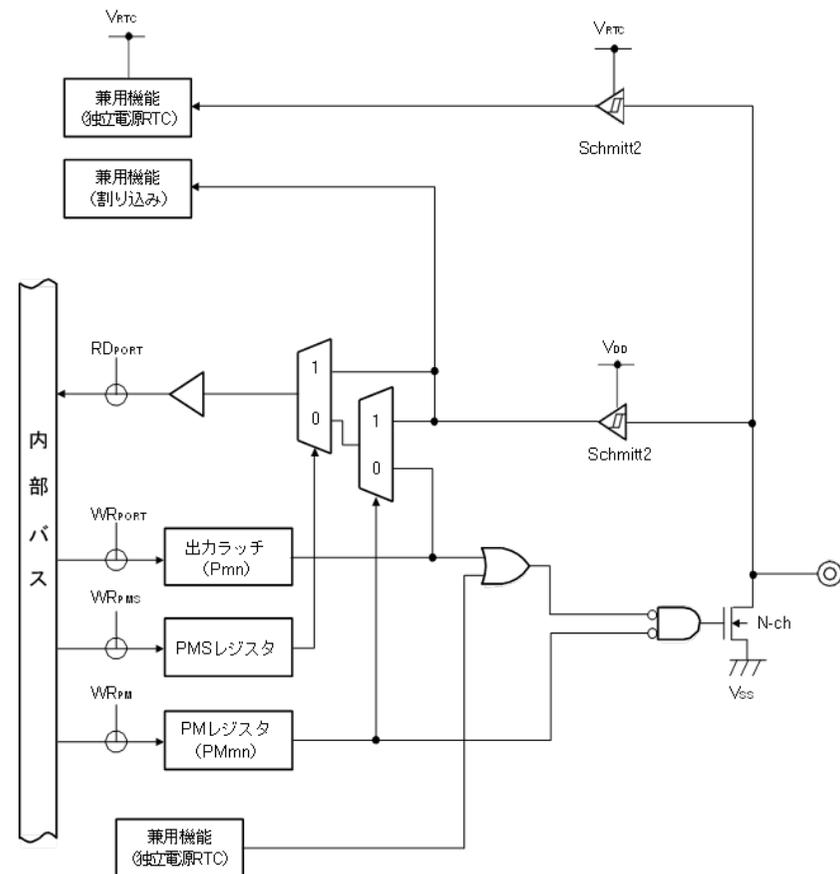
端子名称	入出力	未使用時の推奨接続方法
P70-P77	入出力	<ポート設定時> 入力時：個別に抵抗を介して，EV _{DD0} ，EV _{DD1} またはEV _{SS0} ，EV _{SS1} に接続してください。 出力時：オープンにしてください。 <セグメント設定時> オープンにしてください。
P80-P85		
P90-P97		
P121, P122	入力	個別に抵抗を介して，V _{DD} またはV _{SS} に接続してください。
P123, P124	入力	個別に抵抗を介して，V _{SS} に接続してください。
P125-P127	入出力	入力時：個別に抵抗を介して，EV _{DD0} ，EV _{DD1} またはEV _{SS0} ，EV _{SS1} に接続してください。 出力時：オープンにしてください。
P130	出力	オープンにしてください。
P137	入力	個別に抵抗を介して，V _{DD} またはV _{SS} に接続してください。
P150-P152	入出力	入力モードに設定し，個別に抵抗を介して，V _{SS} に接続してください。

4. 図 2-17 端子タイプ 12-1-6 の端子ブロック図 (p.44)

誤)



正)



- 注意 1. P150-P152端子（兼用機能を含む）に、ハイ・レベルを入力する場合は、個別に抵抗を介して、 V_{DD} と V_{RTC} のうち高い電圧、または V_{DD} と V_{RTC} より高い電圧（6V以下）に接続してください。
2. 出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。
- 備考 1. 兼用機能は、2.1 ポート機能を参照してください。

5. 4.2.13 ポート 15 (p.107)

誤)

P150-P152 は出力ラッチ付き入出力ポートです。ポート・モード・レジスタ 15 (PM15) により 1 ビット単位で入力モード/出力モードの指定ができます。

P150-P152 端子の出力は、N-ch オープン・ドレイン出力 (V_{DD} 耐圧) です。

また、兼用機能として RTC 時間キャプチャ入力、リアルタイム・クロックの補正クロック出力、外部割り込み要求入力があります。

リセット信号の発生により、デジタル入力無効[※]になります。

注 デジタル入力無効とは、デジタル出力、デジタル入力、LCD 出力のいずれも無効な状態を示します。

6. 表 4-8 端子機能使用時のレジスタ、出力ラッチの設定例 (12/12) (p.143)

誤)

端子名称	使用機能		PIOR0	POMxx	PMxx	Pxx	PFSEGxx (ISCVL3, ISCCAP) [※]	兼用機能出力		80 ピン	100 ピン
	機能名称	入出力						SAU, UARTMGの出力機能	SAU, UARTMG 以外		
P150	P150	入力	—	⊗	1	×	—	—	—	○	○
		N-chOD出力 (6 V耐圧)	⊗	—	0	0/1	—	—	—		
	RTCCOUT	出力	PIOR03 = 0	—	0	0	—	—	—		
	RTCCIC0	入力	⊗	—	1	×	—	—	—		
P151	P151	INTP14	入力	—	—	—	×	—	—	○	○
		入力	—	⊗	1	×	—	—	—		
		N-chOD出力 (6 V耐圧)	—	—	0	0/1	—	—	—		
P152	P152	RTCCIC1	入力	—	—	1	×	—	—	○	○
		INTP13	入力	—	—	—	×	—	—		
		入力	—	—	1	×	—	—	—		
		N-chOD出力 (6 V耐圧)	—	—	0	0/1	—	—	—		
P152	P152	RTCCIC2	入力	—	—	1	×	—	—	○	○
		INTP12	入力	—	—	—	×	—	—		
		入力	—	—	—	×	—	—	—		

正)

P150-P152 は出力ラッチ付き入出力ポートです。ポート・モード・レジスタ 15 (PM15) により 1 ビット単位で入力モード/出力モードの指定ができます。

P150-P152 端子の出力は、N-ch オープン・ドレイン出力 (6V 耐圧) です。

また、兼用機能として RTC 時間キャプチャ入力、リアルタイム・クロックの補正クロック出力、外部割り込み要求入力があります。

リセット信号の発生により、P150-P152 は入力モードとなります。

正)

端子名称	使用機能		PIOR0	POMxx	PMxx	Pxx	PFSEGxx (ISCVL3, ISCCAP) [※]	TCEN ビット	兼用機能出力		80 ピン	100 ピン
	機能名称	入出力							SAU, UARTMGの出力機能	SAU, UARTMG 以外		
P150	P150	入力	—	—	1	×	—	—	—	○	○	
		N-chOD出力 (6 V耐圧)	—	—	0	0/1	—	0	—			
	RTCCOUT	出力	PIOR03 = 0	—	0	0	—	0	—			
	RTCCIC0	入力	—	—	1	×	—	1	—			
P151	P151	INTP14	入力	—	—	—	×	—	—	○	○	
		入力	—	—	1	×	—	—	—			
		N-chOD出力 (6 V耐圧)	—	—	0	0/1	—	0	—			
P152	P152	RTCCIC1	入力	—	—	1	×	—	1	○	○	
		INTP13	入力	—	—	—	×	—	—			
		入力	—	—	1	×	—	—	—			
P152	P152	INTP12	入力	—	—	—	×	—	—	○	○	
		N-chOD出力 (6 V耐圧)	—	—	0	0/1	—	0	—			
	RTCCIC2	入力	—	—	1	×	—	1	—			
	INTP12	入力	—	—	—	×	—	—	—			

7. 4.6.3 P150-P152 に関する注意事項 (新規追加)

誤)

正)

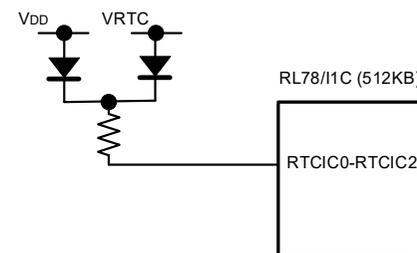
4.6.3 P150-P152 に関する注意事項

P150/RTCIC0-P152/RTCIC2 端子を使用する場合は下記に注意してください。

(1) 時間キャプチャ入力端子 (RTCICn (n=0~2)) として使用する場合

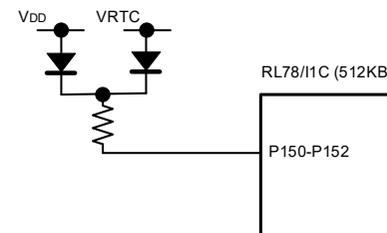
RTCCRy (y=0~2) レジスタの TCEN ビットを"1"に設定すると、時間キャプチャ入力端子 (RTCICn) が有効となります。

P150/RTCIC0-P152/RTCIC2 は、 V_{DD} と V_{RTC} を電源とする 2 系統の入力バッファで構成されており、入力バッファは常にオンになっているため、入力バッファに中間電位が入力された場合に貫通電流が流れることがあります。そのため、 V_{DD} が変動 (例えば、 $V_{RTC} \leq V_{DD} \rightarrow V_{DD} < V_{RTC}$) しても中間電位が端子に入力されないように、つぎのような回路を構成して V_{DD} と V_{RTC} のうち高い電圧、または V_{DD} と V_{RTC} より高い電圧 (6V 以下) を入力するようにしてください。



(2) P150-P152 を入力ポートとして使用する場合

P150-P152 は、 V_{DD} と V_{RTC} を電源とする 2 系統の入力バッファで構成されています。入力バッファは常にオンになっているため、入力バッファに中間電位が入力された場合に貫通電流が流れることがあります。そのため、P150-P152 にハイ・レベルを入力する場合は、 V_{DD} が変動 (例えば、 $V_{RTC} \leq V_{DD} \rightarrow V_{DD} < V_{RTC}$) しても中間電位が端子に入力されないように、つぎのような回路を構成して V_{DD} と V_{RTC} のうち高い電圧、または V_{DD} と V_{RTC} より高い電圧 (6V 以下) を入力するようにしてください。



次ページに続きます。

(3) P150-P152 を出力ポート (N-ch オープン・ドレイン出力) として使用する場合

P150-P152 を出力モードで使用する場合は、 $RTCCRY$ ($y = 0\sim 2$) レジスタの TCEN ビットを“0”に設定してください。

ハイ・レベル出力する場合は入力ポートとして使用する場合と同様に V_{DD} と $VRTC$ のうち高い電圧、または V_{DD} と $VRTC$ より高い電圧 (6V 以下) を入力するようにしてください。

ロウ・レベル出力をしている場合に、 V_{DD} の電源低下もしくは電源遮断によってリセットが発生すると、P150-P152 は入力モードになります。このとき、入力バッファに中間電位が入力された場合、貫通電流が流れることがあります。

(4) P150/RTCIC0 - P152/RTCIC2 端子を使用しない場合

未使用時の推奨接続方法に従い、P150-P152 を入力モードに設定し、個別に抵抗を介して V_{SS} に接続してください。

8. 43.3.1 端子特性 (p.1209)

誤)

(T_A = -40~+85°C, 1.6 V ≤ AV_{DD} = EV_{DD} = V_{DD} ≤ 5.5 V, AV_{SS} = V_{SS} = EV_{SS} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位			
ハイ・レベル入力電圧	V _{H1}	P02-P07, P10-P17, P30-P37, P40, P42, P43, P50-P57, P70-P77, P80-P85, P90-P97, P125-P127	通常入力バッファ	0.8EV _{DD}		EV _{DD}	V		
			V _{H2}	P02, P03, P05, P06, P15, P16, P42, P43, P52, P53, P55, P57, P80, P81, P84	TTL入力バッファ	2.2		EV _{DD}	V
					TTL入力バッファ	2.0		EV _{DD}	V
					TTL入力バッファ	1.5		EV _{DD}	V
	V _{H3}	P20-P25	0.7AV _{DD}		AV _{DD}	V			
	V _{H4}	P60-P62	0.7EV _{DD}		6.0	V			
	V _{H5}	P121, P122, P137, P150-P152 , EXCLK	0.8V _{DD}		V _{DD}	V			
	V _{H6}	RESET	0.8V _{DD}		6.0	V			
	V _{H7}	P123, P124, EXCLKS	0.8V _{RTC}		V _{RTC}	V			
	ロウ・レベル入力電圧	V _{L1}	P02-P07, P10-P17, P30-P37, P40, P42, P43, P50-P57, P70-P77, P80-P85, P90-P97, P125-P127	通常入力バッファ	0		0.2EV _{DD}	V	
V _{L2}				P02, P03, P05, P06, P15, P16, P42, P43, P52, P53, P55, P57, P80, P81, P84	TTL入力バッファ	0		0.8	V
					TTL入力バッファ	0		0.5	V
					TTL入力バッファ	0		0.32	V
V _{L3}		P20-P25	0		0.3AV _{DD}	V			
V _{L4}		P60-P62	0		0.3EV _{DD}	V			
V _{L5}		P121, P122, P137, P150-P152 , EXCLK, RESET	0		0.2V _{DD}	V			
V _{L6}		P123, P124, EXCLKS	0		0.2V _{RTC}	V			

(略)

正)

(T_A = -40~+85°C, 1.6 V ≤ AV_{DD} = EV_{DD} = V_{DD} ≤ 5.5 V, AV_{SS} = V_{SS} = EV_{SS} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位			
ハイ・レベル入力電圧	V _{H1}	P02-P07, P10-P17, P30-P37, P40, P42, P43, P50-P57, P70-P77, P80-P85, P90-P97, P125-P127	通常入力バッファ	0.8EV _{DD}		EV _{DD}	V		
			V _{H2}	P02, P03, P05, P06, P15, P16, P42, P43, P52, P53, P55, P57, P80, P81, P84	TTL入力バッファ	2.2		EV _{DD}	V
					TTL入力バッファ	2.0		EV _{DD}	V
					TTL入力バッファ	1.5		EV _{DD}	V
	V _{H3}	P20-P25	0.7AV _{DD}		AV _{DD}	V			
	V _{H4}	P60-P62	0.7EV _{DD}		6.0	V			
	V _{H5}	P121, P122, P137, EXCLK	0.8V _{DD}		V _{DD}	V			
	V _{H6}	RESET	0.8V _{DD}		6.0	V			
	V _{H7}	P123, P124, EXCLKS	0.8V _{RTC}		V _{RTC}	V			
	V _{H8}	P150-P152 ^注	0.8V _{DD}		6.0	V			
V _{H9}	RTCIC0-RTCIC2 ^注	0.8V _{RTC}		6.0	V				
ロウ・レベル入力電圧	V _{L1}	P02-P07, P10-P17, P30-P37, P40, P42, P43, P50-P57, P70-P77, P80-P85, P90-P97, P125-P127	通常入力バッファ	0		0.2EV _{DD}	V		
			V _{L2}	P02, P03, P05, P06, P15, P16, P42, P43, P52, P53, P55, P57, P80, P81, P84	TTL入力バッファ	0		0.8	V
					TTL入力バッファ	0		0.5	V
					TTL入力バッファ	0		0.32	V
	V _{L3}	P20-P25	0		0.3AV _{DD}	V			
	V _{L4}	P60-P62	0		0.3EV _{DD}	V			
	V _{L5}	P121, P122, P137, EXCLK, RESET	0		0.2V _{DD}	V			
	V _{L6}	P123, P124, EXCLKS	0		0.2V _{RTC}	V			
	V _{L7}	P150-P152 ^注	0		0.2V _{DD}	V			
	V _{L8}	RTCIC0-RTCIC2 ^注	0		0.2V _{RTC}	V			

注 P150/RTCIC0 - P152/RTCIC2 端子に、ハイ・レベルを入力する場合は、個別に抵抗を介して、V_{DD}とV_{RTC}のうち高い電圧、またはV_{DD}とV_{RTC}より高い電圧(6V以下)に接続してください。

以上