発行日：2025年1月8日

RENESAS TECHNICAL UPDATE

〒135-0061　東京都江東区豊洲 3-2-24
豊洲フォレシア
ルネサス エレクトロニクス株式会社
問合せ窓口　http://japan.renesas.com/contact/
E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-RL*-A0140A/J	Rev.	第1版
題名	誤記訂正通知 RL78/G24　ユーザーズマニュアル Rev.1.10 の記載変更		情報分類	技術情報	
適用製品	RL78/G24 グループ	対象ロット等 全ロット	関連資料	RL78/G24 ユーザーズマニュアル ハードウェア編 Rev.1.10 R01UH0961JJ0110 (2023.11)	

RL78/G24 ユーザーズマニュアル ハードウェア編 Rev.1.10（R01UH0961JJ0110）において、下記訂正がございます。

今回通知する訂正内容

訂正箇所	該当ページ	内容
2.4 端子ブロック図	p.91, p.98, p.104, p.105, p.106	誤記訂正
20.3.9 アナログ入力チャネル指定レジスタ（ADS）	p.1144	誤記訂正
20.3.10 アナログ入力チャネル指定レジスタn（アドバンスド）（ADSn）（n = 0-3）	p.1146	誤記訂正
20.6.2 ソフトウェア・トリガ・ノーウエイト・モード（セレクト・モード、ワンショット変換モード）	p.1159	誤記訂正
24.3.8 シリアル・ステータス・レジスタmn（SSRmn）（mn = 00-03, 10, 11）	p.1289	誤記訂正
27.4.3 リピート・モード	p.1641	誤記訂正
29.4 割り込み処理動作	p.1681, p.1683	誤記訂正
42.2 オペレーション一覧	p.1891	誤記訂正
43.2 発振回路特性	p.1896	誤記訂正
43.3.2 電源電流特性	p.1907, p.1910	誤記訂正
44.2 発振回路特性	p.1978	誤記訂正
44.3.2 電源電流特性	p.1987, p.1990	誤記訂正
44.4 AC特性	p.1995	誤記訂正

ドキュメント改善計画

本訂正内容については、次回ユーザーズマニュアル改版時に修正を行います。

(c) 2025. Renesas Electronics Corporation. All rights reserved.

ユーザーズマニュアルの訂正一覧

No	訂正内容と該当箇所				本通知での該当ページ
		ドキュメント No.	和文	R01UH0961JJ0110	
1	3.1 メモリ空間			p.108, p.109, p.114	p.3 – p.5
2	20.3.3 A/Dコンバータ・モード・レジスタ0（ADM0）			p.1116, p.1120, p.1122 – p.1132	p.6 – p.18
3	20.3.4 A/Dコンバータ・モード・レジスタ1（ADM1）			p.1134	p.19
4	20.3.5 A/Dコンバータ・モード・レジスタ2（ADM2）			p.1136, p.1137	p.20, p.21
5	39.6.1 セルフ・プログラミング手順			p.1811	p.22
6	39.10.1 データ・フラッシュの概要			p.1862	p.23
7	40.3 オンチップ・デバッグのセキュリティ設定			p.1865	p.24
8	2.4 端子ブロック図			p.91, p.98, p.104, p.105, p.106	p.25 – p.30
9	20.3.9 アナログ入力チャネル指定レジスタ（ADS）			p.1144	p.31
10	20.3.10 アナログ入力チャネル指定レジスタn（アドバンスド）（ADSn）（n = 0-3）			p.1146	p.32
11	20.6.2 ソフトウェア・トリガ・ノーウエイト・モード（セレクト・モード、ワンショット変換モード）			p.1159	p.33
12	24.3.8 シリアル・ステータス・レジスタmn（SSRmn）（mn = 00-03, 10, 11）			p.1289	p.34
13	27.4.3 リピート・モード			p.1641	p.35
14	29.4 割り込み処理動作			p.1681, p.1683	p.36, p.37
15	42.2 オペレーション一覧			p.1891	p.38
16	43.2 発振回路特性			p.1896	p.39
17	43.3.2 電源電流特性			p.1907, p.1910	p.40, p.41
18	44.2 発振回路特性			p.1978	p.42
19	44.3.2 電源電流特性			p.1987, p.1990	p.43, p.44
20	44.4 AC特性			p.1995	p.45

誤記訂正の該当箇所は、**誤）太字下線**、正）グレー・ハッチングで記載します。

発行文書履歴

RL78/G24 ユーザーズマニュアル Rev.1.10 誤記訂正通知　発行文書履歴

文書番号	発行日	記事
TN-RL*-A0135A/J	2024 年 4 月 26 日	初版発行 訂正一覧の No.1 ~ No.7 の誤記訂正
TN-RL*-A0140A/J	2025 年 1 月 8 日	訂正一覧の No.8 ~ No.20 の誤記訂正（本通知です。）

(c) 2025. Renesas Electronics Corporation. All rights reserved.

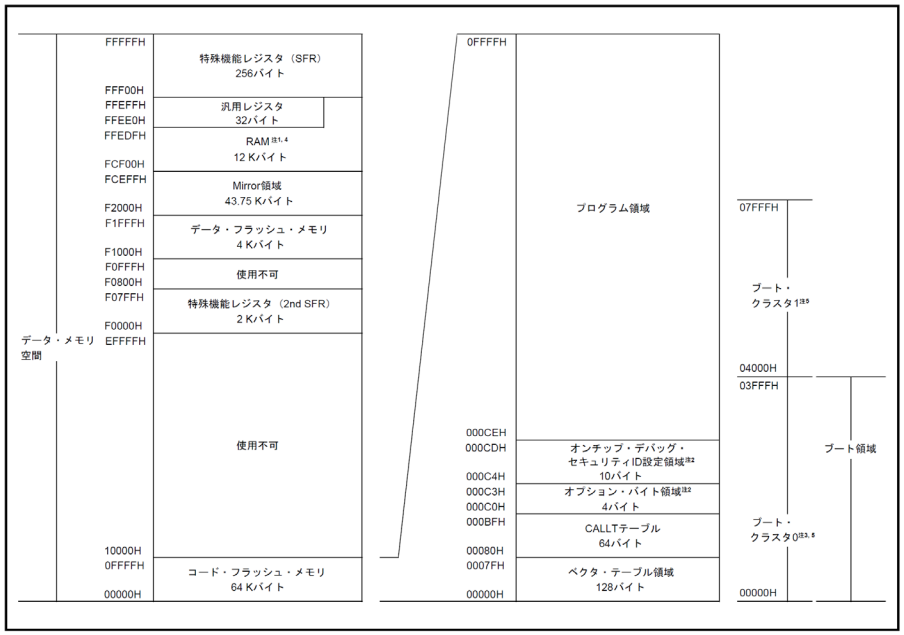
1. 3.1 メモリ空間 (p. 108, p.109, p.114)

誤）

(p. 108)

RL78/G24 は、1 M バイトのアドレス空間をアクセスできます。図 3 - 1 ～図 3 - 2 にメモリ・マップを示します。

図 3 - 1 メモリ・マップ（R7F101GxE（x = 6, 7, 8, A, B, E, F, G, J, L））



注1. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

注2. ブート・スワップ未使用時：000C0H-000C3H にオプション・バイト、000C4H-000CDH にオンチップ・デバッグ・セキュリティIDを設定

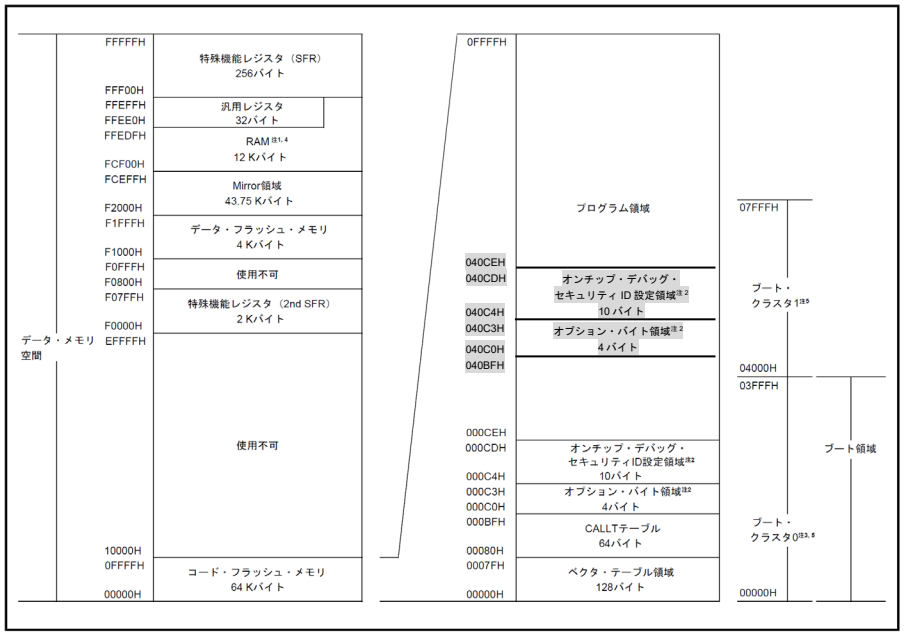
ブート・スワップ使用時： 000C0H-000C3H、040C0H-040C3Hにオプション・バイト、000C4H-000CDH、040C4H-040CDHにオンチップ・デバッグ・セキュリティID設定

（略）

正）

RL78/G24 は、1 M バイトのアドレス空間をアクセスできます。図 3 - 1 ～図 3 - 2 にメモリ・マップを示します。

図 3 - 1 メモリ・マップ（R7F101GxE（x = 6, 7, 8, A, B, E, F, G, J, L））



注1. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

注2. ブート・スワップ未使用時（FLSECレジスタのBTFLGビットが1の状態）：000C0H-000C3H にオプション・バイト、000C4H-000CDH にオンチップ・デバッグ・セキュリティIDを設定

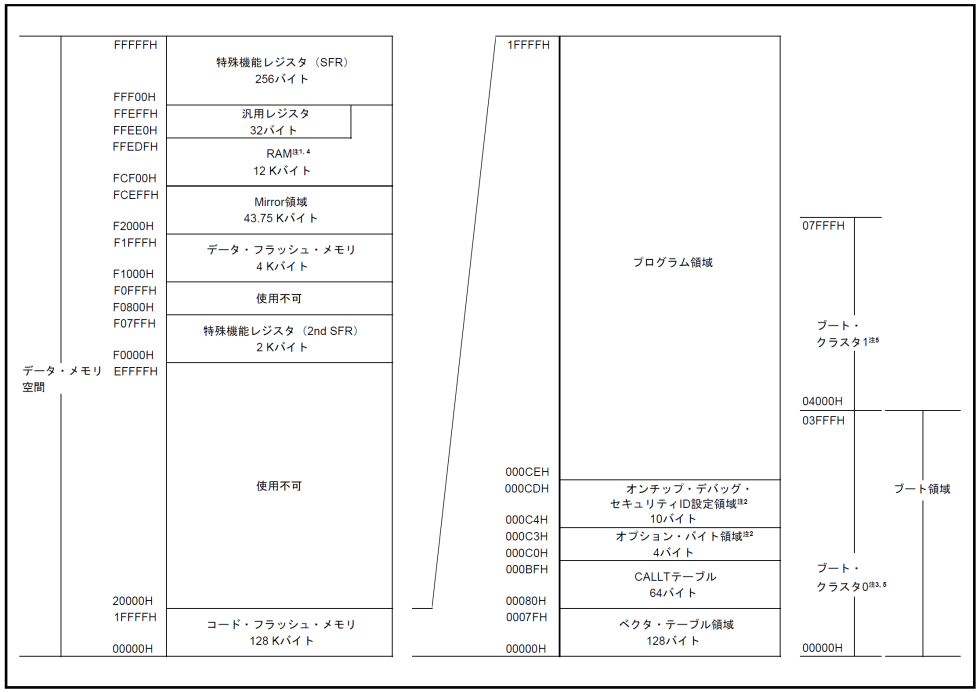
ブート・スワップ使用時およびFLSECレジスタのBTFLGビットが0の状態のとき：000C0H-000C3H、040C0H-040C3Hにオプション・バイト、000C4H-000CDH、040C4H-040CDHにオンチップ・デバッグ・セキュリティID設定

（略）

(c) 2025. Renesas Electronics Corporation. All rights reserved.

(p. 109)

図 3 - 2 メモリ・マップ（R7F101GxG（x = 6, 7, 8, A, B, E, F, G, J, L））



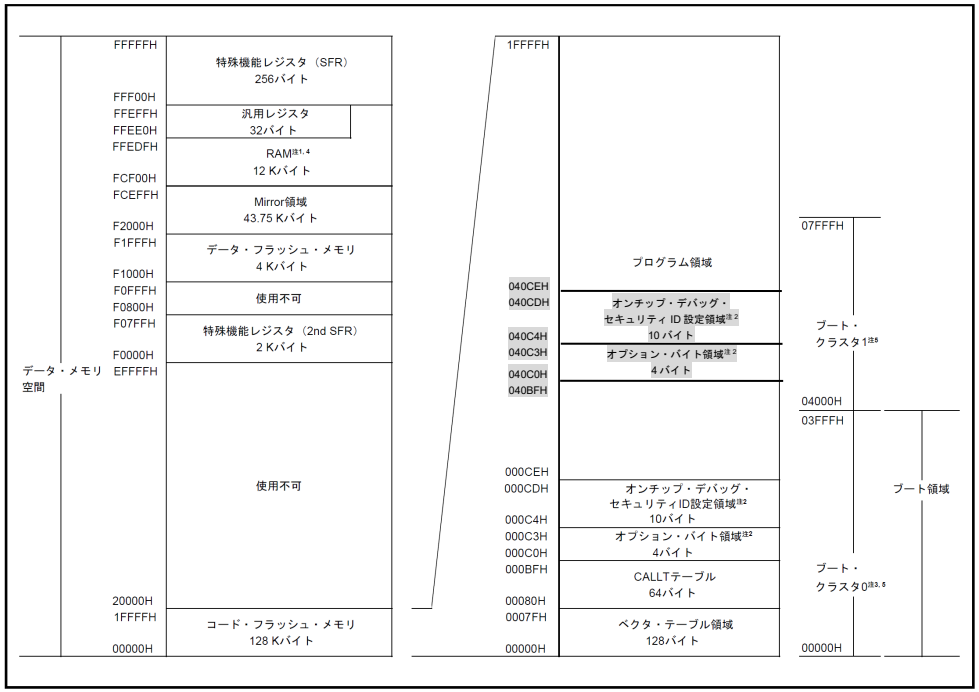
注**1.** 汎用レジスタを除いたRAM領域から命令実行をすることができます。

注**2.** **ブート・スワップ未使用時**：000C0H-000C3H にオプション・バイト、000C4H-000CDH にオンチップ・デバッグ・セキュリティIDを設定

ブート・スワップ使用時： 000C0H-000C3H、040C0H-040C3Hにオプション・バイト、000C4H-000CDH、040C4H-040CDHにオンチップ・デバッグ・セキュリティID設定

（略）

図 3 - 2 メモリ・マップ（R7F101GxG（x = 6, 7, 8, A, B, E, F, G, J, L））



注**1.** 汎用レジスタを除いたRAM領域から命令実行をすることができます。

注**2.** ブート・スワップ未使用時（FLSECレジスタのBTFLGビットが1の状態）：000C0H-000C3H にオプション・バイト、000C4H-000CDH にオンチップ・デバッグ・セキュリティIDを設定

ブート・スワップ使用時およびFLSECレジスタのBTFLGビットが0の状態のとき：000C0H-000C3H、040C0H-040C3Hにオプション・バイト、000C4H-000CDH、040C4H-040CDHにオンチップ・デバッグ・セキュリティID設定

（略）

(c) 2025. Renesas Electronics Corporation. All rights reserved.

(p.114)

（略）

(3) オプション・バイト領域
000C0H-000C3H の4 バイト領域にオプション・バイト領域を用意しています。ブート・スワップを使用する際には040C0H-040C3H にもオプション・バイトを設定してください。詳細は、第**38**章　オプション・バイトを参照してください。

(4) オンチップ・デバッグ・セキュリティID設定領域
000C4H-000CDH、040C4H-040CDH の10 バイト領域にオンチップ・デバッグ・セキュリティID 設定領域を用意しています。ブート・スワップ未使用時には000C4H-000CDHに、ブート・スワップ使用時には000C4H-000CDHと040C4H-040CDHに10バイトのオンチップ・デバッグ・セキュリティIDを設定してください。詳細は、第**40**章　オンチップ・デバッグ機能を参照してください。

（略）

(3) オプション・バイト領域
000C0H-000C3H の4 バイト領域にオプション・バイト領域を用意しています。ブート・スワップ使用時およびFLSECレジスタのBTFLGビットが0の状態のときには040C0H-040C3H にもオプション・バイトを設定してください。詳細は、第**38**章　オプション・バイトを参照してください。

(4) オンチップ・デバッグ・セキュリティID設定領域
000C4H-000CDH、040C4H-040CDH の10 バイト領域にオンチップ・デバッグ・セキュリティID 設定領域を用意しています。ブート・スワップ未使用時（FLSECレジスタのBTFLGビットが1の状態）には000C4H-000CDHに、ブート・スワップ使用時およびFLSECレジスタのBTFLGビットが0の状態のときには000C4H-000CDHと040C4H-040CDHに10バイトのオンチップ・デバッグ・セキュリティIDを設定してください。詳細は、第**40**章　オンチップ・デバッグ機能を参照してください。

(c) 2025. Renesas Electronics Corporation. All rights reserved.

2. 20.3.3 A/D コンバータ・モード・レジスタ 0（ADM0）(p. 1116, p. 1120, p. 1122 – p. 1132)

誤）

(p. 1116)

図 20 - 4 A/D コンバータ・モード・レジスタ 0（ADM0）のフォーマット

(略)

ADCE	A/D電圧コンパレータの動作制御注2
0	A/D 電圧コンパレータの動作停止
1	A/D 電圧コンパレータの動作許可

注1. FR[2:0], LV[1:0]ビットおよびA/D変換に関する詳細は、表20 - 6　A/D変換時間の選択を参照してください。

注2. ソフトウェア・トリガ・ノーウエイト・モード時およびハードウェア・トリガ・ノーウエイト・モード時、A/D電圧コンパレータはADCSビットとADCEビットで動作制御され、動作開始から安定するまでに、1 μs +変換クロック（fAD）の2クロックかかります。このため、ADCEビットに1を設定してから1 μs +変換クロック（fAD）の2クロック以上経過したあとに、ADCSビットに1を設定することで、最初の変換データより有効となります。
ADCE = 0状態でADCS = 1に設定した場合は、安定待ち後A/D変換を開始します。1 μs +変換クロック（fAD）の2クロック以上ウエイトしないでADCSビットに1を設定した場合は、最初の変換データを無視してください。

注意1. ADMD, FR[2:0], LV[1:0]ビットの変更は、変換停止状態（ADCS = 0, ADCE = 0）で行ってください。

注意2. ADCS = 1, ADCE = 1からADCS = 1, ADCE = 0への設定は禁止です。

注意3. ADCS = 0, ADCE = 0の状態から8ビット操作命令でADCS = 1, ADCE = 1に設定することは禁止です。必ず20.7　A/Dコンバータの設定フロー・チャートの手順に従ってください。

注意4. アドバンスド・モードONの場合はADMD = 1に設定することは禁止です。

注意5. アドバンスド・モードONの場合はADCS = 1のとき、ADCS = 1を上書きすることは禁止です。

注意 6. アドバンスド・モード ON の場合は ADCE = 1 のとき、ADCE = 1 を上書きすることは禁止です。

正）

図 20 - 4 A/D コンバータ・モード・レジスタ 0（ADM0）のフォーマット

(略)

ADCE	A/D電圧コンパレータの動作制御注2
0	A/D 電圧コンパレータの動作停止
1	A/D 電圧コンパレータの動作許可

注1. FR[2:0], LV[1:0]ビットおよびA/D変換に関する詳細は、表**20 - 6　A/D**変換時間の選択を参照してください。

注2. ソフトウェア・トリガ・ノーウエイト・モード時およびハードウェア・トリガ・ノーウエイト・モード時、A/D電圧コンパレータはADCSビットとADCEビットで動作制御され、動作開始から安定するまでに、1 μs +変換クロック（fAD）の2クロックかかります。このため、ADCEビットに1を設定してから1 μs +変換クロック（fAD）の2クロック以上経過したあとに、ADCSビットに1を設定することで、最初の変換データより有効となります。ADCE = 0状態でADCS = 1に設定した場合は、安定待ち後A/D変換を開始します。1 μs +変換クロック（fAD）の
2クロック以上ウエイトしないでADCSビットに1を設定した場合は、最初の変換データを無視してください。

注意1. ADMD, FR[2:0], LV[1:0]ビットの変更は、変換停止状態（ADCS = 0, ADCE = 0）で行ってください。

注意2. ADCS = 1, ADCE = 1からADCS = 1, ADCE = 0への設定は禁止です。

注意3. ADCS = 0, ADCE = 0の状態から8ビット操作命令でADCS = 1, ADCE = 1に設定することは禁止です。必ず20.7　A/Dコンバータの設定フロー・チャートの手順に従ってください。

注意4. アドバンスド・モードONの場合はADMD = 1に設定することは禁止です。

注意5. アドバンスド・モードONの場合はADCS = 1のとき、ADCS = 1を上書きすることは禁止です。

注意 6. アドバンスド・モード ON の場合は ADCE = 1 のとき、ADCE = 1 を上書きすることは禁止です。

注意7. 変換待機状態／変換動作状態からADCS=0, ADCE=0の変換停止状態にした場合は、次にADCE=1またはADCS=1を設定するまでに5μsウエイトしてください。なお、ADMD, FR2-FR0, LV1, LV0ビットを変更する場合は、ADCS=0, ADCE=0に設定した後、0.2μs経過後にADMD, FR2-FR0, LV1, LV0ビットを変更してください。

(c) 2025. Renesas Electronics Corporation. All rights reserved.

(p. 1120)

注意1. ハードウェア・トリガ・ウエイト・モードで使用する場合、ADCSビットに1を設定するのは禁止です（ハードウェア・トリガ信号検出時に、自動的に1に切り替わります）。ただし、A/D変換待機状態にするために、ADCSビットに0を設定することは可能です。

注意2. ハードウェア・トリガ・ノーウエイト・モードおよびアドバンスド・モードでのワンショット変換モード時、A/D変換終了時にADCSビットは、自動的に0にクリアされません。1のまま保持されます。

注意3. ADCEビットの書き換えは、ADCS = 0（変換停止／変換待機状態）のときに行ってください。

注意4. アドバンスド・モードではトリガ要因が発生してから、トリガを検知するまでに3 f_{CLK}必要です。表20 - 5にアドバンスド・モードでの、トリガ発生または直前変換終了後～A/D変換開始までのクロック数を示します。

注意5. A/D変換を完了させるためには、ハード・トリガ間隔を次の時間以上としてください。
ハードウェア・トリガ・ノーウエイト・モード時： f_{CLK}の2クロック+変換起動時間+ A/D変換時間
ハードウェア・トリガ・ウエイト・モード時： f_{CLK}の2クロック+変換起動時間+ A/D電源安定待ち時間+ A/D変換時間
アドバンスド・モード時： f_{CLK} の 3 クロック+変換起動時間+ A/D 変換時間

備考 f_{CLK} ：CPU／周辺ハードウェア・クロック周波数
変換開始遅延 ： 変換起動時間経過後、A/D 変換時間が開始するまでに発生する遅延= 1 f_{AD}
割り込み出力遅延： A/D 変換が完了後から INTAD0-3 を発生するまでの遅延= 1 f_{AD}

注意1. ハードウェア・トリガ・ウエイト・モードで使用する場合、ADCSビットに1を設定するのは禁止です（ハードウェア・トリガ信号検出時に、自動的に1に切り替わります）。ただし、A/D変換待機状態にするために、ADCSビットに0を設定することは可能です。

注意2. ハードウェア・トリガ・ノーウエイト・モードおよびアドバンスド・モードでのワンショット変換モード時、A/D変換終了時にADCSビットは、自動的に0にクリアされません。1のまま保持されます。

注意3. ADCEビットの書き換えは、ADCS = 0（変換停止／変換待機状態）のときに行ってください。

注意4. アドバンスド・モードではトリガ要因が発生してから、トリガを検知するまでに3 f_{CLK}必要です。表20 - 5にアドバンスド・モードでの、トリガ発生または直前変換終了後～A/D変換開始までのクロック数を示します。

注意5. A/D変換を完了させるためには、ハード・トリガ間隔を次の時間以上としてください。
ハードウェア・トリガ・ノーウエイト・モード時： f_{CLK}の2クロック+変換起動時間+ A/D変換時間
ハードウェア・トリガ・ウエイト・モード時： f_{CLK} の2 クロック + 変換起動時間 + A/D 電源安定待ち時間 + A/D 変換時間 + 5μs
アドバンスド・モード時： f_{CLK}の3クロック+変換起動時間+ A/D変換時間

備考 f_{CLK} ：CPU／周辺ハードウェア・クロック周波数
変換開始遅延 ： 変換起動時間経過後、A/D 変換時間が開始するまでに発生する遅延= 1 f_{AD}
割り込み出力遅延： A/D 変換が完了後から INTAD0-3 を発生するまでの遅延= 1 f_{AD}

(c) 2025. Renesas Electronics Corporation. All rights reserved.

(p. 1122)

表20 - 6 A/D変換時間の選択 (1/11)

(1) A/D電源安定待ち時間なし 標準モード1, 2

（ソフトウエア・トリガ・ノーウエイト・セレクト・モード／ハードウエア・トリガ・ノーウエイト・セレクト・モード）

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1						モード	変換クロック（f_{AD}）	変換開始遅延クロック数	変換クロック数	割り込み出力遅延クロック数	A/D変換時間（変換開始遅延時間＋変換時間＋割り込み出力遅延時間）					
(ADM1)	(ADM0)											2.4 V ≦ AV_{REFP} ≦ V_{DD} ≦ 5.5 V				
ADLSP	FR2	FR1	FR0	LV1	LV0							f_{CLK} = 1 MHz	f_{CLK} = 4 MHz	f_{CLK} = 8 MHz	f_{CLK} = 16 MHz	f_{CLK} = 32 MHz
0	0	0	0	0	0	標準1	f_{CLK}/32	1 f_{AD}	64 f_{AD}	1 f_{AD}	2112/f_{CLK}	設定禁止	設定禁止	設定禁止	設定禁止	66 μs
0	0	0	1				f_{CLK}/16	1 f_{AD}	64 f_{AD}	1 f_{AD}	1056/f_{CLK}	設定禁止	設定禁止	設定禁止	66 μs	33 μs
0	0	1	0				f_{CLK}/8	1 f_{AD}	64 f_{AD}	1 f_{AD}	528/f_{CLK}	設定禁止	設定禁止	66 μs	33 μs	16.5 μs
1	0	1	1				f_{CLK}/4	1 f_{AD}	181 f_{AD}	1 f_{AD}	732/f_{CLK}	設定禁止	183 μs	設定禁止	設定禁止	設定禁止
1	1	0	0				f_{CLK}/2	1 f_{AD}	181 f_{AD}	1 f_{AD}	366/f_{CLK}	設定禁止	91.5 μs	設定禁止	設定禁止	設定禁止
1	1	0	1				f_{CLK}	1 f_{AD}	181 f_{AD}	1 f_{AD}	183/f_{CLK}	183 μs	45.75 μs	設定禁止	設定禁止	設定禁止
上記以外							設定禁止									

注意1. A/D変換時間は、43.6.1　A/Dコンバータ特性または44.6.1　A/Dコンバータ特性に示す変換クロック（f_{AD}）と変換時間（t_{CONV}）の範囲内で選択してください。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態（ADCS = 0, ADCE = 0）で行ってください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、標準モード2を使用してください。

注意5. +側の基準電圧に内部基準電圧を選択したときは、標準モード1, 2は使用できません。低電圧モード1, 2を使用してください。

備考　f_{CLK}：CPU／周辺ハードウェア・クロック周波数

表20 - 6 A/D変換時間の選択 (1/11)

(1) A/D電源安定待ち時間なし 標準モード1, 2

（ソフトウエア・トリガ・ノーウエイト・セレクト・モード／ハードウエア・トリガ・ノーウエイト・セレクト・モード）

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1						モード	変換クロック（f_{AD}）	変換開始遅延クロック数	変換クロック数	割り込み出力遅延クロック数	A/D変換時間（変換開始遅延時間＋変換時間＋割り込み出力遅延時間）					
(ADM1)	(ADM0)											2.4 V ≦ AV_{REFP} ≦ V_{DD} ≦ 5.5 V				
ADLSP	FR2	FR1	FR0	LV1	LV0							f_{CLK} = 1 MHz	f_{CLK} = 4 MHz	f_{CLK} = 8 MHz	f_{CLK} = 16 MHz	f_{CLK} = 32 MHz
0	0	0	0	0	0	標準1	f_{CLK}/32	1 f_{AD}	64 f_{AD}	1 f_{AD}	2112/f_{CLK}	設定禁止	設定禁止	設定禁止	設定禁止	66 μs
0	0	0	1				f_{CLK}/16	1 f_{AD}	64 f_{AD}	1 f_{AD}	1056/f_{CLK}	設定禁止	設定禁止	設定禁止	66 μs	33 μs
0	0	1	0				f_{CLK}/8	1 f_{AD}	64 f_{AD}	1 f_{AD}	528/f_{CLK}	設定禁止	設定禁止	66 μs	33 μs	16.5 μs
1	0	1	1				f_{CLK}/4	1 f_{AD}	181 f_{AD}	1 f_{AD}	732/f_{CLK}	設定禁止	183 μs	設定禁止	設定禁止	設定禁止
1	1	0	0				f_{CLK}/2	1 f_{AD}	181 f_{AD}	1 f_{AD}	366/f_{CLK}	設定禁止	91.5 μs	設定禁止	設定禁止	設定禁止
1	1	0	1				f_{CLK}	1 f_{AD}	181 f_{AD}	1 f_{AD}	183/f_{CLK}	183 μs	45.75 μs	設定禁止	設定禁止	設定禁止
上記以外							設定禁止									

注意1. A/D変換時間は、43.6.1　A/Dコンバータ特性または44.6.1　A/Dコンバータ特性に示す変換クロック（f_{AD}）と変換時間（t_{CONV}）の範囲内で選択してください。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態（ADCS = 0, ADCE = 0）で行ってください。

なお、変換待機状態／変換動作状態から変換停止状態にした場合は、変換停止状態で0.2μs以上経過したあとにFR2-FR0, LV1, LV0ビットを設定してください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、標準モード2を使用してください。

注意5. +側の基準電圧に内部基準電圧を選択したときは、標準モード1, 2は使用できません。低電圧モード1, 2を使用してください。

備考　f_{CLK}：CPU／周辺ハードウェア・クロック周波数

(c) 2025. Renesas Electronics Corporation. All rights reserved.

(p. 1123)

表 20 - 6 A/D 変換時間の選択 (2/11)

(2) A/D 電源安定待ち時間なし低電圧モード 1, 2

（ソフトウェア・トリガ・ノーウエイト・セレクト・モード／ハードウェア・トリガ・ノーウエイト・セレクト・モード）

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1						モード	変換クロック（f_{AD}）	変換開始遅延クロック数	変換クロック数	割り込み出力遅延クロック数	A/D変換時間（変換開始遅延時間+変換時間+割り込み出力遅延時間）					
(ADM1)	(ADM0)											1.6 V≦AVREFP≦VDD≦5.5 V	1.6 V≦AVREFP≦VDD≦5.5 V	1.8 V≦AVREFP≦VDD≦5.5 V	2.4 V≦AVREFP≦VDD≦5.5 V	2.7 V≦AVREFP≦VDD≦5.5 V
ADLSP	FR2	FR1	FR0	LV1	LV0							f_{CLK} = 1 MHz	f_{CLK} = 4 MHz	f_{CLK} = 8 MHz	f_{CLK} = 16 MHz	f_{CLK} = 32 MHz
0	0	0	0	1	0	低電圧1	f_{CLK}/32	1 f_{AD}	80 f_{AD}	1 f_{AD}	2624/f_{CLK}	設定禁止	設定禁止	設定禁止	設定禁止	82 μs
0	0	0	1				f_{CLK}/16	1 f_{AD}	80 f_{AD}	1 f_{AD}	1312/f_{CLK}	設定禁止	設定禁止	設定禁止	82 μs	41 μs
0	0	1	0				f_{CLK}/8	1 f_{AD}	80 f_{AD}	1 f_{AD}	656/f_{CLK}	設定禁止	設定禁止	82 μs	41 μs	20.5 μs
1	0	1	1				f_{CLK}/4	1 f_{AD}	107 f_{AD}	1 f_{AD}	436/f_{CLK}	設定禁止	109 μs	設定禁止	設定禁止	設定禁止
1	1	0	0				f_{CLK}/2	1 f_{AD}	107 f_{AD}	1 f_{AD}	218/f_{CLK}	設定禁止	54.5 μs	設定禁止	設定禁止	設定禁止
1	1	0	1				f_{CLK}	1 f_{AD}	107 f_{AD}	1 f_{AD}	109/f_{CLK}	109 μs	27.25 μs	設定禁止	設定禁止	設定禁止
上記以外							設定禁止									

注意1. A/D変換時間は、43.6.1　A/Dコンバータ特性または44.6.1　A/Dコンバータ特性に示す変換クロック（f_{AD}）と変換時間（t_{CONV}）の範囲内で選択してください。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態（ADCS = 0, ADCE = 0）で行ってください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、低電圧モード2を使用し、かつ変換クロック（f_{AD}）は16 MHz以下で使用してください。

注意5. +側の基準電圧に内部基準電圧を選択したときは、変換クロック（f_{AD}）は1～2 MHzとなります。

備考　f_{CLK}：CPU／周辺ハードウェア・クロック周波数

表 20 - 6 A/D 変換時間の選択 (2/11)

(2) A/D 電源安定待ち時間なし低電圧モード 1, 2

（ソフトウェア・トリガ・ノーウエイト・セレクト・モード／ハードウェア・トリガ・ノーウエイト・セレクト・モード）

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1						モード	変換クロック（f_{AD}）	変換開始遅延クロック数	変換クロック数	割り込み出力遅延クロック数	A/D変換時間（変換開始遅延時間+変換時間+割り込み出力遅延時間）					
(ADM1)	(ADM0)											1.6 V≦AVREFP≦VDD≦5.5 V	1.6 V≦AVREFP≦VDD≦5.5 V	1.8 V≦AVREFP≦VDD≦5.5 V	2.4 V≦AVREFP≦VDD≦5.5 V	2.7 V≦AVREFP≦VDD≦5.5 V
ADLSP	FR2	FR1	FR0	LV1	LV0							f_{CLK} = 1 MHz	f_{CLK} = 4 MHz	f_{CLK} = 8 MHz	f_{CLK} = 16 MHz	f_{CLK} = 32 MHz
0	0	0	0	1	0	低電圧1	f_{CLK}/32	1 f_{AD}	80 f_{AD}	1 f_{AD}	2624/f_{CLK}	設定禁止	設定禁止	設定禁止	設定禁止	82 μs
0	0	0	1				f_{CLK}/16	1 f_{AD}	80 f_{AD}	1 f_{AD}	1312/f_{CLK}	設定禁止	設定禁止	設定禁止	82 μs	41 μs
0	0	1	0				f_{CLK}/8	1 f_{AD}	80 f_{AD}	1 f_{AD}	656/f_{CLK}	設定禁止	設定禁止	82 μs	41 μs	20.5 μs
1	0	1	1				f_{CLK}/4	1 f_{AD}	107 f_{AD}	1 f_{AD}	436/f_{CLK}	設定禁止	109 μs	設定禁止	設定禁止	設定禁止
1	1	0	0				f_{CLK}/2	1 f_{AD}	107 f_{AD}	1 f_{AD}	218/f_{CLK}	設定禁止	54.5 μs	設定禁止	設定禁止	設定禁止
1	1	0	1				f_{CLK}	1 f_{AD}	107 f_{AD}	1 f_{AD}	109/f_{CLK}	109 μs	27.25 μs	設定禁止	設定禁止	設定禁止
上記以外							設定禁止									

注意1. A/D変換時間は、43.6.1　A/Dコンバータ特性または44.6.1　A/Dコンバータ特性に示す変換クロック（f_{AD}）と変換時間（t_{CONV}）の範囲内で選択してください。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態（ADCS = 0, ADCE = 0）で行ってください。

なお、変換待機状態／変換動作状態から変換停止状態にした場合は、変換停止状態で0.2μs以上経過したあとにFR2-FR0, LV1, LV0ビットを設定してください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、低電圧モード2を使用し、かつ変換クロック（f_{AD}）は16 MHz以下で使用してください。

注意5. +側の基準電圧に内部基準電圧を選択したときは、変換クロック（f_{AD}）は1～2 MHzとなります。

備考　f_{CLK}：CPU／周辺ハードウェア・クロック周波数

(c) 2025. Renesas Electronics Corporation. All rights reserved.

(p. 1124)

表 20 - 6 A/D 変換時間の選択 (3/11)

(3) A/D 電源安定待ち時間あり標準モード 1, 2

（ソフトウェア・トリガ・ウエイト・セレクト・モード／ハードウェア・トリガ・ウエイト・セレクト・モード注1）

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1						モード	変換クロック（fAD）	A/D電源安定待ちクロック数	変換クロック数	割り込み出力遅延クロック数 注2	A/D変換時間（A/D電源安定待ち時間＋変換時間＋割り込み出力遅延時間）					
(ADM1)	（ADM0）											2.4 V ≦ AVREFP ≦ VDD ≦ 5.5 V				
ADLSP	FR2	FR1	FR0	LV1	LV0							fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz
0	0	0	0	0	0	標準1	fCLK/32	4 fAD	64 fAD	4 fAD	2304/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	72 μs
0	0	0	1				fCLK/16	4 fAD	64 fAD	4 fAD	1152/fCLK	設定禁止	設定禁止	設定禁止	72 μs	36 μs
1	1	0	0				fCLK/2	4 fAD	181 fAD	4 fAD	378/fCLK	設定禁止	94.5 μs	設定禁止	設定禁止	設定禁止
1	1	0	1				fCLK	6 fAD	181 fAD	4 fAD	191/fCLK	191 μs	47.75 μs	設定禁止	設定禁止	設定禁止
上記以外							設定禁止									

注1. 連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません（表20 - 6 A/D変換時間の選択 (1/11)参照）。

注2. ワンショット変換モード時の割り込み出力遅延クロック数です。連続変換モードを選択した場合は、変換クロック（fAD）の3クロック分短くなります。

注意1. A/D変換時間は、43.6.1 A/Dコンバータ特性または44.6.1 A/Dコンバータ特性に示す変換クロック（fAD）と変換時間（tCONV）の範囲内で選択してください。なお、変換時間（tCONV）はA/D電源安定待ち時間を含みません。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態（ADCS = 0, ADCE = 0）で行ってください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. ハードウェア・トリガ・ウエイト・モード時の変換時間は、ハードウェア・トリガ検出からのA/D電源安定待ち時間を含みます。
ソフトウェア・トリガ・ウエイト・モード時の変換時間は、ADCS = 1からのA/D電源安定待ち時間を含みます。

(略)

表 20 - 6 A/D 変換時間の選択 (3/11)

(3) A/D 電源安定待ち時間あり標準モード 1, 2

（ソフトウェア・トリガ・ウエイト・セレクト・モード／ハードウェア・トリガ・ウエイト・セレクト・モード注1）

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1						モード	変換クロック（fAD）	A/D電源安定待ちクロック数	変換クロック数	割り込み出力遅延クロック数 注2	A/D変換時間（A/D電源安定待ち時間＋変換時間＋割り込み出力遅延時間）					
(ADM1)	（ADM0）											2.4 V ≦ AVREFP ≦ VDD ≦ 5.5 V				
ADLSP	FR2	FR1	FR0	LV1	LV0							fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz
0	0	0	0	0	0	標準1	fCLK/32	4 fAD	64 fAD	4 fAD	2304/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	72 μs
0	0	0	1				fCLK/16	4 fAD	64 fAD	4 fAD	1152/fCLK	設定禁止	設定禁止	設定禁止	72 μs	36 μs
1	1	0	0				fCLK/2	4 fAD	181 fAD	4 fAD	378/fCLK	設定禁止	94.5 μs	設定禁止	設定禁止	設定禁止
1	1	0	1				fCLK	6 fAD	181 fAD	4 fAD	191/fCLK	191 μs	47.75 μs	設定禁止	設定禁止	設定禁止
上記以外							設定禁止									

注1. 連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません（表20 - 6 A/D変換時間の選択 (1/11)参照）。

注2. ワンショット変換モード時の割り込み出力遅延クロック数です。連続変換モードを選択した場合は、変換クロック（fAD）の3クロック分短くなります。

注意1. A/D変換時間は、43.6.1 A/Dコンバータ特性または44.6.1 A/Dコンバータ特性に示す変換クロック（fAD）と変換時間（tCONV）の範囲内で選択してください。なお、変換時間（tCONV）はA/D電源安定待ち時間を含みません。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態（ADCS = 0, ADCE = 0）で行ってください。なお、変換待機状態／変換動作状態から変換停止状態にした場合は、変換停止状態で0.2μs以上経過したあとにFR2-FR0, LV1, LV0ビットを設定してください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. ハードウェア・トリガ・ウエイト・モード時の変換時間は、ハードウェア・トリガ検出からのA/D電源安定待ち時間を含みます。
ソフトウェア・トリガ・ウエイト・モード時の変換時間は、ADCS = 1からのA/D電源安定待ち時間を含みます。

(略)

(c) 2025. Renesas Electronics Corporation. All rights reserved.

(p. 1125)

表 20 - 6 A/D 変換時間の選択 (4/11)

(4) A/D 電源安定待ち時間あり低電圧モード 1, 2

（ソフトウェア・トリガ・ウエイト・セレクト・モード／ハードウェア・トリガ・ウエイト・セレクト・モード注1）

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1						モード	変換クロック（fAD）	A/D電源安定待ちクロック数	変換クロック数	割り込み出力遅延クロック数 注2	A/D変換時間（A/D電源安定待ち時間＋変換時間＋割り込み出力遅延時間）				
(ADM1)	(ADM0)										1.6 V≦AVREFP≦VDD≦5.5 V	1.6 V≦AVREFP≦VDD≦5.5 V	1.8 V≦AVREFP≦VDD≦5.5 V	2.4 V≦AVREFP≦VDD≦5.5 V	2.7 V≦AVREFP≦VDD≦5.5 V
ADLSP	FR2	FR1	FR0	LV1	LV0						fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz
0	0	0	0	1	0	低電圧1	fCLK/32	4 fAD	80 fAD	4 fAD	2816/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	88 μs
1	1	0	0				fCLK/2	4 fAD	107 fAD	4 fAD	230/fCLK	設定禁止	57.5 μs	設定禁止	設定禁止	設定禁止
1	1	0	1				fCLK	6 fAD	107 fAD	4 fAD	117/fCLK	117 μs	29.25 μs	設定禁止	設定禁止	設定禁止
上記以外							設定禁止								

注1. 連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません（表20 - 6 A/D変換時間の選択 (2/11)参照）。

注2. ワンショット変換モード時の割り込み出力遅延クロック数です。連続変換モードを選択した場合は、変換クロック（fAD）の3クロック分短くなります。

注意1. A/D変換時間は、43.6.1 A/Dコンバータ特性または44.6.1 A/Dコンバータ特性に示す変換クロック（fAD）と変換時間（tCONV）の範囲内で選択してください。なお、変換時間（tCONV）はA/D電源安定待ち時間を含みません。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態（ADCS = 0, ADCE = 0）で行ってください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. ハードウェア・トリガ・ウエイト・モード時の変換時間は、ハードウェア・トリガ検出からのA/D電源安定待ち時間を含みます。
ソフトウェア・トリガ・ウエイト・モード時の変換時間は、ADCS = 1からのA/D電源安定待ち時間を含みます。

(略)

表 20 - 6 A/D 変換時間の選択 (4/11)

(4) A/D 電源安定待ち時間あり低電圧モード 1, 2

（ソフトウェア・トリガ・ウエイト・セレクト・モード／ハードウェア・トリガ・ウエイト・セレクト・モード注1）

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1						モード	変換クロック（fAD）	A/D電源安定待ちクロック数	変換クロック数	割り込み出力遅延クロック数 注2	A/D変換時間（A/D電源安定待ち時間＋変換時間＋割り込み出力遅延時間）				
(ADM1)	(ADM0)										1.6 V≦AVREFP≦VDD≦5.5 V	1.6 V≦AVREFP≦VDD≦5.5 V	1.8 V≦AVREFP≦VDD≦5.5 V	2.4 V≦AVREFP≦VDD≦5.5 V	2.7 V≦AVREFP≦VDD≦5.5 V
ADLSP	FR2	FR1	FR0	LV1	LV0						fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz
0	0	0	0	1	0	低電圧1	fCLK/32	4 fAD	80 fAD	4 fAD	2816/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	88 μs
1	1	0	0				fCLK/2	4 fAD	107 fAD	4 fAD	230/fCLK	設定禁止	57.5 μs	設定禁止	設定禁止	設定禁止
1	1	0	1				fCLK	6 fAD	107 fAD	4 fAD	117/fCLK	117 μs	29.25 μs	設定禁止	設定禁止	設定禁止
上記以外							設定禁止								

注1. 連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません（表20 - 6 A/D変換時間の選択 (2/11)参照）。

注2. ワンショット変換モード時の割り込み出力遅延クロック数です。連続変換モードを選択した場合は、変換クロック（fAD）の3クロック分短くなります。

注意1. A/D変換時間は、43.6.1 A/Dコンバータ特性または44.6.1 A/Dコンバータ特性に示す変換クロック（fAD）と変換時間（tCONV）の範囲内で選択してください。なお、変換時間（tCONV）はA/D電源安定待ち時間を含みません。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態（ADCS = 0, ADCE = 0）で行ってください。なお、変換待機状態／変換動作状態から変換停止状態にした場合は、変換停止状態で0.2μs以上経過したあとにFR2-FR0, LV1, LV0ビットを設定してください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. ハードウェア・トリガ・ウエイト・モード時の変換時間は、ハードウェア・トリガ検出からのA/D電源安定待ち時間を含みます。
ソフトウェア・トリガ・ウエイト・モード時の変換時間は、ADCS = 1からのA/D電源安定待ち時間を含みます。

(略)

(c) 2025. Renesas Electronics Corporation. All rights reserved.

(p. 1126)

表 20 - 6 A/D 変換時間の選択 (5/11)

(5) A/D 電源安定待ち時間なし標準モード 1, 2

（ソフトウェア・トリガ・ノーウエイト・スキャン・モード／ハードウェア・トリガ・ノーウエイト・スキャン・モード）

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1						モード	変換クロック（fAD）	変換開始遅延クロック数	変換クロック数	割り込み出力遅延クロック数	A/D変換時間（変換開始遅延時間＋変換時間×4＋割り込み出力遅延時間）					
(ADM1)	（ADM0）											2.4 V≦AVREFP≦VDD≦5.5 V				
ADLSP	FR2	FR1	FR0	LV1	LV0							fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz
0	0	0	0	0	0	標準1	fCLK/32	1 fAD	64 fAD	1 fAD	8256/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	258 μs
0	0	0	1				fCLK/16	1 fAD	64 fAD	1 fAD	4128/fCLK	設定禁止	設定禁止	設定禁止	258 μs	129 μs
0	0	1	0				fCLK/8	1 fAD	64 fAD	1 fAD	2064/fCLK	設定禁止	設定禁止	258 μs	129 μs	64.5 μs
1	1	0	0				fCLK/2	1 fAD	181 fAD	1 fAD	1452/fCLK	設定禁止	363 μs	設定禁止	設定禁止	設定禁止
1	1	0	1				fCLK	1 fAD	181 fAD	1 fAD	726/fCLK	726 μs	181.5 μs	設定禁止	設定禁止	設定禁止
上記以外							設定禁止									

注意1. A/D変換時間は、43.6.1　A/Dコンバータ特性または44.6.1　A/Dコンバータ特性に示す変換クロック（fAD）と変換時間（tCONV）の範囲内で選択してください。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態（ADCS = 0, ADCE = 0）で行ってください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、標準モード2を使用してください。

注意5. +側の基準電圧に内部基準電圧を選択したときは、標準モード1, 2は使用できません。低電圧モード1, 2を使用してください。

備考　fCLK：CPU／周辺ハードウェア・クロック周波数

表 20 - 6 A/D 変換時間の選択 (5/11)

(5) A/D 電源安定待ち時間なし標準モード 1, 2

（ソフトウェア・トリガ・ノーウエイト・スキャン・モード／ハードウェア・トリガ・ノーウエイト・スキャン・モード）

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1						モード	変換クロック（fAD）	変換開始遅延クロック数	変換クロック数	割り込み出力遅延クロック数	A/D変換時間（変換開始遅延時間＋変換時間×4＋割り込み出力遅延時間）					
(ADM1)	（ADM0）											2.4 V≦AVREFP≦VDD≦5.5 V				
ADLSP	FR2	FR1	FR0	LV1	LV0							fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz
0	0	0	0	0	0	標準1	fCLK/32	1 fAD	64 fAD	1 fAD	8256/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	258 μs
0	0	0	1				fCLK/16	1 fAD	64 fAD	1 fAD	4128/fCLK	設定禁止	設定禁止	設定禁止	258 μs	129 μs
0	0	1	0				fCLK/8	1 fAD	64 fAD	1 fAD	2064/fCLK	設定禁止	設定禁止	258 μs	129 μs	64.5 μs
1	1	0	0				fCLK/2	1 fAD	181 fAD	1 fAD	1452/fCLK	設定禁止	363 μs	設定禁止	設定禁止	設定禁止
1	1	0	1				fCLK	1 fAD	181 fAD	1 fAD	726/fCLK	726 μs	181.5 μs	設定禁止	設定禁止	設定禁止
上記以外							設定禁止									

注意1. A/D変換時間は、43.6.1　A/Dコンバータ特性または44.6.1　A/Dコンバータ特性に示す変換クロック（fAD）と変換時間（tCONV）の範囲内で選択してください。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態（ADCS = 0, ADCE = 0）で行ってください。なお、変換待機状態／変換動作状態から変換停止状態にした場合は、変換停止状態で0.2μs以上経過したあとにFR2-FR0, LV1, LV0ビットを設定してください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、標準モード2を使用してください。

注意5. +側の基準電圧に内部基準電圧を選択したときは、標準モード1, 2は使用できません。低電圧モード1, 2を使用してください。

備考　fCLK：CPU／周辺ハードウェア・クロック周波数

(c) 2025. Renesas Electronics Corporation. All rights reserved.

(p. 1127)

表 20 - 6 A/D 変換時間の選択 (6/11)

(6) A/D電源安定待ち時間なし低電圧モード1, 2

（ソフトウェア・トリガ・ノーウエイト・スキャン・モード／ハードウェア・トリガ・ノーウエイト・スキャン・モード）

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1						モード	変換クロック（fAD）	変換開始遅延クロック数	変換クロック数	割り込み出力遅延クロック数	A/D変換時間（変換開始遅延時間＋変換時間×4＋割り込み出力遅延時間）					
(ADM1)	(ADM0)											1.6 V≦AVREFP≦VDD≦5.5 V	1.6 V≦AVREFP≦VDD≦5.5 V	1.8 V≦AVREFP≦VDD≦5.5 V	2.4 V≦AVREFP≦VDD≦5.5 V	2.7 V≦AVREFP≦VDD≦5.5 V
ADLSP	FR2	FR1	FR0	LV1	LV0							fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz
0	0	0	0	1	0	低電圧1	fCLK/32	1 fAD	80 fAD	1 fAD	10304/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	322 μs
0	0	0	1				fCLK/16	1 fAD	80 fAD	1 fAD	5152/fCLK	設定禁止	設定禁止	設定禁止	322 μs	161 μs
0	0	1	0				fCLK/8	1 fAD	80 fAD	1 fAD	2576/fCLK	設定禁止	設定禁止	322 μs	161 μs	80.5 μs
1	1	0	0				fCLK/2	1 fAD	107 fAD	1 fAD	860/fCLK	設定禁止	215 μs	設定禁止	設定禁止	設定禁止
1	1	0	1				fCLK	1 fAD	107 fAD	1 fAD	430/fCLK	430 μs	107.5 μs	設定禁止	設定禁止	設定禁止
上記以外							設定禁止									

注意1. A/D変換時間は、43.6.1　A/Dコンバータ特性または44.6.1　A/Dコンバータ特性に示す変換クロック（fAD）と変換時間（tCONV）の範囲内で選択してください。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態（ADCS = 0, ADCE = 0）で行ってください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、低電圧モード2を使用し、かつ変換クロック（fAD）は16 MHz以下で使用してください。

注意5. +側の基準電圧に内部基準電圧を選択したときは、変換クロック（fAD）は1～2 MHzとなります。

備考　fCLK：CPU／周辺ハードウェア・クロック周波数

表 20 - 6 A/D 変換時間の選択 (6/11)

(6) A/D電源安定待ち時間なし低電圧モード1, 2

（ソフトウェア・トリガ・ノーウエイト・スキャン・モード／ハードウェア・トリガ・ノーウエイト・スキャン・モード）

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1						モード	変換クロック（fAD）	変換開始遅延クロック数	変換クロック数	割り込み出力遅延クロック数	A/D変換時間（変換開始遅延時間＋変換時間×4＋割り込み出力遅延時間）					
(ADM1)	(ADM0)											1.6 V≦AVREFP≦VDD≦5.5 V	1.6 V≦AVREFP≦VDD≦5.5 V	1.8 V≦AVREFP≦VDD≦5.5 V	2.4 V≦AVREFP≦VDD≦5.5 V	2.7 V≦AVREFP≦VDD≦5.5 V
ADLSP	FR2	FR1	FR0	LV1	LV0							fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz
0	0	0	0	1	0	低電圧1	fCLK/32	1 fAD	80 fAD	1 fAD	10304/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	322 μs
0	0	0	1				fCLK/16	1 fAD	80 fAD	1 fAD	5152/fCLK	設定禁止	設定禁止	設定禁止	322 μs	161 μs
0	0	1	0				fCLK/8	1 fAD	80 fAD	1 fAD	2576/fCLK	設定禁止	設定禁止	322 μs	161 μs	80.5 μs
1	1	0	0				fCLK/2	1 fAD	107 fAD	1 fAD	860/fCLK	設定禁止	215 μs	設定禁止	設定禁止	設定禁止
1	1	0	1				fCLK	1 fAD	107 fAD	1 fAD	430/fCLK	430 μs	107.5 μs	設定禁止	設定禁止	設定禁止
上記以外							設定禁止									

注意1. A/D変換時間は、43.6.1　A/Dコンバータ特性または44.6.1　A/Dコンバータ特性に示す変換クロック（fAD）と変換時間（tCONV）の範囲内で選択してください。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態（ADCS = 0, ADCE = 0）で行ってください。なお、変換待機状態／変換動作状態から変換停止状態にした場合は、変換停止状態で0.2μs以上経過したあとにFR2-FR0, LV1, LV0ビットを設定してください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、低電圧モード2を使用し、かつ変換クロック（fAD）は16 MHz以下で使用してください。

注意5. +側の基準電圧に内部基準電圧を選択したときは、変換クロック（fAD）は1～2 MHzとなります。

備考　fCLK：CPU／周辺ハードウェア・クロック周波数

(c) 2025. Renesas Electronics Corporation. All rights reserved.

(p. 1128)

表20 - 6 A/D変換時間の選択 (7/11)

(7) A/D電源安定待ち時間あり標準モード1, 2

（ソフトウェア・トリガ・ウエイト・スキャン・モード／ハードウェア・トリガ・ウエイト・スキャン・モード注1）

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1						モード	変換クロック（f_{AD}）	A/D電源安定待ちクロック数	変換クロック数	割り込み出力遅延クロック数 注2	A/D変換時間（A/D電源安定待ち時間＋変換時間×4＋割り込み出力遅延時間）				
(ADM1)	(ADM0)										2.4 V ≦ AV_{REFP} ≦ V_{DD} ≦ 5.5 V				
ADLSP	FR2	FR1	FR0	LV1	LV0						f_{CLK} = 1 MHz	f_{CLK} = 4 MHz	f_{CLK} = 8 MHz	f_{CLK} = 16 MHz	f_{CLK} = 32 MHz
0	0	0	0	0	0	標準1	f_{CLK}/32	4 f_{AD}	64 f_{AD}	4 f_{AD}	8448/f_{CLK}	設定禁止	設定禁止	設定禁止	設定禁止	264 μs
0	0	0	1				f_{CLK}/16	4 f_{AD}	64 f_{AD}	4 f_{AD}	4224/f_{CLK}	設定禁止	設定禁止	設定禁止	264 μs	132 μs
1	1	0	1				f_{CLK}	6 f_{AD}	181 f_{AD}	4 f_{AD}	734/f_{CLK}	734 μs	183.5 μs	設定禁止	設定禁止	設定禁止
上記以外							設定禁止									

注1. 連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません（表20 - 6 A/D変換時間の選択 (1/11)参照）。

注2. ワンショット変換モード時の割り込み出力遅延クロック数です。連続変換モードを選択した場合は、変換クロック（f_{AD}）の3クロック分短くなります。

注意1. A/D変換時間は、43.6.1 A/Dコンバータ特性または44.6.1 A/Dコンバータ特性に示す変換クロック（f_{AD}）と変換時間（t_{CONV}）の範囲内で選択してください。なお、変換時間（t_{CONV}）はA/D電源安定待ち時間を含みません。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態（ADCS = 0, ADCE = 0）で行ってください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. ハードウェア・トリガ・ウエイト・モード時の変換時間は、ハードウェア・トリガ検出からのA/D電源安定待ち時間を含みます。
ソフトウェア・トリガ・ウエイト・モード時の変換時間は、ADCS = 1からのA/D電源安定待ち時間を含みます。

(略)

表20 - 6 A/D変換時間の選択 (7/11)

(7) A/D電源安定待ち時間あり標準モード1, 2

（ソフトウェア・トリガ・ウエイト・スキャン・モード／ハードウェア・トリガ・ウエイト・スキャン・モード注1）

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1						モード	変換クロック（f_{AD}）	A/D電源安定待ちクロック数	変換クロック数	割り込み出力遅延クロック数 注2	A/D変換時間（A/D電源安定待ち時間＋変換時間×4＋割り込み出力遅延時間）				
(ADM1)	(ADM0)										2.4 V ≦ AV_{REFP} ≦ V_{DD} ≦ 5.5 V				
ADLSP	FR2	FR1	FR0	LV1	LV0						f_{CLK} = 1 MHz	f_{CLK} = 4 MHz	f_{CLK} = 8 MHz	f_{CLK} = 16 MHz	f_{CLK} = 32 MHz
0	0	0	0	0	0	標準1	f_{CLK}/32	4 f_{AD}	64 f_{AD}	4 f_{AD}	8448/f_{CLK}	設定禁止	設定禁止	設定禁止	設定禁止	264 μs
0	0	0	1				f_{CLK}/16	4 f_{AD}	64 f_{AD}	4 f_{AD}	4224/f_{CLK}	設定禁止	設定禁止	設定禁止	264 μs	132 μs
1	1	0	1				f_{CLK}	6 f_{AD}	181 f_{AD}	4 f_{AD}	734/f_{CLK}	734 μs	183.5 μs	設定禁止	設定禁止	設定禁止
上記以外							設定禁止									

注1. 連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません（表20 - 6 A/D変換時間の選択 (1/11)参照）。

注2. ワンショット変換モード時の割り込み出力遅延クロック数です。連続変換モードを選択した場合は、変換クロック（f_{AD}）の3クロック分短くなります。

注意1. A/D変換時間は、43.6.1 A/Dコンバータ特性または44.6.1 A/Dコンバータ特性に示す変換クロック（f_{AD}）と変換時間（t_{CONV}）の範囲内で選択してください。なお、変換時間（t_{CONV}）はA/D電源安定待ち時間を含みません。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態（ADCS = 0, ADCE = 0）で行ってください。なお、変換待機状態／変換動作状態から変換停止状態にした場合は、変換停止状態で0.2μs以上経過したあとにFR2-FR0, LV1, LV0ビットを設定してください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. ハードウェア・トリガ・ウエイト・モード時の変換時間は、ハードウェア・トリガ検出からのA/D電源安定待ち時間を含みます。
ソフトウェア・トリガ・ウエイト・モード時の変換時間は、ADCS = 1からのA/D電源安定待ち時間を含みます。

(略)

(c) 2025. Renesas Electronics Corporation. All rights reserved.

(p. 1129)

表20 - 6 A/D変換時間の選択 (8/11)

(8) A/D電源安定待ち時間あり低電圧モード1, 2

（ソフトウェア・トリガ・ウエイト・スキャン・モード／ハードウェア・トリガ・ウエイト・スキャン・モード注1）

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1						モード	変換クロック（fAD）	A/D電源安定待ちクロック数	変換クロック数	割り込み出力遅延クロック数注2	A/D変換時間（A/D電源安定待ち時間＋変換時間×4＋割り込み出力遅延時間）				
(ADM1)	(ADM0)											1.6 V≦AVREFP≦VDD≦5.5 V	1.6 V≦AVREFP≦VDD≦5.5 V	1.8 V≦AVREFP≦VDD≦5.5 V	2.4 V≦AVREFP≦VDD≦5.5 V	2.7 V≦AVREFP≦VDD≦5.5 V
ADLSP	FR2	FR1	FR0	LV1	LV0							fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz
0	0	0	0	1	0	低電圧1	fCLK/32	4 fAD	80 fAD	4 fAD	10496/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	328 μs
0	0	0	1				fCLK/16	4 fAD	80 fAD	4 fAD	5248/fCLK	設定禁止	設定禁止	設定禁止	328 μs	164 μs
0	0	1	0				fCLK/8	6 fAD	80 fAD	4 fAD	2640/fCLK	設定禁止	設定禁止	330 μs	165 μs	82.5 μs
1	1	0	0				fCLK/2	4 fAD	107 fAD	4 fAD	872/fCLK	設定禁止	218 μs	設定禁止	設定禁止	設定禁止
1	1	0	1				fCLK	6 fAD	107 fAD	4 fAD	438/fCLK	438 μs	109.5 μs	設定禁止	設定禁止	設定禁止
上記以外							設定禁止									

注1.　連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません（表20 - 6　A/D変換時間の選択 (2/11)参照）。

注2.　ワンショット変換モード時の割り込み出力遅延クロック数です。連続変換モードを選択した場合は、変換クロック（fAD）の3クロック分短くなります。

注意1. A/D変換時間は、43.6.1　A/Dコンバータ特性または44.6.1　A/Dコンバータ特性に示す変換クロック（fAD）と変換時間（tCONV）の範囲内で選択してください。なお、変換時間（tCONV）はA/D電源安定待ち時間を含みません。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態（ADCS = 0, ADCE = 0）で行ってください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. ハードウェア・トリガ・ウエイト・モード時の変換時間は、ハードウェア・トリガ検出からのA/D電源安定待ち時間を含みます。
ソフトウェア・トリガ・ウエイト・モード時の変換時間は、ADCS = 1からのA/D電源安定待ち時間を含みます。

(略)

表20 - 6 A/D変換時間の選択 (8/11)

(8) A/D電源安定待ち時間あり低電圧モード1, 2

（ソフトウェア・トリガ・ウエイト・スキャン・モード／ハードウェア・トリガ・ウエイト・スキャン・モード注1）

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1						モード	変換クロック（fAD）	A/D電源安定待ちクロック数	変換クロック数	割り込み出力遅延クロック数注2	A/D変換時間（A/D電源安定待ち時間＋変換時間×4＋割り込み出力遅延時間）				
(ADM1)	(ADM0)											1.6 V≦AVREFP≦VDD≦5.5 V	1.6 V≦AVREFP≦VDD≦5.5 V	1.8 V≦AVREFP≦VDD≦5.5 V	2.4 V≦AVREFP≦VDD≦5.5 V	2.7 V≦AVREFP≦VDD≦5.5 V
ADLSP	FR2	FR1	FR0	LV1	LV0							fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz
0	0	0	0	1	0	低電圧1	fCLK/32	4 fAD	80 fAD	4 fAD	10496/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	328 μs
0	0	0	1				fCLK/16	4 fAD	80 fAD	4 fAD	5248/fCLK	設定禁止	設定禁止	設定禁止	328 μs	164 μs
0	0	1	0				fCLK/8	6 fAD	80 fAD	4 fAD	2640/fCLK	設定禁止	設定禁止	330 μs	165 μs	82.5 μs
1	1	0	0				fCLK/2	4 fAD	107 fAD	4 fAD	872/fCLK	設定禁止	218 μs	設定禁止	設定禁止	設定禁止
1	1	0	1				fCLK	6 fAD	107 fAD	4 fAD	438/fCLK	438 μs	109.5 μs	設定禁止	設定禁止	設定禁止
上記以外							設定禁止									

注1.　連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません（表20 - 6　A/D変換時間の選択 (2/11)参照）。

注2.　ワンショット変換モード時の割り込み出力遅延クロック数です。連続変換モードを選択した場合は、変換クロック（fAD）の3クロック分短くなります。

注意1. A/D変換時間は、43.6.1　A/Dコンバータ特性または44.6.1　A/Dコンバータ特性に示す変換クロック（fAD）と変換時間（tCONV）の範囲内で選択してください。なお、変換時間（tCONV）はA/D電源安定待ち時間を含みません。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態（ADCS = 0, ADCE = 0）で行ってください。なお、変換待機状態／変換動作状態から変換停止状態にした場合は、変換停止状態で0.2μs以上経過したあとにFR2-FR0, LV1, LV0ビットを設定してください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. ハードウェア・トリガ・ウエイト・モード時の変換時間は、ハードウェア・トリガ検出からのA/D電源安定待ち時間を含みます。
ソフトウェア・トリガ・ウエイト・モード時の変換時間は、ADCS = 1からのA/D電源安定待ち時間を含みます。

(略)

(c) 2025. Renesas Electronics Corporation. All rights reserved.

(p. 1130)

表 20 - 6 A/D 変換時間の選択 (9/11)

(9) A/D 電源安定待ち時間なし標準モード 1（ANI0-7 が対象のケース）

（アドバンスド・モード）

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1						モード	変換クロック（fAD）	変換開始遅延クロック数	変換クロック数注	割り込み出力遅延クロック数	A/D変換時間（変換開始遅延時間＋変換時間＋割り込み出力遅延時間）					
(ADM1)	(ADM0)											2.4 V≦VDD≦5.5 V				2.7 V≦VDD≦5.5 V
ADLSP	FR2	FR1	FR0	LV1	LV0							fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz	fCLK = 48 MHz
0	0	0	0	0	0	標準1	fCLK/32	1 fAD	41 fAD	1 fAD	1376/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	43 μs	28.667 μs
0	0	0	1				fCLK/16	1 fAD	41 fAD	1 fAD	688/fCLK	設定禁止	設定禁止	設定禁止	43 μs	21.5 μs	14.333 μs
0	0	1	0				fCLK/8	1 fAD	41 fAD	1 fAD	344/fCLK	設定禁止	設定禁止	43 μs	21.5 μs	10.75 μs	7.1667 μs
0	0	1	1				fCLK/4	1 fAD	41 fAD	1 fAD	172/fCLK	設定禁止	設定禁止	21.5 μs	10.75 μs	5.375 μs	3.5833 μs
0	1	0	0				fCLK/2	1 fAD	41 fAD	1 fAD	86/fCLK	設定禁止	設定禁止	10.75 μs	5.375 μs	2.6875 μs	1.7917 μs
0	1	0	1				fCLK	1 fAD	41 fAD	1 fAD	43/fCLK	設定禁止	設定禁止	5.375 μs	2.6875 μs	1.3438 μs	0.8958 μs
1	0	1	1				fCLK/4	1 fAD	41 fAD	1 fAD	172/fCLK	設定禁止	43 μs	設定禁止	設定禁止	設定禁止	設定禁止
1	1	0	0				fCLK/2	1 fAD	41 fAD	1 fAD	86/fCLK	設定禁止	21.5 μs	設定禁止	設定禁止	設定禁止	設定禁止
1	1	0	1				fCLK	1 fAD	41 fAD	1 fAD	43/fCLK	43 μs	10.75 μs	設定禁止	設定禁止	設定禁止	設定禁止
上記以外							設定禁止										

注　ADSPMODレジスタのADSPMOD[1:0]に01Bを設定した状態での変換クロック数を示します。

注意1. A/D変換時間は、43.6.1　A/Dコンバータ特性または44.6.1　A/Dコンバータ特性に示す変換クロック（fAD）と変換時間（tCONV）の範囲内で選択してください。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態（ADCS = 0, ADCE = 0）で行ってください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。
上記起動時間は競合がない状態を示します。競合時の起動時間については、図20 - 5の注2の説明を参照してください。
また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. 同時サンプリングを実施する場合は、以下の条件で行ってください。
ADLSP = 0, FR2-FR0 = 100, LV1-LV0 = 00, fCLK≧32 MHz, VDD ≧ 2.7 V
ADLSP = 0, FR2-FR0 = 101, LV1-LV0 = 00, fCLK≧16 MHz, VDD ≧ 2.7 V

備考　fCLK：CPU／周辺ハードウェア・クロック周波数

表 20 - 6 A/D 変換時間の選択 (9/11)

(9) A/D 電源安定待ち時間なし標準モード 1（ANI0-7 が対象のケース）

（アドバンスド・モード）

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1						モード	変換クロック（fAD）	変換開始遅延クロック数	変換クロック数注	割り込み出力遅延クロック数	A/D変換時間（変換開始遅延時間＋変換時間＋割り込み出力遅延時間）					
(ADM1)	(ADM0)											2.4 V≦VDD≦5.5 V				2.7 V≦VDD≦5.5 V
ADLSP	FR2	FR1	FR0	LV1	LV0							fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz	fCLK = 48 MHz
0	0	0	0	0	0	標準1	fCLK/32	1 fAD	41 fAD	1 fAD	1376/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	43 μs	28.667 μs
0	0	0	1				fCLK/16	1 fAD	41 fAD	1 fAD	688/fCLK	設定禁止	設定禁止	設定禁止	43 μs	21.5 μs	14.333 μs
0	0	1	0				fCLK/8	1 fAD	41 fAD	1 fAD	344/fCLK	設定禁止	設定禁止	43 μs	21.5 μs	10.75 μs	7.1667 μs
0	0	1	1				fCLK/4	1 fAD	41 fAD	1 fAD	172/fCLK	設定禁止	設定禁止	21.5 μs	10.75 μs	5.375 μs	3.5833 μs
0	1	0	0				fCLK/2	1 fAD	41 fAD	1 fAD	86/fCLK	設定禁止	設定禁止	10.75 μs	5.375 μs	2.6875 μs	1.7917 μs
0	1	0	1				fCLK	1 fAD	41 fAD	1 fAD	43/fCLK	設定禁止	設定禁止	5.375 μs	2.6875 μs	1.3438 μs	0.8958 μs
1	0	1	1				fCLK/4	1 fAD	41 fAD	1 fAD	172/fCLK	設定禁止	43 μs	設定禁止	設定禁止	設定禁止	設定禁止
1	1	0	0				fCLK/2	1 fAD	41 fAD	1 fAD	86/fCLK	設定禁止	21.5 μs	設定禁止	設定禁止	設定禁止	設定禁止
1	1	0	1				fCLK	1 fAD	41 fAD	1 fAD	43/fCLK	43 μs	10.75 μs	設定禁止	設定禁止	設定禁止	設定禁止
上記以外							設定禁止										

注　ADSPMODレジスタのADSPMOD[1:0]に01Bを設定した状態での変換クロック数を示します。

注意1. A/D変換時間は、43.6.1　A/Dコンバータ特性または44.6.1　A/Dコンバータ特性に示す変換クロック（fAD）と変換時間（tCONV）の範囲内で選択してください。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態（ADCS = 0, ADCE = 0）で行ってください。なお、変換待機状態／変換動作状態から変換停止状態にした場合は、変換停止状態で0.2μs以上経過したあとにFR2-FR0, LV1, LV0ビットを設定してください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。
上記起動時間は競合がない状態を示します。競合時の起動時間については、図20 - 5の注2の説明を参照してください。
また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. 同時サンプリングを実施する場合は、以下の条件で行ってください。
ADLSP = 0, FR2-FR0 = 100, LV1-LV0 = 00, fCLK≧32 MHz, VDD ≧ 2.7 V
ADLSP = 0, FR2-FR0 = 101, LV1-LV0 = 00, fCLK≧16 MHz, VDD ≧ 2.7 V

備考　fCLK：CPU／周辺ハードウェア・クロック周波数

(c) 2025. Renesas Electronics Corporation. All rights reserved.

(p. 1131)

表 20 - 6 A/D 変換時間の選択 (10/11)

(10) A/D 電源安定待ち時間なし標準モード 1, 2（ANI0-7, ANI16-30 が対象のケース）

（アドバンスド・モード）

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1						モード	変換クロック（fAD）	変換開始遅延クロック数	変換クロック数注	割り込み出力遅延クロック数	A/D変換時間（変換開始遅延時間＋変換時間＋割り込み出力遅延時間）						
(ADM1)	(ADM0)											2.4 V≦VDD≦5.5 V					2.7 V≦VDD≦5.5 V
ADLSP	FR2	FR1	FR0	LV1	LV0							fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz	fCLK = 48 MHz
0	0	0	0	0	0	標準1	fCLK/32	1 fAD	48 fAD	1 fAD	1600/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	50 μs	33.333 μs
0	0	0	1				fCLK/16	1 fAD	48 fAD	1 fAD	800/fCLK	設定禁止	設定禁止	設定禁止	50 μs	25 μs	16.667 μs
0	0	1	0				fCLK/8	1 fAD	48 fAD	1 fAD	400/fCLK	設定禁止	設定禁止	50 μs	25 μs	12.5 μs	8.3333 μs
1	0	1	1				fCLK/4	1 fAD	261 fAD	1 fAD	1052/fCLK	設定禁止	263 μs	設定禁止	設定禁止	設定禁止	設定禁止
1	1	0	0				fCLK/2	1 fAD	261 fAD	1 fAD	526/fCLK	設定禁止	131.5 μs	設定禁止	設定禁止	設定禁止	設定禁止
1	1	0	1				fCLK	1 fAD	261 fAD	1 fAD	263/fCLK	263 μs	65.75 μs	設定禁止	設定禁止	設定禁止	設定禁止
上記以外							設定禁止										

注　ADSPMODレジスタのADSPMOD[1:0]に00Bを設定した状態での変換クロック数を示します。

注意1. A/D変換時間は、43.6.1　A/Dコンバータ特性または44.6.1　A/Dコンバータ特性に示す変換クロック（fAD）と変換時間（tCONV）の範囲内で選択してください。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態（ADCS = 0, ADCE = 0）で行ってください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。上記起動時間は競合がない状態を示します。競合時の起動時間については、図20 - 5の注2の説明を参照してください。
また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、標準モード2を使用してください。

(略)

表 20 - 6 A/D 変換時間の選択 (10/11)

(10) A/D 電源安定待ち時間なし標準モード 1, 2（ANI0-7, ANI16-30 が対象のケース）

（アドバンスド・モード）

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1						モード	変換クロック（fAD）	変換開始遅延クロック数	変換クロック数注	割り込み出力遅延クロック数	A/D変換時間（変換開始遅延時間＋変換時間＋割り込み出力遅延時間）						
(ADM1)	(ADM0)											2.4 V≦VDD≦5.5 V					2.7 V≦VDD≦5.5 V
ADLSP	FR2	FR1	FR0	LV1	LV0							fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz	fCLK = 48 MHz
0	0	0	0	0	0	標準1	fCLK/32	1 fAD	48 fAD	1 fAD	1600/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	50 μs	33.333 μs
0	0	0	1				fCLK/16	1 fAD	48 fAD	1 fAD	800/fCLK	設定禁止	設定禁止	設定禁止	50 μs	25 μs	16.667 μs
0	0	1	0				fCLK/8	1 fAD	48 fAD	1 fAD	400/fCLK	設定禁止	設定禁止	50 μs	25 μs	12.5 μs	8.3333 μs
1	0	1	1				fCLK/4	1 fAD	261 fAD	1 fAD	1052/fCLK	設定禁止	263 μs	設定禁止	設定禁止	設定禁止	設定禁止
1	1	0	0				fCLK/2	1 fAD	261 fAD	1 fAD	526/fCLK	設定禁止	131.5 μs	設定禁止	設定禁止	設定禁止	設定禁止
1	1	0	1				fCLK	1 fAD	261 fAD	1 fAD	263/fCLK	263 μs	65.75 μs	設定禁止	設定禁止	設定禁止	設定禁止
上記以外							設定禁止										

注　ADSPMODレジスタのADSPMOD[1:0]に00Bを設定した状態での変換クロック数を示します。

注意1. A/D変換時間は、43.6.1　A/Dコンバータ特性または44.6.1　A/Dコンバータ特性に示す変換クロック（fAD）と変換時間（tCONV）の範囲内で選択してください。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態（ADCS = 0, ADCE = 0）で行ってください。なお、変換待機状態／変換動作状態から変換停止状態にした場合は、変換停止状態で0.2μs以上経過したあとにFR2-FR0, LV1, LV0ビットを設定してください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。上記起動時間は競合がない状態を示します。競合時の起動時間については、図20 - 5の注2の説明を参照してください。
また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、標準モード2を使用してください。

(略)

(c) 2025. Renesas Electronics Corporation. All rights reserved.

(p. 1132)

表 20 - 6 A/D 変換時間の選択 (11/11)

(11) A/D 電源安定待ち時間なし低電圧モード 1, 2

（アドバンスド・モード）

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1						モード	変換クロック（fAD）	変換開始遅延クロック数	変換クロック数	割り込み出力遅延クロック数	A/D変換時間（変換開始遅延時間＋変換時間＋割り込み出力遅延時間）					
(ADM1)	(ADM0)											1.6 V≦AVREFP≦VDD≦5.5 V	1.6 V≦AVREFP≦VDD≦5.5 V	1.8 V≦AVREFP≦VDD≦5.5 V	2.4 V≦AVREFP≦VDD≦5.5 V	2.7 V≦AVREFP≦VDD≦5.5 V	2.7 V≦AVREFP≦VDD≦5.5 V
ADLSP	FR2	FR1	FR0	LV1	LV0							fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz	fCLK = 48 MHz
0	0	0	0	1	0	低電圧1	fCLK/32	1 fAD	80 fAD	1 fAD	2624/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	82 μs	54.667 μs
0	0	0	1				fCLK/16	1 fAD	80 fAD	1 fAD	1312/fCLK	設定禁止	設定禁止	設定禁止	82 μs	41 μs	27.333 μs
0	0	1	0				fCLK/8	1 fAD	80 fAD	1 fAD	656/fCLK	設定禁止	設定禁止	82 μs	41 μs	20.5 μs	13.667 μs
1	0	1	1				fCLK/4	1 fAD	107 fAD	1 fAD	436/fCLK	設定禁止	109 μs	設定禁止	設定禁止	設定禁止	設定禁止
1	1	0	1				fCLK	1 fAD	107 fAD	1 fAD	109/fCLK	109 μs	27.25 μs	設定禁止	設定禁止	設定禁止	設定禁止
上記以外							設定禁止										

注意1. A/D変換時間は、43.6.1　A/Dコンバータ特性または44.6.1　A/Dコンバータ特性に示す変換クロック（fAD）と変換時間（tCONV）の範囲内で選択してください。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態（ADCS = 0, ADCE = 0）で行ってください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。上記起動時間は競合がない状態を示します。競合時の起動時間については、図20 - 5の注2の説明を参照してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、低電圧モード2を使用し、かつ変換クロック（fAD）は16 MHz以下で使用してください。

注意5. +側の基準電圧に内部基準電圧を選択したときは、変換クロック（fAD）は1～2 MHzとなります。

注意6. 変換対象にPGA出力を選択したときは、低電圧モード1を使用してください。

注意7. 低電圧モード1, 2で同時サンプリングを実施することは禁止です。

備考　fCLK：CPU／周辺ハードウェア・クロック周波数

表 20 - 6 A/D 変換時間の選択 (11/11)

(11) A/D 電源安定待ち時間なし低電圧モード 1, 2

（アドバンスド・モード）

A/Dコンバータ・モード・レジスタ0 A/Dコンバータ・モード・レジスタ1						モード	変換クロック（fAD）	変換開始遅延クロック数	変換クロック数	割り込み出力遅延クロック数	A/D変換時間（変換開始遅延時間＋変換時間＋割り込み出力遅延時間）					
(ADM1)	(ADM0)											1.6 V≦AVREFP≦VDD≦5.5 V	1.6 V≦AVREFP≦VDD≦5.5 V	1.8 V≦AVREFP≦VDD≦5.5 V	2.4 V≦AVREFP≦VDD≦5.5 V	2.7 V≦AVREFP≦VDD≦5.5 V	2.7 V≦AVREFP≦VDD≦5.5 V
ADLSP	FR2	FR1	FR0	LV1	LV0							fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz	fCLK = 48 MHz
0	0	0	0	1	0	低電圧1	fCLK/32	1 fAD	80 fAD	1 fAD	2624/fCLK	設定禁止	設定禁止	設定禁止	設定禁止	82 μs	54.667 μs
0	0	0	1				fCLK/16	1 fAD	80 fAD	1 fAD	1312/fCLK	設定禁止	設定禁止	設定禁止	82 μs	41 μs	27.333 μs
0	0	1	0				fCLK/8	1 fAD	80 fAD	1 fAD	656/fCLK	設定禁止	設定禁止	82 μs	41 μs	20.5 μs	13.667 μs
1	0	1	1				fCLK/4	1 fAD	107 fAD	1 fAD	436/fCLK	設定禁止	109 μs	設定禁止	設定禁止	設定禁止	設定禁止
1	1	0	1				fCLK	1 fAD	107 fAD	1 fAD	109/fCLK	109 μs	27.25 μs	設定禁止	設定禁止	設定禁止	設定禁止
上記以外							設定禁止										

注意1. A/D変換時間は、43.6.1　A/Dコンバータ特性または44.6.1　A/Dコンバータ特性に示す変換クロック（fAD）と変換時間（tCONV）の範囲内で選択してください。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態（ADCS = 0, ADCE = 0）で行ってください。なお、変換待機状態／変換動作状態から変換停止状態にした場合は、変換停止状態で0.2μs以上経過したあとにFR2-FR0, LV1, LV0ビットを設定してください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。上記起動時間は競合がない状態を示します。競合時の起動時間については、図20 - 5の注2の説明を参照してください。また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. 変換対象に内部基準電圧、または温度センサ出力電圧を選択したときは、低電圧モード2を使用し、かつ変換クロック（fAD）は16 MHz以下で使用してください。

注意5. +側の基準電圧に内部基準電圧を選択したときは、変換クロック（fAD）は1～2 MHzとなります。

注意6. 変換対象にPGA出力を選択したときは、低電圧モード1を使用してください。

注意7. 低電圧モード1, 2で同時サンプリングを実施することは禁止です。

備考　fCLK：CPU／周辺ハードウェア・クロック周波数

(c) 2025. Renesas Electronics Corporation. All rights reserved.

3. 20.3.4 A/D コンバータ・モード・レジスタ 1（ADM1）(p. 1134)

誤）

(略)

注意1. ADM1レジスタを書き換える場合は、必ず変換停止状態（ADCS = 0, ADCE = 0）のときに行ってください。

注意2. A/D変換を完了させるためには、ハードウエア・トリガ間隔を次の時間以上としてください。

ハードウエア・トリガ・ノーウエイト・モード時：f_{CLK}の2クロック + 変換起動時間 + A/D変換時間

ハードウエア・トリガ・ウエイト・モード時：**f_{CLK}の2クロック + 変換起動時間 + A/D電源安定待ち時間 + A/D変換時間**

正）

(略)

注意1. ADM1レジスタを書き換える場合は、必ず変換停止状態（ADCS = 0, ADCE = 0）のときに行ってください。

注意2. A/D変換を完了させるためには、ハードウエア・トリガ間隔を次の時間以上としてください。

ハードウエア・トリガ・ノーウエイト・モード時：f_{CLK}の2クロック + 変換起動時間 + A/D変換時間

ハードウエア・トリガ・ウエイト・モード時：f_{CLK}の2クロック + 変換起動時間 + A/D電源安定待ち時間 + A/D変換時間 + 5μs

(c) 2025. Renesas Electronics Corporation. All rights reserved.

4. 20.3.5 A/D コンバータ・モード・レジスタ 2（ADM2）(p. 1136, p. 1137)

誤）

(p. 1136)

図20 - 8 A/Dコンバータ・モード・レジスタ2（ADM2）のフォーマット (1/2)

アドレス ：F0010H
リセット時：00H
R/W属性 ：R/W

略号	7	6	5	4	<3>	<2>	<1>	<0>
ADM2	ADREFP1	ADREFP0	ADREFM	0	ADRCK	AWC	ADTYP1	ADTYP0

ADREFP1	ADREFP0	A/Dコンバータの＋側の基準電圧の選択
0	0	VDDから供給
0	1	P20/AVREFP/ANI0から供給
1	0	内部基準電圧から供給注1
1	1	ディスチャージ

- ADREFP[1:0]ビットを書き換える場合、次の手順で設定してください。
  ① ADCE = 0に設定
  ② ADREFP[1:0] = 11Bに設定
  ADREFP[1:0] = 10Bに変更する場合のみ
  ③ 基準電圧ディスチャージ時間：1 μs
  ADREFP[1:0] = 10Bに変更する場合のみ
  ④ ADREFP[1:0]ビットの値を変更
  ⑤ 基準電圧安定待ち時間A
  ⑥ ADCE = 1に設定
  ⑦ 基準電圧安定待ち時間B
  ADREFP[1:0] = 10Bに変更する場合：A = 5 μs, B = 1 μs +変換クロック（fAD）の2クロック
  ADREFP[1:0] = 00Bまたは01Bに変更する場合：**Aはウエイト不要**、B = 1 μs +変換クロック（fAD）の2クロック
  ⑦のウエイトのあとに、A/D変換開始してください。
- ADREFP[1:0] = 10Bに設定した場合、温度センサ出力電圧と内部基準電圧注1をA/D変換することはできません。
  必ずADISS = 0としてA/D変換を行ってください。

(略)

正）

図20 - 8 A/Dコンバータ・モード・レジスタ2（ADM2）のフォーマット (1/2)

アドレス ：F0010H
リセット時：00H
R/W属性 ：R/W

略号	7	6	5	4	<3>	<2>	<1>	<0>
ADM2	ADREFP1	ADREFP0	ADREFM	0	ADRCK	AWC	ADTYP1	ADTYP0

ADREFP1	ADREFP0	A/Dコンバータの＋側の基準電圧の選択
0	0	VDDから供給
0	1	P20/AVREFP/ANI0から供給
1	0	内部基準電圧から供給注1
1	1	ディスチャージ

- ADREFP[1:0]ビットを書き換える場合、次の手順で設定してください。
  ① ADCE = 0に設定
  ② 0.2μs以上をウエイト
  ③ ADREFP[1:0] = 11Bに設定
  ADREFP[1:0] = 10Bに変更する場合のみ
  ④ 基準電圧ディスチャージ時間：1 μs
  ADREFP[1:0] = 10Bに変更する場合のみ
  ⑤ ADREFP[1:0]ビットの値を変更
  ⑥ 基準電圧安定待ち時間A
  ⑦ ADCE = 1に設定
  ⑧ 基準電圧安定待ち時間B
  ADREFP[1:0] = 10Bに変更する場合：A = 5 μs, B = 1 μs +変換クロック（fAD）の2クロック
  ADREFP[1:0] = 00Bまたは01Bに変更する場合：A=4.8us、B = 1 μs +変換クロック（fAD）の2クロック
  ⑧のウエイトのあとに、A/D変換開始してください。
- ADREFP[1:0] = 10Bに設定した場合、温度センサ出力電圧と内部基準電圧注1をA/D変換することはできません。
  必ずADISS = 0としてA/D変換を行ってください。

(略)

(c) 2025. Renesas Electronics Corporation. All rights reserved.

(p. 1137)

(略)

AWC	SNOOZE モードの設定
0	SNOOZE モード機能を使用しない
1	SNOOZE モード機能を使用する

STOPモード中のハードウェア・トリガ信号で、STOPモードを解除し、CPUを動作させることなくA/D変換を行います（SNOOZEモード）。

・SNOOZEモード機能は、CPU／周辺ハードウェア・クロック（f_{CLK}）に高速オンチップ・オシレータ・クロック、または中速オンチップ・オシレータ・クロックが選択されているときのみ設定可能です。高速オンチップ・オシレータ・クロック、または中速オンチップ・オシレータ・クロック以外が選択されている場合は設定禁止です。

・SNOOZEモード機能を使用するとき、ソフトウェア・トリガ・ウエイト・モード時はAWC = 0、ハードウェア・トリガ・ウエイト・モード時はAWC = 1に設定してください。

・ソフトウェア・トリガ・ノーウエイト・モード、ハードウェア・トリガ・ノーウエイト・モード、およびアドバンスド・モードでのSNOOZEモード機能は使用禁止です。

・ハードウェア・トリガ・ウエイト・モードの連続変換モードでのSNOOZEモード機能は使用禁止です。

・SNOOZEモード機能を使用するとき、ハードウェア・トリガ間隔は、**「SNOOZEモードの遷移時間[注2] +変換起動時間+ A/D電源安定待ち時間+ A/D変換時間+ f_{CLK}の2クロック」**以上の間隔を空けて設定してください。

・SNOOZE機能を使用する場合でも、通常動作時はAWCビットを0に設定し、STOPモードへ移行する直前にAWC = 1に変更してください。

またSTOPモードから通常動作へ復帰後、必ずAWCビットを0に変更してください。

AWC = 1のままでは、その後のSNOOZEモード、通常動作に関係なく正常にA/D変換が開始されません。

(略)

(略)

AWC	SNOOZE モードの設定
0	SNOOZE モード機能を使用しない
1	SNOOZE モード機能を使用する

STOPモード中のハードウェア・トリガ信号で、STOPモードを解除し、CPUを動作させることなくA/D変換を行います（SNOOZEモード）。

・SNOOZEモード機能は、CPU／周辺ハードウェア・クロック（f_{CLK}）に高速オンチップ・オシレータ・クロック、または中速オンチップ・オシレータ・クロックが選択されているときのみ設定可能です。高速オンチップ・オシレータ・クロック、または中速オンチップ・オシレータ・クロック以外が選択されている場合は設定禁止です。

・SNOOZEモード機能を使用するとき、ソフトウェア・トリガ・ウエイト・モード時はAWC = 0、ハードウェア・トリガ・ウエイト・モード時はAWC = 1に設定してください。

・ソフトウェア・トリガ・ノーウエイト・モード、ハードウェア・トリガ・ノーウエイト・モード、およびアドバンスド・モードでのSNOOZEモード機能は使用禁止です。

・ハードウェア・トリガ・ウエイト・モードの連続変換モードでのSNOOZEモード機能は使用禁止です。

・SNOOZEモード機能を使用するとき、ハードウェア・トリガ間隔は、「SNOOZEモードの遷移時間[注2] +変換起動時間+ A/D電源安定待ち時間+ A/D変換時間+ f_{CLK}の2クロック + 5us」以上の間隔を空けて設定してください。

・SNOOZE機能を使用する場合でも、通常動作時はAWCビットを0に設定し、STOPモードへ移行する直前にAWC = 1に変更してください。

またSTOPモードから通常動作へ復帰後、必ずAWCビットを0に変更してください。

AWC = 1のままでは、その後のSNOOZEモード、通常動作に関係なく正常にA/D変換が開始されません。

(略)

(c) 2025. Renesas Electronics Corporation. All rights reserved.

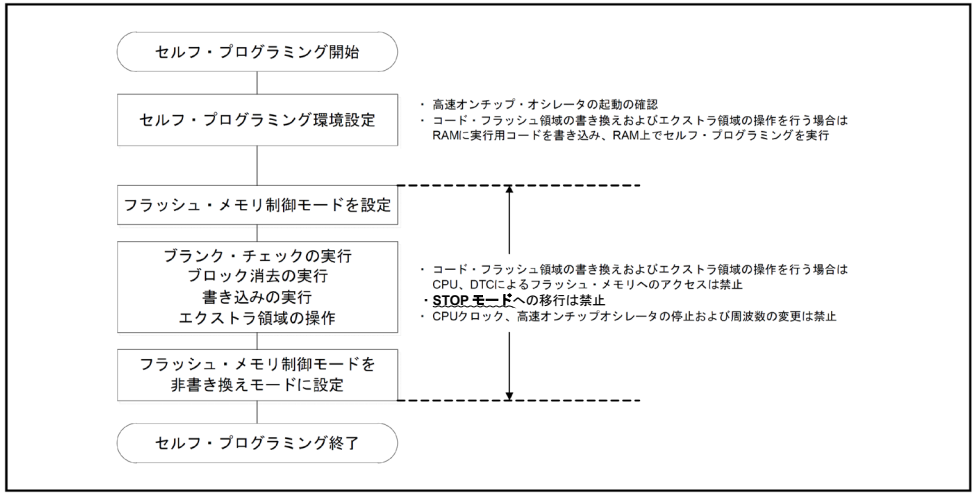
5. 39.6.1 セルフ・プログラミング手順 (p.1811)

誤）

セルフ・プログラミングを利用してフラッシュ・メモリの書き換えを行う流れを示します。

セルフ・プログラミングで使用するレジスタの詳細は、39.6.2　フラッシュ・メモリを制御するレジスタを参照してください。

図 39 - 8 セルフ・プログラミング（フラッシュ・メモリの書き換え）の流れ

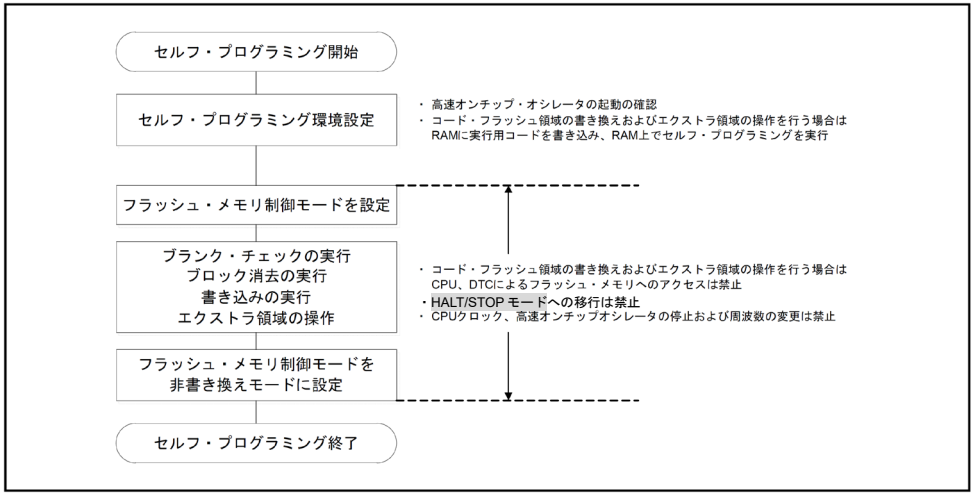


正）

セルフ・プログラミングを利用してフラッシュ・メモリの書き換えを行う流れを示します。

セルフ・プログラミングで使用するレジスタの詳細は、39.6.2　フラッシュ・メモリを制御するレジスタを参照してください。

図 39 - 8 セルフ・プログラミング（フラッシュ・メモリの書き換え）の流れ



(c) 2025. Renesas Electronics Corporation. All rights reserved.

6. 39.10.1 データ・フラッシュの概要 (p.1862)

誤）

データ・フラッシュの概要は次のとおりです。

（略）

・データ・フラッシュの書き換え中に、DFLCTL レジスタを操作することは禁止

・データ・フラッシュの書き換え中に、**STOP モード**状態に遷移することは禁止

（略）

正）

データ・フラッシュの概要は次のとおりです。

（略）

・データ・フラッシュの書き換え中に、DFLCTL レジスタを操作することは禁止

・データ・フラッシュの書き換え中に、HALT/STOP モード状態に遷移することは禁止

（略）

(c) 2025. Renesas Electronics Corporation. All rights reserved.

7. 40.3 オンチップ・デバッグのセキュリティ設定 (p.1865)

誤）

第三者からメモリの内容を読み取られないために、以下のオンチップ・デバッグ機能を用意しています。

・プログラマ・オンチップ・デバッガ接続禁止設定（39.9　セキュリティ設定を参照）
・ フラッシュ・メモリの000C3Hにオンチップ・デバッグ動作制御ビット（第38章　オプション・バイトを参照）
・ 000C4H-000CDH注にオンチップ・デバッグ・セキュリティID設定領域

注　オンチップ・デバッグ・セキュリティ・ID設定領域は、プログラマ接続ID認証のIDコード設定領域と共用しています。

表 40 - 1 オンチップ・デバッグ・セキュリティ ID

アドレス	オンチップ・デバッグ・セキュリティ IDコード
000C4H-000CDH	10 バイトの任意の ID コード注
040C4H-040CDH	

注　“FFFFFFFFFFFFFFFFFFFFH”は設定できません。

正）

第三者からメモリの内容を読み取られないために、以下のオンチップ・デバッグ機能を用意しています。

・プログラマ・オンチップ・デバッガ接続禁止設定（39.9　セキュリティ設定を参照）
・ フラッシュ・メモリの000C3Hにオンチップ・デバッグ動作制御ビット（第38章　オプション・バイトを参照）
・ 000C4H-000CDH注にオンチップ・デバッグ・セキュリティID設定領域

注　オンチップ・デバッグ・セキュリティ・ID設定領域は、プログラマ接続ID認証のIDコード設定領域と共用しています。

表 40 - 1 オンチップ・デバッグ・セキュリティ ID

アドレス	オンチップ・デバッグ・セキュリティ IDコード
000C4H-000CDH	10 バイトの任意の ID コード注1, 2
040C4H-040CDH	

注1. “FFFFFFFFFFFFFFFFFFFFH”は設定できません。
注2. ブート・スワップ使用時およびFLSECレジスタのBTFLGビットが0の状態のときには000C4H-000CDHと040C4H-040CDHに10バイトのオンチップ・デバッグ・セキュリティIDを設定してください。

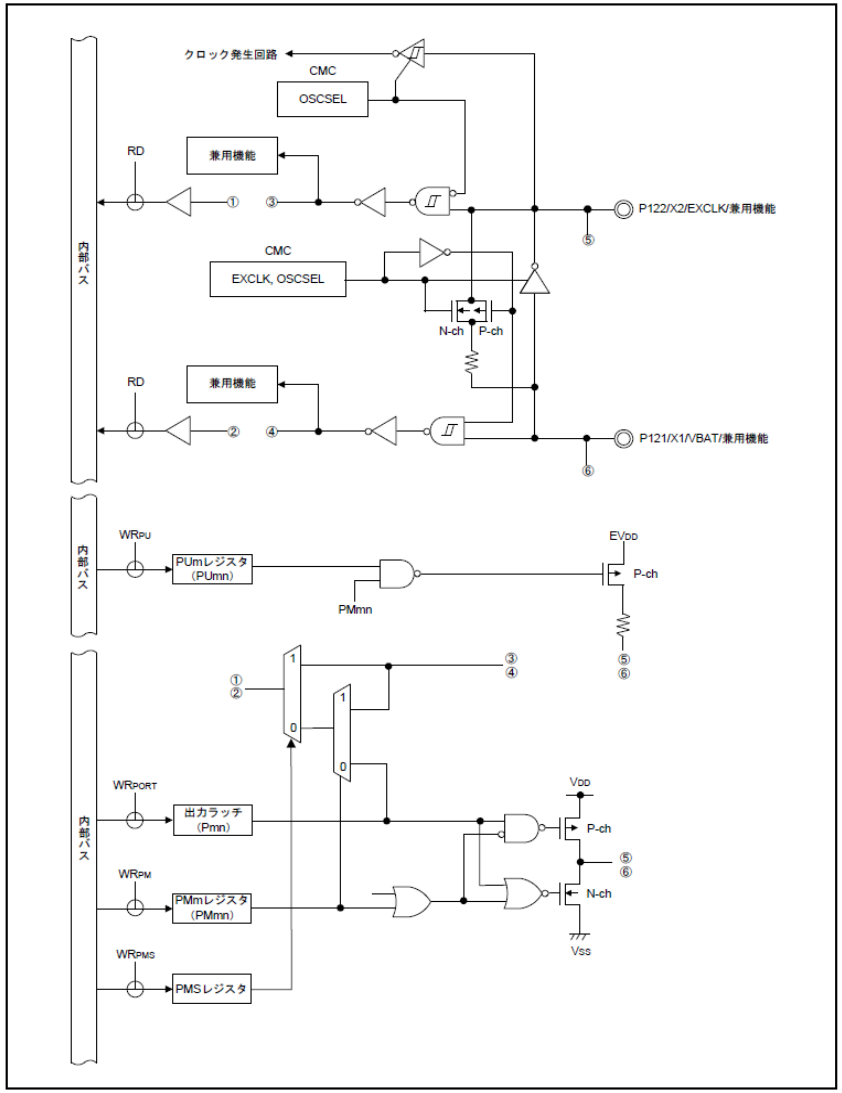
(c) 2025. Renesas Electronics Corporation. All rights reserved.

8. 2.4 端子ブロック図 (p.91, p.98, p.104, p.105, p.106)

誤）

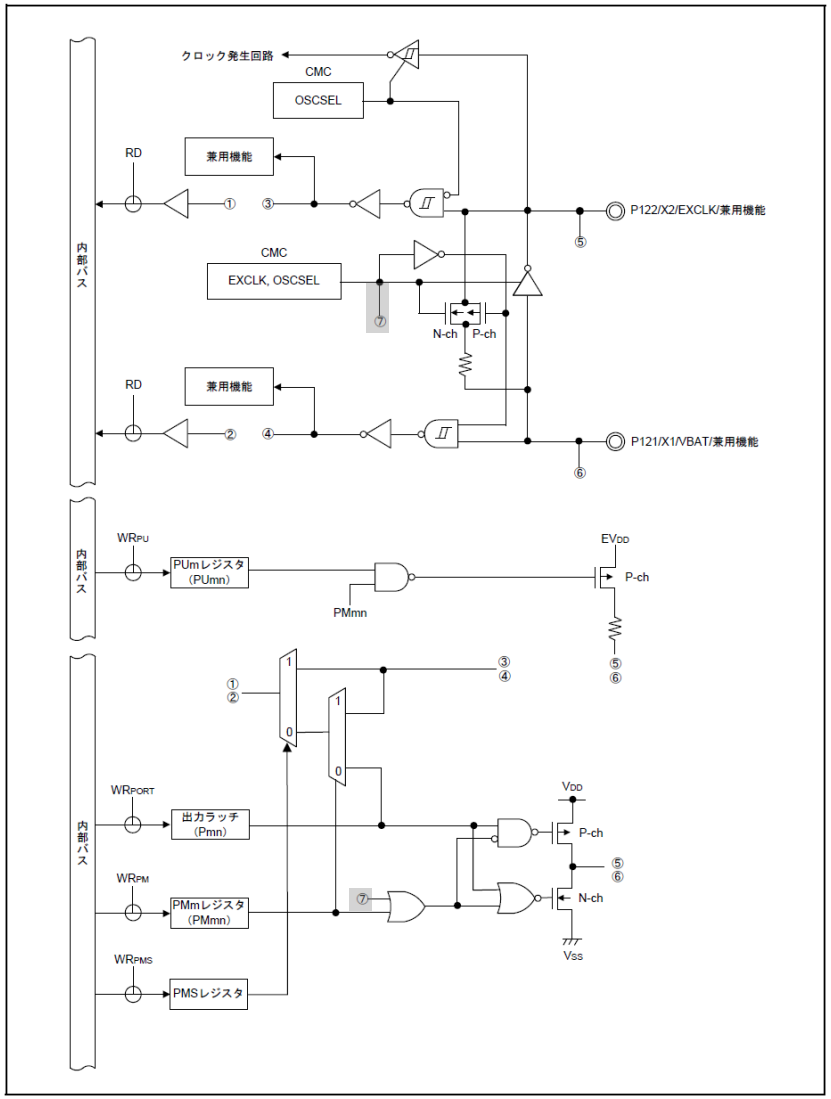
(p. 91)

図 2 - 13 端子タイプ 7-2-1 の端子ブロック図



正）

図 2 - 13 端子タイプ 7-2-1 の端子ブロック図



(c) 2025. Renesas Electronics Corporation. All rights reserved.

(p. 98)

図 2 - 20 端子タイプ 7-38-3 の端子ブロック図

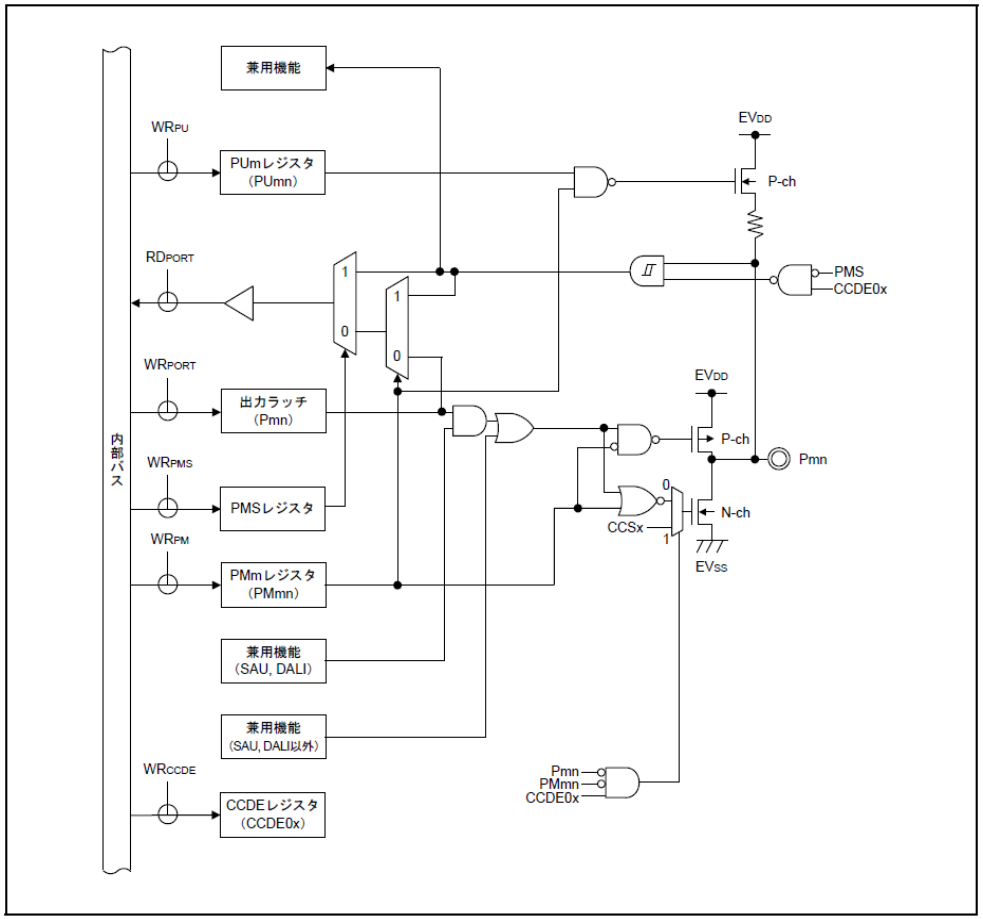
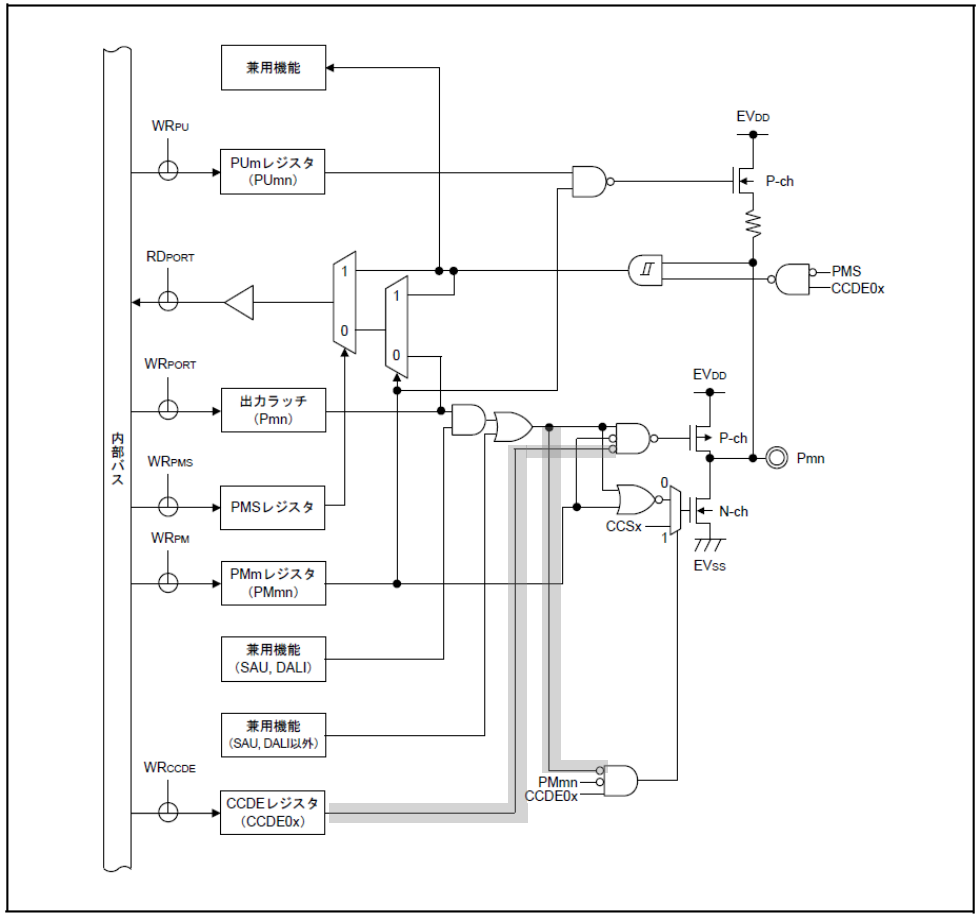


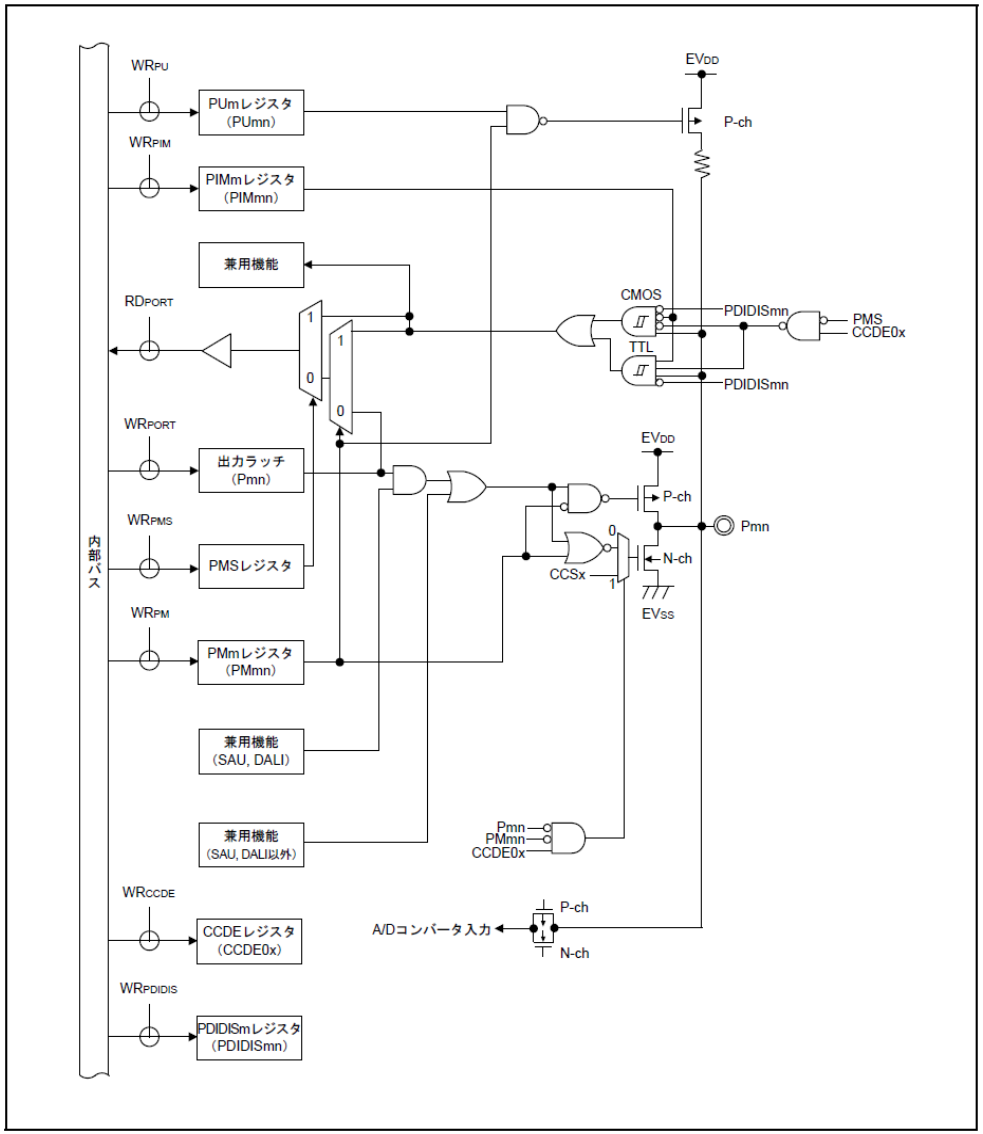
図 2 - 20 端子タイプ 7-38-3 の端子ブロック図

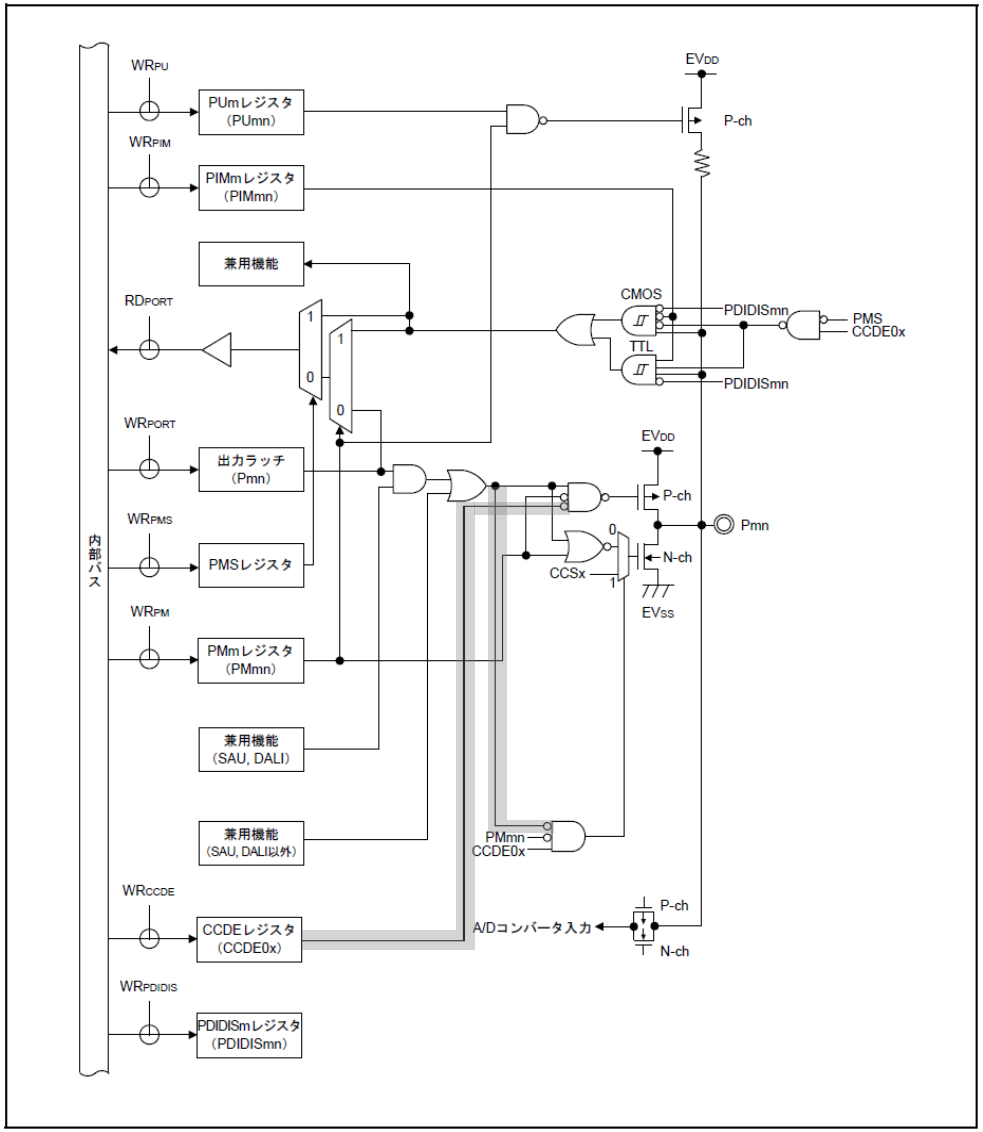


(c) 2025. Renesas Electronics Corporation. All rights reserved.

(p. 104)

図 2 - 26 端子タイプ 8-41-1 の端子ブロック図





(c) 2025. Renesas Electronics Corporation. All rights reserved.

(p. 105)

図 2 – 27 端子タイプ 8-41-2 の端子ブロック図

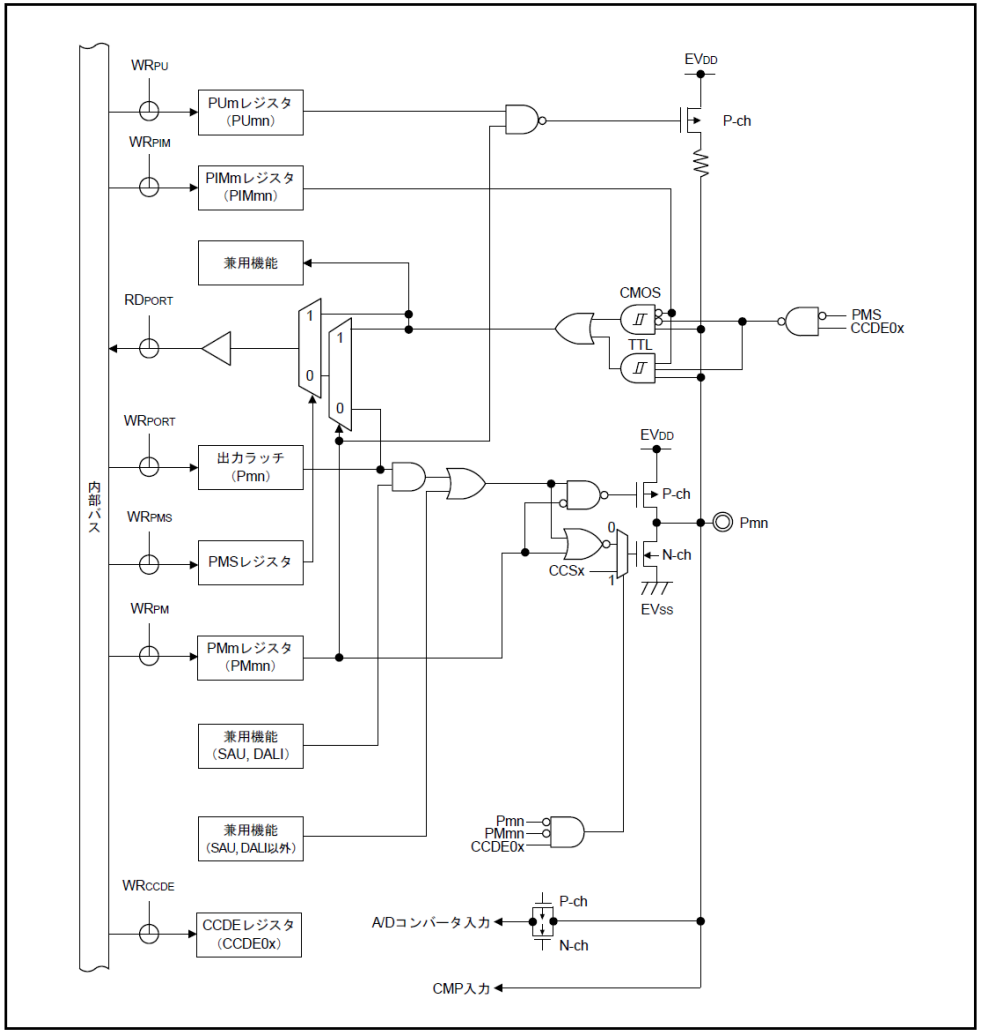
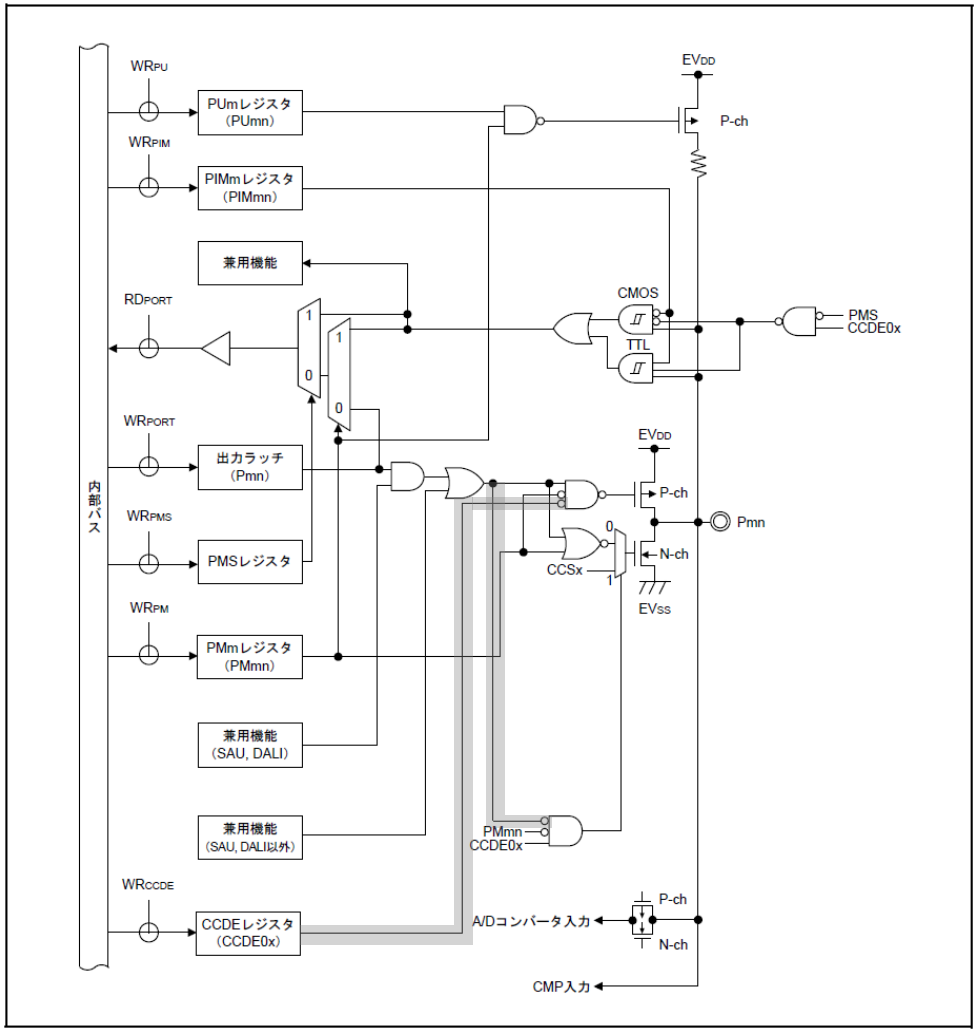


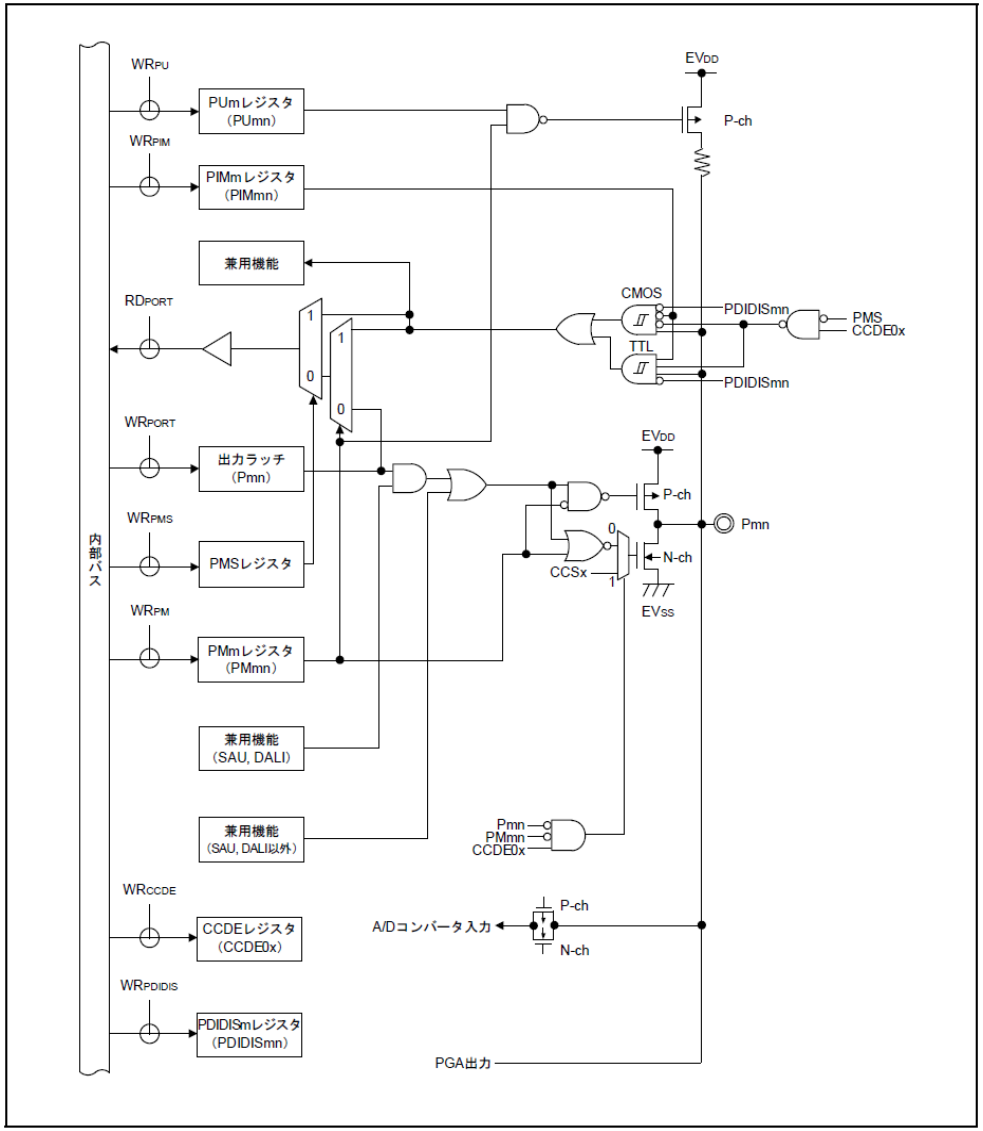
図 2 - 27 端子タイプ 8-41-2 の端子ブロック図

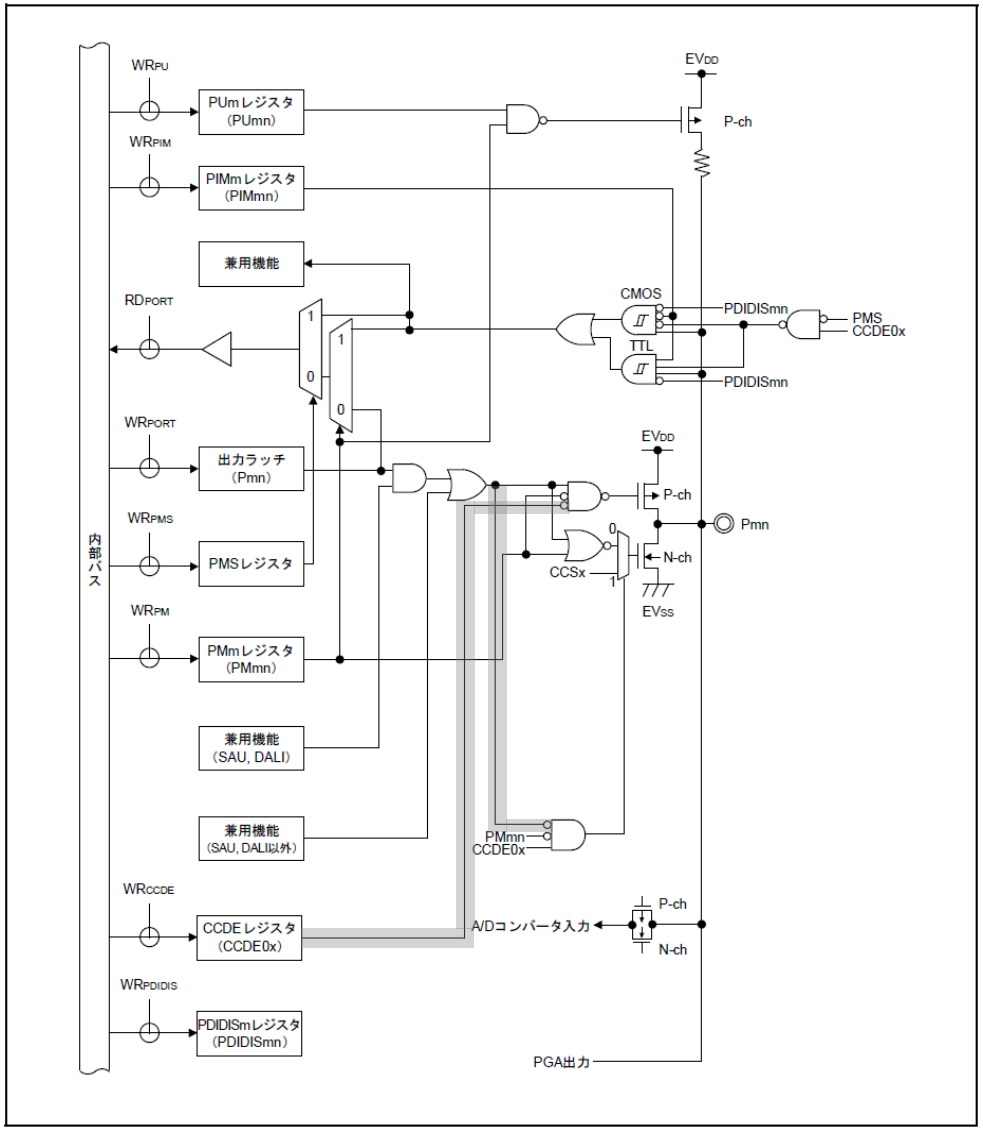


(c) 2025. Renesas Electronics Corporation. All rights reserved.

(p. 106)

図 2 – 28 端子タイプ 8-42-1 の端子ブロック図

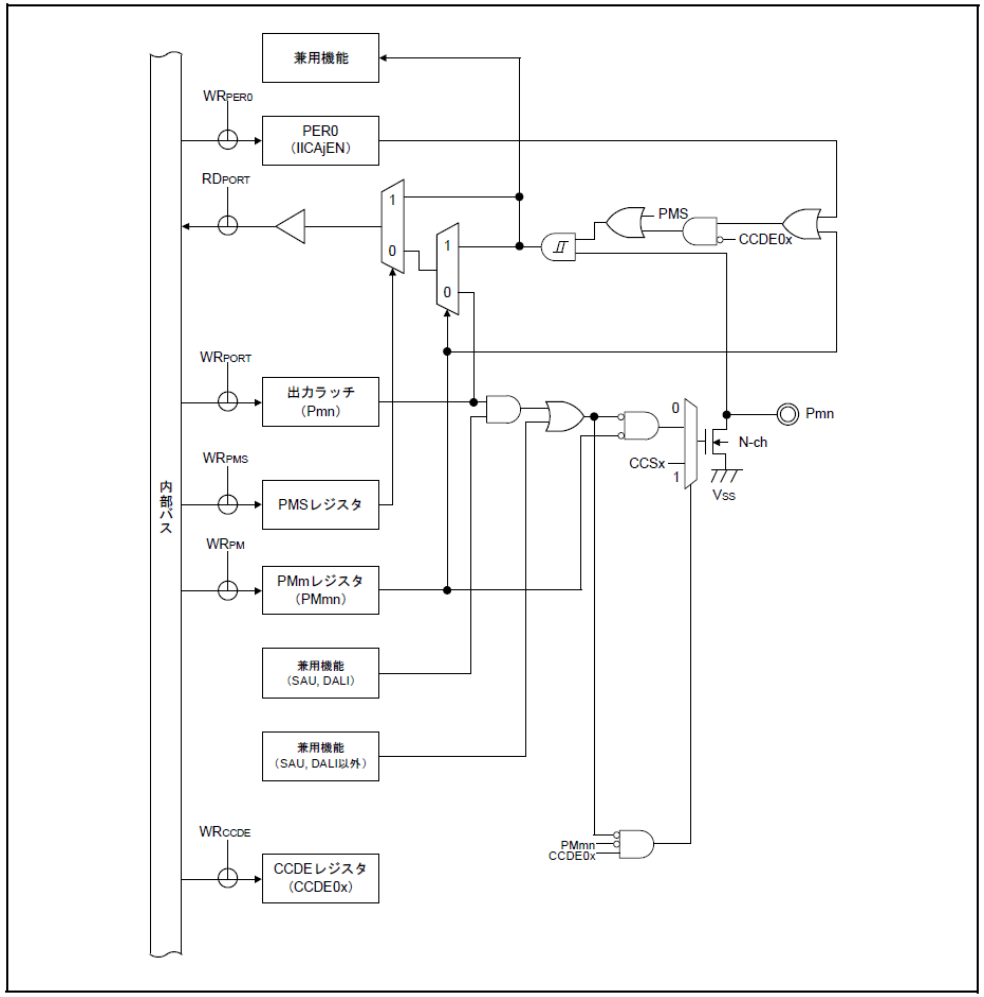




(c) 2025. Renesas Electronics Corporation. All rights reserved.

下図を追加

図 2 - 29 端子タイプ 12-38-2 の端子ブロック図



(c) 2025. Renesas Electronics Corporation. All rights reserved.

9. 20.3.9 アナログ入力チャネル指定レジスタ（ADS）(p. 1144)

誤）

(略)

注意8. STOPモードへ移行またはサブシステム・クロックでCPU動作中にHALTモードへ移行する場合は、ADISS = 1に設定しないでください。ADISS = 1のときは、43.3.2 電源電流特性または44.3.2　電源電流特性に示すA/Dコンバータ基準電圧電流（IADREF）の電流値が加算されます。

注意9. ADISS = 1に設定した場合、ハードウェア・トリガ・ウエイト・モードかつワンショット変換モードは使用できません。

注意 10. アドバンスド・モード ON のとき（ADM3.ADVMOD = 1）、ADS レジスタは 00H に設定してください。

正）

(略)

注意8. STOPモードへ移行またはサブシステム・クロックでCPU動作中にHALTモードへ移行する場合は、ADISS = 1に設定しないでください。ADISS = 1のときは、43.3.2 電源電流特性または44.3.2　電源電流特性に示すA/Dコンバータ基準電圧電流（IADREF）の電流値が加算されます。

注意9. ADISS = 1に設定した場合、ハードウェア・トリガ・ウエイト・モードかつワンショット変換モードは使用できません。

注意 10. ADISS = 1 に設定した場合、ソフトウェア・トリガ・ウエイト・モードかつワンショット変換モードは使用できません。

注意 11. アドバンスド・モード ON のとき（ADM3.ADVMOD = 1）、ADS レジスタは 00H に設定してください。

(c) 2025. Renesas Electronics Corporation. All rights reserved.

10. 20.3.10 アナログ入力チャネル指定レジスタ n（アドバンスド）（ADSn）（n = 0-3）(p. 1146)

誤）

(略)

注意 **10.**標準 **2** モードと低電圧 **2** モードでは、**PGA** 入力を変換対象として選択することは禁止です。

注意 11.PGA, DAC, CMP などで使用する ANI を ADSn レジスタで変換対象とすることは禁止です。

注意 12.ADSPSCn[1:0]ビットに **10B** もしくは **11B** を設定する場合、**ADSn[4:0]**ビットは **00000B** を設定してください。

正）

注 11 を削除

(略)

注意 **10.**標準 **2** モードと低電圧 **2** モードでは、**PGA** 入力を変換対象として選択することは禁止です。

注意 **11.ADSPSCn[1:0]**ビットに **10B** もしくは **11B** を設定する場合、**ADSn[4:0]**ビットは **00000B** を設定してください。

(c) 2025. Renesas Electronics Corporation. All rights reserved.

11. 20.6.2 ソフトウェア・トリガ・ノーウエイト・モード（セレクト・モード、ワンショット変換モード）(p. 1159)

誤）

（略）

注意 変換動作中に上記④、⑤、⑥を検出した場合、次の変換クロック（**fAD**）の立ち上がりから自動的に再変換動作を開始します。再変換動作**1**回目の変換時間は、ソフトウェア・トリガ・ウエイト・モード／ハードウェア・トリガ・ウエイト・モードの**A/D**電源安定待ち時間ありの場合と同じ時間になります。（表**20 - 6 A/D**変換時間の選択 **(3/11)**、表**20 - 6 A/D**変換時間の選択 **(4/11)** 参照）

正）

（略）

注意1. 変換動作中に上記④、⑤、⑥を検出した場合、次の変換クロック（**fAD**）の立ち上がりから自動的に再変換動作を開始します。再変換動作**1**回目の変換時間は、ソフトウェア・トリガ・ウエイト・モード／ハードウェア・トリガ・ウエイト・モードの**A/D**電源安定待ち時間ありの場合と同じ時間になります。（表**20 - 6 A/D**変換時間の選択 **(3/11)**、表**20 - 6 A/D**変換時間の選択 **(4/11)**参照）

注意2. ソフトウエア・トリガ・ウエイト・モード（セレクト・モード、ワンショット変換モード）では、ADISS = 1の設定（入力ソース = 温度センサ出力電圧、内部基準電圧）は使用できません。

(c) 2025. Renesas Electronics Corporation. All rights reserved.

12. 24.3.8 シリアル・ステータス・レジスタ mn（SSRmn）（mn = 00-03, 10, 11）(p. 1289)

誤）

(略)

注意1. BFFmn = 1のときにSDRmnレジスタに書き込みをすると、格納されている送信／受信データが破壊され、オーバラン・エラー（OVFmn = 1）と検出されます。

注意 2. SNOOZE モード（SWCm = 1）で簡易 SPI（CSI）受信する場合、OVFmn フラグは動作しません。

(略)

正）

(略)

注意1. BFFmn = 1のときにSDRmnレジスタに書き込みをすると、格納されている送信／受信データが破壊され、オーバラン・エラー（OVFmn = 1）と検出されます。

注意 2. SNOOZE モード（SWCm = 1）で簡易 SPI（CSI）受信する場合、OVFmn フラグおよび BFFmn フラグは動作しません。

(略)

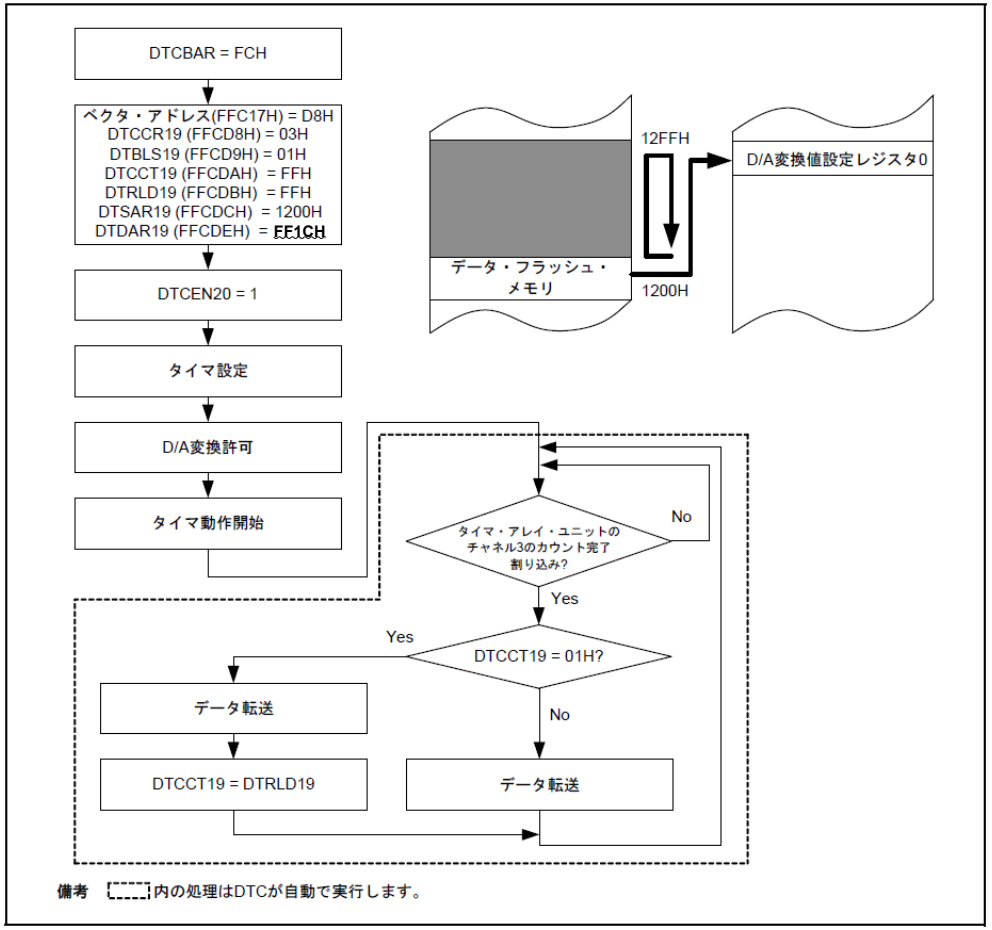
(c) 2025. Renesas Electronics Corporation. All rights reserved.

13. 27.4.3 リピート・モード (p.1641)

誤）

(略)

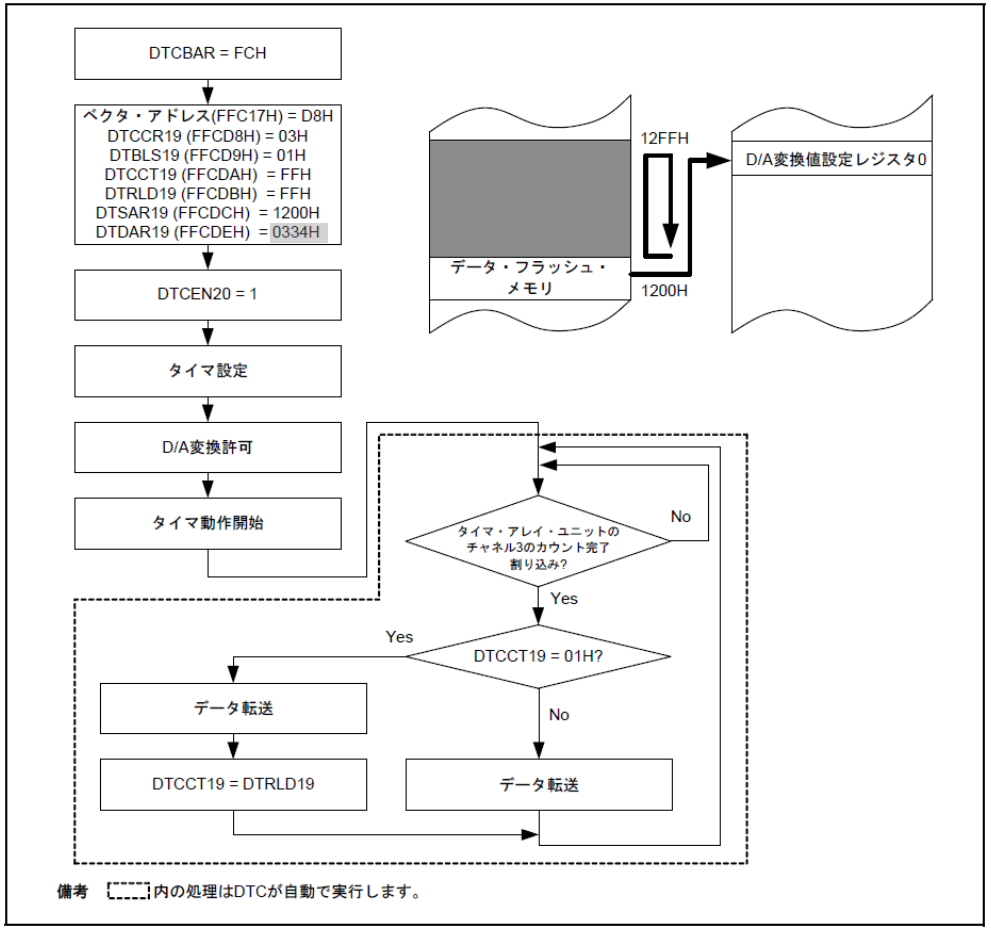
図 27 - 20 リピート・モードの使用例 2：D/A コンバータを使ったサイン波出力



正）

(略)

図 27 - 20 リピート・モードの使用例 2：D/A コンバータを使ったサイン波出力



(c) 2025. Renesas Electronics Corporation. All rights reserved.

14. 29.4 割り込み処理動作 (p.1681, p.1683)

誤）

(p. 1681)

(略)

表29 - 4　ベクタ割り込み処理までの時間

	最小時間	最大時間注
処理時間（PFBE = 0設定時）	9クロック	16クロック
処理時間（PFBE = 1設定時）	11クロック	20クロック

(略)

正）

(略)

表29 - 4　マスカブル割り込み要求発生からベクタ割り込み処理までの時間

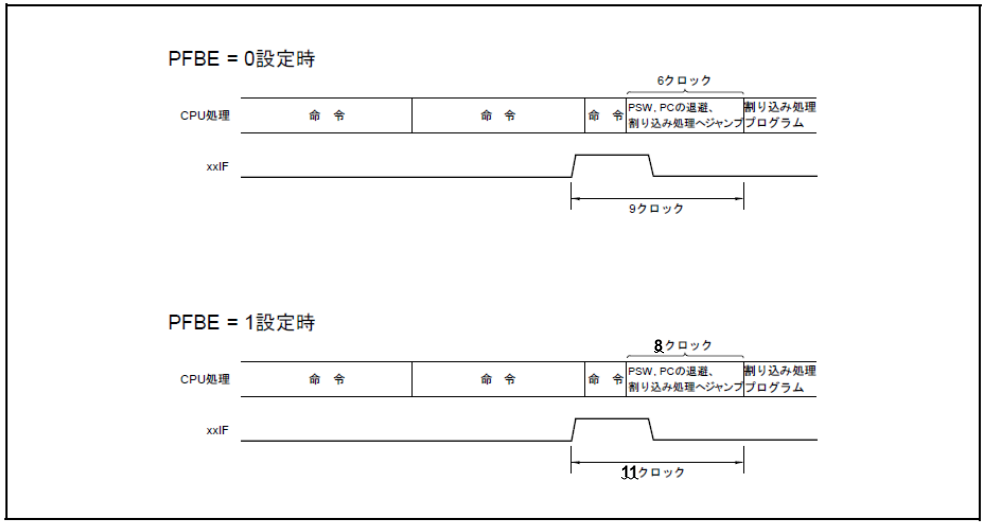
	最小時間	最大時間注
処理時間（PFBE = 0設定時）	9クロック	16クロック
処理時間（PFBE = 1設定時）	13クロック	24クロック

(略)

(c) 2025. Renesas Electronics Corporation. All rights reserved.

(p. 1683)

図29 - 8　割り込み要求の受け付けタイミング（最小時間）



備考　1クロック：1/fCLK（fCLK：CPUクロック）

図29 - 9　割り込み要求の受け付けタイミング（最大時間）

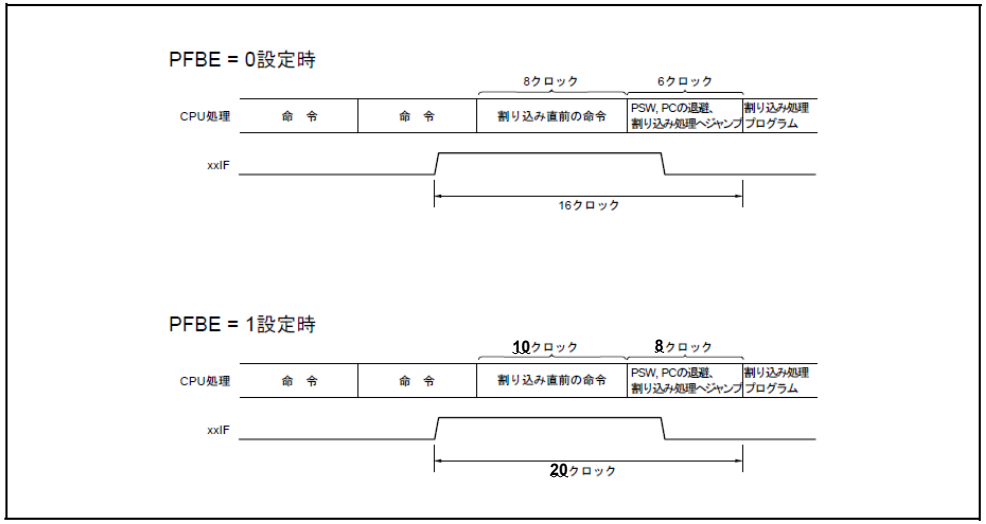
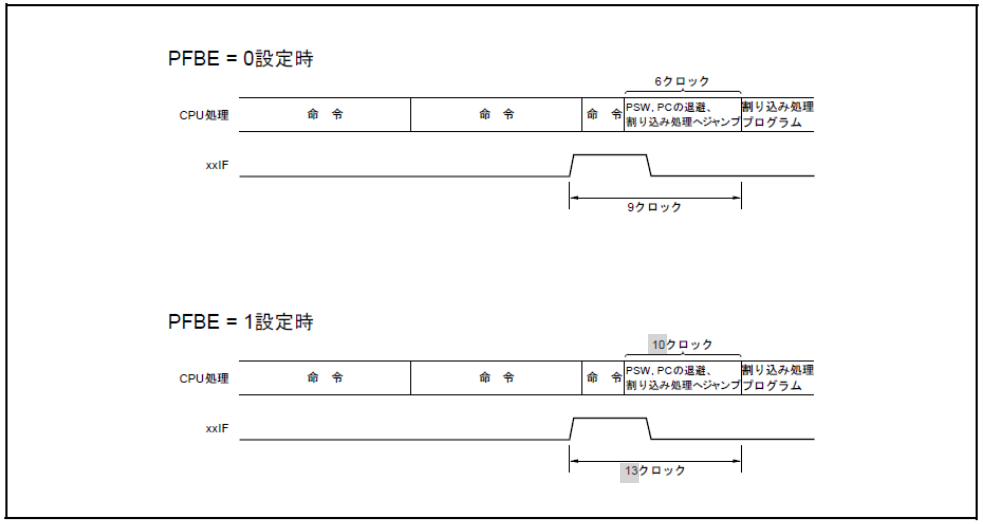
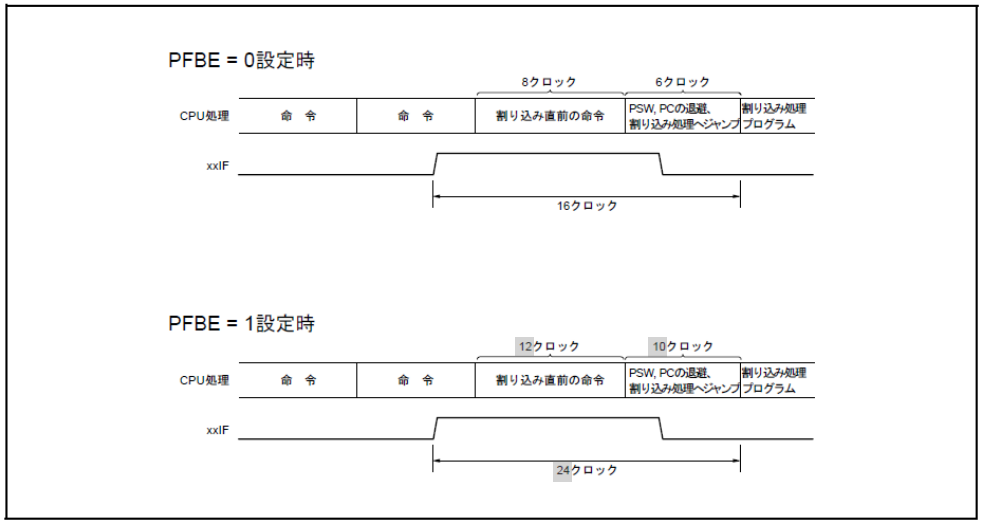


図29 - 8　割り込み要求の受け付けタイミング（最小時間）



備考　1クロック：1/fCLK（fCLK：CPUクロック）

図29 - 9　割り込み要求の受け付けタイミング（最大時間）



(c) 2025. Renesas Electronics Corporation. All rights reserved.

15. 42.2 オペレーション一覧 (p.1891)

誤）

表42 - 5　オペレーション一覧 (17/18)

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
スタック操作	PUSH	PSW	2	1	—	(SP – 1) ← PSW, (SP – 2) ← 00H, SP ← SP – 2			
		rp	1	1	—	(SP – 1) ← rpH, (SP – 2) ← rpL, SP ← SP – 2			
	POP	PSW	2	3	—	PSW ← (SP + 1), SP ← SP + 2	R	R	R
		rp	1	1	—	rpL ← (SP), rpH ← (SP + 1), SP ← SP + 2			
	MOVW	SP, #word	4	1	—	SP ← word			
		SP, AX	2	1	—	SP ← AX			
		AX, SP	2	1	—	AX ← SP			
		HL, SP	3	1	—	HL ← SP			
		BC, SP	3	1	—	BC ← SP			
		DE, SP	3	1	—	DE ← SP			
	ADDW	SP, #byte	2	1	—	SP ← SP + byte			
	SUBW	SP, #byte	2	1	—	SP ← SP – byte			
無条件分岐	BR	AX	2	3	—	PC ← CS, AX			
		$addr20	2	3	—	PC ← PC + 2 + jdisp8			
		$!addr20	3	3	—	PC ← PC + 3 + jdisp16			
		!addr16	3	3	—	PC ← 0000, addr16			
		!!addr20	4	3	—	PC ← addr20			
条件付き分岐	BC	$addr20	2	2/4/6注3	—	PC ← PC + 2 + jdisp8 if CY = 1			
	BNC	$addr20	2	2/4/6注3	—	PC ← PC + 2 + jdisp8 if CY = 0			
	BZ	$addr20	2	2/4/6注3	—	PC ← PC + 2 + jdisp8 if Z = 1			
	BNZ	$addr20	2	2/4/6注3	—	PC ← PC + 2 + jdisp8 if Z = 0			
	BH	$addr20	3	2/4/6注3	—	PC ← PC + 3 + jdisp8 if (Z ∨ CY) = 0			
	BNH	$addr20	3	2/4/6注3	—	PC ← PC + 3 + jdisp8 if (Z ∨ CY) = 1			
	BT	saddr.bit, $addr20	4	3/5/7注3	—	PC ← PC + 4 + jdisp8 if (saddr).bit = 1			
		sfr.bit, $addr20	4	3/5/7注3	—	PC ← PC + 4 + jdisp8 if sfr.bit = 1			
		A.bit, $addr20	3	3/5/7注3	—	PC ← PC + 3 + jdisp8 if A.bit = 1			
		PSW.bit, $addr20	4	3/5/7注3	—	PC ← PC + 4 + jdisp8 if PSW.bit = 1			
		[HL].bit, $addr20	3	3/5/7注3	6/7/9注3	PC ← PC + 3 + jdisp8 if (HL).bit = 1			
		ES:[HL].bit, $addr20	4	4/6/8注3	7/8/10 注3	PC ← PC + 4 + jdisp8 if (ES, HL).bit = 1			

注1.　内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（fCLK）数。

注2.　コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック（fCLK）数。

注3.　クロック数は"条件不成立時／条件成立時（PFBE = 0設定時）／条件成立時（PFBE = 1設定時）"を表しています。

備考　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍＋3クロックになります。

正）

表42 - 5　オペレーション一覧 (17/18)

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
スタック操作	PUSH	PSW	2	1	—	(SP – 1) ← PSW, (SP – 2) ← 00H, SP ← SP – 2			
		rp	1	1	—	(SP – 1) ← rpH, (SP – 2) ← rpL, SP ← SP – 2			
	POP	PSW	2	3	—	PSW ← (SP + 1), SP ← SP + 2	R	R	R
		rp	1	1	—	rpL ← (SP), rpH ← (SP + 1), SP ← SP + 2			
	MOVW	SP, #word	4	1	—	SP ← word			
		SP, AX	2	1	—	SP ← AX			
		AX, SP	2	1	—	AX ← SP			
		HL, SP	3	1	—	HL ← SP			
		BC, SP	3	1	—	BC ← SP			
		DE, SP	3	1	—	DE ← SP			
	ADDW	SP, #byte	2	1	—	SP ← SP + byte			
	SUBW	SP, #byte	2	1	—	SP ← SP – byte			
無条件分岐	BR	AX	2	3/5注3	—	PC ← CS, AX			
		$addr20	2	3/5注3	—	PC ← PC + 2 + jdisp8			
		$!addr20	3	3/5注3	—	PC ← PC + 3 + jdisp16			
		!addr16	3	3/5注3	—	PC ← 0000, addr16			
		!!addr20	4	3/5注3	—	PC ← addr20			
条件付き分岐	BC	$addr20	2	2/4/6注4	—	PC ← PC + 2 + jdisp8 if CY = 1			
	BNC	$addr20	2	2/4/6注4	—	PC ← PC + 2 + jdisp8 if CY = 0			
	BZ	$addr20	2	2/4/6注4	—	PC ← PC + 2 + jdisp8 if Z = 1			
	BNZ	$addr20	2	2/4/6注4	—	PC ← PC + 2 + jdisp8 if Z = 0			
	BH	$addr20	3	2/4/6注4	—	PC ← PC + 3 + jdisp8 if (Z ∨ CY) = 0			
	BNH	$addr20	3	2/4/6注4	—	PC ← PC + 3 + jdisp8 if (Z ∨ CY) = 1			
	BT	saddr.bit, $addr20	4	3/5/7注4	—	PC ← PC + 4 + jdisp8 if (saddr).bit = 1			
		sfr.bit, $addr20	4	3/5/7注4	—	PC ← PC + 4 + jdisp8 if sfr.bit = 1			
		A.bit, $addr20	3	3/5/7注4	—	PC ← PC + 3 + jdisp8 if A.bit = 1			
		PSW.bit, $addr20	4	3/5/7注4	—	PC ← PC + 4 + jdisp8 if PSW.bit = 1			
		[HL].bit, $addr20	3	3/5/7注4	6/7/9注4	PC ← PC + 3 + jdisp8 if (HL).bit = 1			
		ES:[HL].bit, $addr20	4	4/6/8注4	7/8/10 注4	PC ← PC + 4 + jdisp8 if (ES, HL).bit = 1			

注1.　内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（fCLK）数。

注2.　コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック（fCLK）数。

注3.　クロック数は"PFBE = 0設定時／PFBE = 1設定時"を表しています。

注4.　クロック数は"条件不成立時／条件成立時（PFBE = 0設定時）／条件成立時（PFBE = 1設定時）"を表しています。

備考　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍＋3クロックになります。

(c) 2025. Renesas Electronics Corporation. All rights reserved.

16. 43.2 発振回路特性 (p.1896)

誤）

43.2.1 X1, XT1発振回路特性

（TA = –40～+105°C, 2.4 V≦VDD≦5.5 V（20～32 ピン製品）, 1.6 V≦VDD≦5.5 V（40～64 ピン製品）, VSS = 0 V）

項目	発振子	条件	Min.	Typ.	Max.	単位
X1クロック発振許容入力周期注	セラミック発振子／水晶振動子		0.05		1	μs
XT1クロック発振周波数（fXT）注	水晶振動子			32.768		kHz

注　発振回路の許容範囲を示すものです。必ず実装回路上での評価を発振子メーカに依頼し、発振特性を確認してご使用ください。また、命令実行時間は、43.4　AC特性を参照してください。

注意　リセット解除後は、高速オンチップ・オシレータ・クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ（OSTC）でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ（OSTS）の発振安定時間を決定してください。

正）

43.2.1 X1発振回路特性

（TA = –40～+105°C, 1.6 V≦VDD≦5.5 V, VSS = 0 V）

項目	発振子	条件	Min.	Typ.	Max.	単位
X1クロック発振許容入力周期注	セラミック発振子／水晶振動子		0.05		1	μs

注　発振回路の許容範囲を示すものです。必ず実装回路上での評価を発振子メーカに依頼し、発振特性を確認してご使用ください。また、命令実行時間は、43.4　AC特性を参照してください。

注意　リセット解除後は、高速オンチップ・オシレータ・クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ（OSTC）でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ（OSTS）の発振安定時間を決定してください。

43.2.2 XT1発振回路特性

（TA = –40～+105°C, 2.4 V≦VDD≦5.5 V（20～32ピン製品）, 1.6 V≦VDD≦5.5 V（40～64ピン製品）, VSS = 0 V）

項目	発振子	条件	Min.	Typ.	Max.	単位
XT1クロック発振周波数（fXT）注	水晶振動子			32.768		kHz

注　発振回路の許容範囲を示すものです。必ず実装回路上での評価を発振子メーカに依頼し、発振特性を確認してご使用ください。また、命令実行時間は、43.4　AC特性を参照してください。

(c) 2025. Renesas Electronics Corporation. All rights reserved.

17. 43.3.2 電源電流特性 (p.1907, p.1910)

誤）

(p.1907)

(TA = –40～+105°C, 1.6 V≦EVDD0≦VDD≦5.5 V, VSS = EVSS0 = 0 V) (2/5)

項目	略号	条件					Min.	Typ.	Max.	単位
電源電流注1	IDD1	動作モード	LS（低速メイン）モード	fMX = 8 MHz注4、発振子接続	通常動作	VDD = 5.0 V		0.9	2.4	mA
						VDD = 1.8 V		0.9	2.4	

注**1.** VDD, EVDD0に流れるトータル電流です。入力端子をVDD, EVDD0またはVSS, EVSS0に固定した状態での入力リーク電流を含みます。HS（高速メイン）モード、LS（低速メイン）モード、**LV（低電圧メイン）モード**時、電源電流のTyp.値は周辺動作電流を含みません。**Max.値は周辺動作電流を含みます。ただし、FAA、A/Dコンバータ、S&H回路、D/Aコンバータ、PGA、コンパレータ、TRNG、LVD回路、I/Oポート、内蔵プルアップ／プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。**

注**2.** 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注**3.** 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注**4.** 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

(略)

正）

(TA = –40～+105°C, 1.6 V≦EVDD0≦VDD≦5.5 V, VSS = EVSS0 = 0 V) (2/5)

項目	略号	条件					Min.	Typ.	Max.	単位
電源電流注1	IDD1	動作モード	LS（低速メイン）モード	fMX = 8 MHz注4、発振子接続	通常動作	VDD = 5.0 V		0.9	2.4	mA
						VDD = 1.8 V		0.9	2.4	

注**1.** VDD, EVDD0に流れるトータル電流です。入力端子をVDD, EVDD0またはVSS, EVSS0に固定した状態での入力リーク電流を含みます。HS（高速メイン）モード、LS（低速メイン）モード、LP（低電力メイン）モード時、電源電流のTyp.値は周辺動作電流を含みません。Max.値にはPCLBUZ、TAU、SAU、IICA、タイマRD2、タイマRX、16ビット・タイマKB30, KB31,KB32機能の動作電流を含みます。その他の周辺機能の動作電流は含みません。

注**2.** 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注**3.** 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注**4.** 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

(略)

(c) 2025. Renesas Electronics Corporation. All rights reserved.

(p. 1910)

注**1.** VDD, EVDD0に流れるトータル電流です。入力端子をVDD, EVDD0またはVSS, EVSS0に固定した状態での入力リーク電流を含みます。HS（高速メイン）モード、LS（低速メイン）モード、**LV（低電圧メイン）モード**時、電源電流のTyp.値は周辺動作電流を含みません。**Max.値は周辺動作電流を含みます。ただし、FAA、A/Dコンバータ、S&H回路、D/Aコンバータ、PGA、コンパレータ、TRNG、LVD回路、I/Oポート、内蔵プルアップ／プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。HALTモード時はRTCに流れる電流を含みます。**

注**2.** フラッシュ・メモリでのHALT命令実行時。

注**3.** 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注**4.** 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注**5.** 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

(略)

注**1.** VDD, EVDD0に流れるトータル電流です。入力端子をVDD, EVDD0またはVSS, EVSS0に固定した状態での入力リーク電流を含みます。HS（高速メイン）モード、LS（低速メイン）モード、LP（低電力メイン）モード時、電源電流のTyp.値は周辺動作電流を含みません。Max.値にはPCLBUZ、TAU、SAU、IICA、タイマRD2、タイマRX、16ビット・タイマKB30, KB31,KB32機能の動作電流を含みます。その他の周辺機能の動作電流は含みません。

注**2.** フラッシュ・メモリでのHALT命令実行時。

注**3.** 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注**4.** 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注**5.** 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

(略)

(c) 2025. Renesas Electronics Corporation. All rights reserved.

18. 44.2 発振回路特性 (p.1978)

誤）

44.2.1 X1, XT1発振回路特性

（TA = –40～+125°C, 2.7 V ≦ VDD ≦ 5.5 V, VSS = 0 V）

項目	発振子	条件	Min.	Typ.	Max.	単位
X1クロック発振許容入力周期注	セラミック発振子／水晶振動子		0.05		1	μs
XT1クロック発振周波数（fXT）注	水晶振動子			32.768		kHz

注　発振回路の許容範囲を示すものです。必ず実装回路上での評価を発振子メーカに依頼し、発振特性を確認してご使用ください。また、命令実行時間は、44.4　AC特性を参照してください。

注意　リセット解除後は、高速オンチップ・オシレータ・クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ（OSTC）でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ（OSTS）の発振安定時間を決定してください。

正）

44.2.1 X1発振回路特性

（TA = –40～+125°C, 2.7 V ≦ VDD ≦ 5.5 V, VSS = 0 V）

項目	発振子	条件	Min.	Typ.	Max.	単位
X1クロック発振許容入力周期注	セラミック発振子／水晶振動子		0.05		1	μs

注　発振回路の許容範囲を示すものです。必ず実装回路上での評価を発振子メーカに依頼し、発振特性を確認してご使用ください。また、命令実行時間は、44.4　AC特性を参照してください。

注意　リセット解除後は、高速オンチップ・オシレータ・クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ（OSTC）でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ（OSTS）の発振安定時間を決定してください。

44.2.2 XT1発振回路特性

（TA = –40～+125°C, 2.7 V ≦ VDD ≦ 5.5 V（40～64ピン製品）, VSS = 0 V）

項目	発振子	条件	Min.	Typ.	Max.	単位
XT1クロック発振周波数（fXT）注	水晶振動子			32.768		kHz

注　発振回路の許容範囲を示すものです。必ず実装回路上での評価を発振子メーカに依頼し、発振特性を確認してご使用ください。また、命令実行時間は、44.4　AC特性を参照してください。

(c) 2025. Renesas Electronics Corporation. All rights reserved.

19. 44.3.2 電源電流特性 (p. 1987, p.1990)

誤）

(p. 1987)

（T_A = –40～+125°C, 2.7 V ≦ EV_{DD0} ≦ V_{DD} ≦ 5.5 V, V_{SS} = EV_{SS0} = 0 V）　(2/5)

項目	略号	条件					Min.	Typ.	Max.	単位
電源電流注1	I_{DD1}	動作モード	LS（低速メイン）モード	fMX = 8 MHz注4、発振子接続	通常動作	V_{DD} = 5.0 V		0.9	2.8	mA
						V_{DD} = 2.7 V		0.9	2.8	

注**1.** V_{DD}, EV_{DD0}に流れるトータル電流です。入力端子をV_{DD}, EV_{DD0}またはV_{SS}, EV_{SS0}に固定した状態での入力リーク電流を含みます。HS（高速メイン）モード、LS（低速メイン）モード、**LV（低電圧メイン）モード**時、電源電流のTyp.値は周辺動作電流を含みません。**Max.値は周辺動作電流を含みます。ただし、FAA、A/Dコンバータ、S&H回路、D/Aコンバータ、PGA、コンパレータ、TRNG、LVD回路、I/Oポート、内蔵プルアップ／プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。**

注**2.** 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注**3.** 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注**4.** 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

(略)

正）

（T_A = –40～+125°C, 2.7 V ≦ EV_{DD0} ≦ V_{DD} ≦ 5.5 V, V_{SS} = EV_{SS0} = 0 V）　(2/5)

項目	略号	条件					Min.	Typ.	Max.	単位
電源電流注1	I_{DD1}	動作モード	LS（低速メイン）モード	fMX = 8 MHz注4、発振子接続	通常動作	V_{DD} = 5.0 V		0.9	2.8	mA
						V_{DD} = 2.7 V		0.9	2.8	

注**1.** V_{DD}, EV_{DD0}に流れるトータル電流です。入力端子をV_{DD}, EV_{DD0}またはV_{SS}, EV_{SS0}に固定した状態での入力リーク電流を含みます。HS（高速メイン）モード、LS（低速メイン）モード、LP（低電力メイン）モード時、電源電流のTyp.値は周辺動作電流を含みません。Max.値にはPCLBUZ、TAU、SAU、IICA、タイマRD2、タイマRX、16ビット・タイマKB30, KB31,KB32機能の動作電流を含みます。その他の周辺機能の動作電流は含みません。

注**2.** 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注**3.** 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注**4.** 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

(略)

(c) 2025. Renesas Electronics Corporation. All rights reserved.

(p. 1990)

注**1.** V_{DD}, EV_{DD0}に流れるトータル電流です。入力端子をV_{DD}, EV_{DD0}またはV_{SS}, EV_{SS0}に固定した状態での入力リーク電流を含みます。HS（高速メイン）モード、LS（低速メイン）モード、**LV（低電圧メイン）モード**時、電源電流のTyp.値は周辺動作電流を含みません。**Max.値は周辺動作電流を含みます。ただし、FAA、A/Dコンバータ、S&H回路、D/Aコンバータ、PGA、コンパレータ、TRNG、LVD回路、I/Oポート、内蔵プルアップ／プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。HALTモード時はRTCに流れる電流を含みます。**

注**2.** フラッシュ・メモリでのHALT命令実行時。

注**3.** 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注**4.** 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注**5.** 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

(略)

注**1.** V_{DD}, EV_{DD0}に流れるトータル電流です。入力端子をV_{DD}, EV_{DD0}またはV_{SS}, EV_{SS0}に固定した状態での入力リーク電流を含みます。HS（高速メイン）モード、LP（低電力メイン）モード時、LV（低電圧メイン）モード時、電源電流のTyp.値は周辺動作電流を含みません。Max.値にはPCLBUZ, TAU, SAU, IICA, タイマRD2, タイマRX, 16ビット・タイマKB30, KB31,KB32機能の動作電流を含みます。その他の周辺機能の動作電流は含みません。

注**2.** フラッシュ・メモリでのHALT命令実行時。

注**3.** 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注**4.** 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

注**5.** 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックは停止時。

(略)

(c) 2025. Renesas Electronics Corporation. All rights reserved.

20. 44.4 AC特性 (p. 1995)

誤）

（T_A = –40～+125°C, 2.7 V ≦ EV_{DD0} ≦ V_{DD} ≦ 5.5 V, V_{SS} = EV_{SS0} = 0 V）

項目	略号	条件		Min.	Typ.	Max.	単位
命令サイクル	T_{CY}	メイン・システム・クロック（f_{MAIN}）動作	HS（高速メイン）モード（プリフェッチON）	0.02083		1	μs
			HS（高速メイン）モード（プリフェッチOFF）	0.03125		1	μs
			LS（低速メイン）モード	0.04167		1	μs
			LP（低電力メイン）モード	0.5		1	μs
		サブシステム・クロック（f_{SUB}）動作		26.041	30.5	31.3	μs
		セルフ・プログラミング時	HS（高速メイン）モード	0.03125		1	μs
			LS（低速メイン）モード	0.04167		1	μs
外部システム・クロック周波数	f_{EX}			1.0		20.0	MHz
	f_{EXS}			32		38.4	kHz
外部システム・クロック入力ハイ、ロウ・レベル幅	t_{EXH}, t_{EXL}			24			ns
	t_{EXHS}, t_{EXLS}			13.7			μs
TI00-TI03 入力ハイ・レベル幅、ロウ・レベル幅	t_{TIH}, t_{TIL}			1/f_{MCK} +10			ns
タイマRJ入力サイクル	t_C	TRJIO		100			ns
タイマRJ入力ハイ・レベル幅、ロウ・レベル幅	t_{TJIH}, t_{TJIL}	TRJIO		40			ns
タイマRD2入力ハイ・レベル幅、ロウ・レベル幅	t_{TDIH}, t_{TDIL}	TRDIOA0, TRDIOA1, TRDIOB0, TRDIOB1, TRDIOC0, TRDIOC1, TRDIOD0, TRDIOD1		3/f_{CLK}			ns
タイマRD2強制遮断信号入力ロウ・レベル幅	t_{TDSIL}	P137/INTP0	2 MHz ≦ f_{CLK} ≦ 48 MHz	1			μs
			f_{CLK} ≦ 2 MHz	1/f_{CLK} +1			μs
タイマRG2入力ハイ・レベル幅、ロウ・レベル幅	t_{TGIH}, t_{TGIL}	TRGIOA, TRGIOB, TRGIDZ, TRGTRG		2.5/f_{CLK}			ns
TO00-TO03 TKBO00, TKBO01, TKBO10, TKBO11, TKBO20, TKBO21, TRJIO0, TRJO0, TRGIOA, TRGIOB, TRDIOA0, TRDIOA1, TRDIOB0, TRDIOB1, TRDIOC0, TRDIOC1, TRDIOD0, TRDIOD1 出力周波数	f_{TO}	HS（高速メイン）モード	4.0 V ≦ EV_{DD0} ≦ 5.5 V			16	MHz
		LS（低速メイン）モード	2.7 V ≦ EV_{DD0} < 4.0 V			8	MHz
		LP（低電力メイン）モード				2	MHz
PCLBUZ0, PCLBUZ1 出力周波数	f_{PCL}	HS（高速メイン）モード	4.0 V ≦ EV_{DD0} ≦ 5.5 V			16	MHz
		LS（低速メイン）モード	2.7 V ≦ EV_{DD0} < 4.0 V			8	MHz
		LP（低電力メイン）モード				2	MHz
割り込み入力ハイ・レベル幅、ロウ・レベル幅	t_{INTH}, t_{INTL}	INTP0, INTP20, INTP21	2.7 V ≦ V_{DD} ≦ 5.5 V	1			μs
		INTP1-INTP11	2.7 V ≦ EV_{DD0} ≦ 5.5 V	1			μs

正）

（T_A = –40～+125°C, 2.7 V ≦ EV_{DD0} ≦ V_{DD} ≦ 5.5 V, V_{SS} = EV_{SS0} = 0 V）

項目	略号	条件		Min.	Typ.	Max.	単位
命令サイクル	T_{CY}	メイン・システム・クロック（f_{MAIN}）動作	HS（高速メイン）モード（プリフェッチON）	0.02083		1	μs
			HS（高速メイン）モード（プリフェッチOFF）	0.03125		1	μs
			LS（低速メイン）モード	0.04167		1	μs
			LP（低電力メイン）モード	0.5		1	μs
		サブシステム・クロック（f_{SUB}）動作		26.041	30.5	31.3	μs
		セルフ・プログラミング時	HS（高速メイン）モード	0.03125		1	μs
			LS（低速メイン）モード	0.04167		1	μs
外部システム・クロック周波数	f_{EX}			1.0		20.0	MHz
	f_{EXS}			32		38.4	kHz
外部システム・クロック入力ハイ、ロウ・レベル幅	t_{EXH}, t_{EXL}			24			ns
	t_{EXHS}, t_{EXLS}			13.7			μs
TI00-TI03 入力ハイ・レベル幅、ロウ・レベル幅	t_{TIH}, t_{TIL}			1/f_{MCK} +10			ns
タイマRJ入力サイクル	t_C	TRJIO		100			ns
タイマRJ入力ハイ・レベル幅、ロウ・レベル幅	t_{TJIH}, t_{TJIL}	TRJIO		40			ns
タイマRD2入力ハイ・レベル幅、ロウ・レベル幅	t_{TDIH}, t_{TDIL}	TRDIOA0, TRDIOA1, TRDIOB0, TRDIOB1, TRDIOC0, TRDIOC1, TRDIOD0, TRDIOD1		3/f_{CLK}			ns
タイマRD2強制遮断信号入力ロウ・レベル幅	t_{TDSIL}	P137/INTP0	2 MHz ≦ f_{CLK} ≦ 48 MHz	1			μs
			f_{CLK} ≦ 2 MHz	1/f_{CLK} +1			μs
タイマRG2入力ハイ・レベル幅、ロウ・レベル幅	t_{TGIH}, t_{TGIL}	TRGIOA, TRGIOB, TRGIDZ, TRGTRG		2.5/f_{CLK}			ns
TO00-TO03 TKBO00, TKBO01, TKBO10, TKBO11, TKBO20, TKBO21, TRJIO0, TRJO0, TRGIOA, TRGIOB, TRDIOA0, TRDIOA1, TRDIOB0, TRDIOB1, TRDIOC0, TRDIOC1, TRDIOD0, TRDIOD1 出力周波数	f_{TO}	HS（高速メイン）モード	4.0 V ≦ EV_{DD0} ≦ 5.5 V			12	MHz
		LS（低速メイン）モード	2.7 V ≦ EV_{DD0} < 4.0 V			8	MHz
		LP（低電力メイン）モード				2	MHz
PCLBUZ0, PCLBUZ1 出力周波数	f_{PCL}	HS（高速メイン）モード	4.0 V ≦ EV_{DD0} ≦ 5.5 V			12	MHz
		LS（低速メイン）モード	2.7 V ≦ EV_{DD0} < 4.0 V			8	MHz
		LP（低電力メイン）モード				2	MHz
割り込み入力ハイ・レベル幅、ロウ・レベル幅	t_{INTH}, t_{INTL}	INTP0, INTP20, INTP21	2.7 V ≦ V_{DD} ≦ 5.5 V	1			μs
		INTP1-INTP11	2.7 V ≦ EV_{DD0} ≦ 5.5 V	1			μs

以上

(c) 2025. Renesas Electronics Corporation. All rights reserved.