

RENESAS TECHNICAL UPDATE

〒211-8668 神奈川県川崎市中原区下沼部 1753
 ルネサス エレクトロニクス株式会社
 問合せ窓口 <http://japan.renesas.com/contact/>
 E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-RL*-A005A/J	Rev.	第1版
題名	誤記訂正通知 RL78/G13 ユーザーズマニュアル Rev.2.10 の記載変更		情報分類	技術情報	
適用製品	RL78/G13 グループ : R5F100xxx, R5F101xxx	対象ロット等 全ロット	関連資料	RL78/G13 ユーザーズマニュアル ハードウェア編 Rev.2.10 R01UH0146JJ0210 (Sep.2012)	

RL78/G13 ユーザーズマニュアル ハードウェア編 Rev.2.10 (R01UH0146JJ0210)において、下記訂正がございます。

今回通知する訂正内容

訂正箇所	該当ページ	内容
3. 1. 3 内部データ・メモリ空間	p.117	仕様拡張
12. 6. 3 SNOOZEモード機能	p.655	仕様変更
18. 3. 2 STOPモード	p.862, p.863	誤記訂正
18. 3. 3 SNOOZEモード	p.865	誤記訂正
22. 3. 6 不正メモリ・アクセス検出機能	p.913	誤記訂正
図24-3 ユーザ・オプション・バイト(000C2H/010C2H)	p.927	仕様拡張
29. 3. 1 端子特性	p.986, p.987	誤記訂正
29. 3. 2 電源電流特性	p.991 - p.1003	誤記訂正
29. 4 AC特性	p.1004	仕様拡張
29. 5. 1 シリアル・アレイ・ユニット	p.1007 - p.1029	誤記訂正
29. 5. 2 シリアル・インタフェースIIICA	p.1030	誤記訂正
29. 6. 1 A/Dコンバータ特性	p.1031 - p.1034	仕様拡張
29. 6. 2 温度センサ/内部基準電圧特性	p.1035	誤記訂正
29. 6. 3 POR回路特性	p.1035	誤記訂正
電源電圧立ち上げ時間	p.1038	仕様追加
29. 7 データ・メモリSTOPモード低電源電圧データ保持特性	p.1039	仕様拡張
第30章 電気的特性(G: Ta = -40~+105°C) (ターゲット)	p.1041 - p.1092	仕様決定

ドキュメント改善計画

本訂正内容については、次回ユーザーズマニュアル改版時に修正を行います。

ユーザーズマニュアルの訂正一覧

No	訂正内容と該当箇所			本通知での 該当ページ
	ドキュメントNo.	和文	R01UH0146JJ0210	
1	3.1.3	内部データ・メモリ空間	p.117	p.3
2	12.6.3	SNOOZEモード機能	p.655	p.4, p.5
3	18.3.2	STOPモード	p.862, p.863	p.6
4	18.3.3	SNOOZEモード	p.865	p.7
5	22.3.6	不正メモリ・アクセス検出機能	p.913	p.8, p.9
6	図24-3	ユーザ・オプション・バイト(000C2H/010C2H)	p.927	p.10
7	29.3.1	端子特性	p.986, p.987	p.11
8	29.3.2	電源電流特性	p.991 – p.1003	p.11
9	29.4	AC特性	p.1004	p.11
10	29.5.1	シリアル・アレイ・ユニット	p.1007 – p.1029	p.11
11	29.5.2	シリアル・インタフェースIIICA	p.1030	p.11
12	29.6.1	A/Dコンバータ特性	p.1031 – p.1034	p.12
13	29.6.2	温度センサ／内部基準電圧特性	p.1035	p.12
14	29.6.3	POR回路特性	p.1035	p.12
15		電源電圧立ち上げ時間	p.1038	p.12
16	29.7	データ・メモリSTOPモード低電源電圧データ保持特性	p.1039	p.12
17	第30章	電氣的特性(G:Ta = -40~+105°C) (ターゲット)	p.1041 – p.1092	p.12

誤記訂正の該当箇所は、誤)太字下線、正)グレー・ハッチングで記載します。

発行文書履歴

RL78/G13 ユーザーズマニュアル Rev.2.10 誤記訂正通知 発行文書履歴

文書番号	発行日	記事
TN-RL*-A005A/J	2013年3月15日	初版発行 訂正一覧の No.1 ~ No.17 の誤記訂正(本通知です。)

1. 3. 1. 3 内部データ・メモリ空間

誤)

注意 2. 次に示す製品の内部 RAM 領域は、セルフ・プログラミング機能およびデータ・フラッシュ機能使用時にスタック領域として使用できません。

R5F100xA, R5F101xA (x = 6-8, A-C, E-G) : FFE20H-FFEDFH

R5F100xC, R5F101xC (x = 6-8, A-C, E-G, J, L) : FFE20H-FFEDFH

R5F100xD, R5F101xD (x = 6-8, A-C, E-G, J, L) : FFE20H-FFEDFH,

FF300H-FF309H

R5F100xE, R5F101xE (x = 6-8, A-C, E-G, J, L) : FFE20H-FFEDFH,

FEF00H-FF309H

R5F100xF, R5F101xF (x = A-C, E-G, J, L, M, P) : FFE20H-FFEDFH

R5F100xG, R5F101xG (x = A-C, E-G, J, L, M, P) : FFE20H-FFEDFH

R5F100xH, R5F101xH (x = E-G, J, L, M, P, S) : FFE20H-FFEDFH

R5F100xJ, R5F101xJ (x = F, G, J, L, M, P) : FFE20H-FFEDFH,

FAF00H-FB309H

R5F100xK, R5F101xK (x = F, G, J, L, M, P, S) : FFE20H-FFEDFH

R5F100xL, R5F101xL (x = F, G, J, L, M, P, S) : FFE20H-FFEDFH,

F7F00H-F8309H

正)

注意 2. セルフ・プログラミング時およびデータ・フラッシュ書き換え時は、スタック、データ・バッファ、ベクタ割り込み処理の分岐先や DMA による転送先/転送元で利用する RAM アドレスを FFE20H-FFEDFH の領域に配置しないでください。

3. セルフ・プログラミング時およびデータ・フラッシュ書き換え時は、次に示す製品の RAM 領域は、各ライブラリで使用するため使用禁止になります。

R5F100xD, R5F101xD (x = 6-8, A-C, E-G, J, L) : FF300H-FF309H

R5F100xE, R5F101xE (x = 6-8, A-C, E-G, J, L) : FEF00H-FF309H

R5F100xJ, R5F101xJ (x = F, G, J, L, M, P) : FAF00H-FB309H

R5F100xL, R5F101xL (x = F, G, J, L, M, P, S) : F7F00H-F8309H

2. 12.6.3 SNOOZE モード機能

誤)

STOPモード時にRxDq端子入力の検出によりUARTの受信動作をさせるモードです。通常STOP時にUARTは通信動作を停止しますが、このモードを使うことで、RxDq端子入力の検出によってCPUを動作させずにUARTの受信動作を行うことができます。SNOOZEモードは、以下のチャンネルのみ設定可能です。

- 20-64ピン製品： UART0
- 80-128ピン製品： UART0, UART2

SNOOZEモード機能を使用する場合は、STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタm (SSCm) のSWCmビットを1に設定します。

注意 1. SNOOZE モードは、 f_{CLK} に高速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。

2. UARTq を SNOOZE モードで使用するときの最大転送レートは 9600 bps です。

正)

STOPモード時にRxDq端子入力の検出により、UART受信を動作させるモードです。通常STOP時はUARTの通信動作を停止しますが、SNOOZEモード機能を使用することで、CPUを動作させずにUART受信を行うことができます。

SNOOZEモードは、以下のチャンネルのみ設定可能です。

- 20-64ピン製品： UART0
- 80-128ピン製品： UART0, UART2

UARTqをSNOOZEモードで使用する場合は、STOPモードに移行する前に次の設定を行います。(図12-93, 図12-95 SNOOZEモード動作時のフローチャートを参照)

- SNOOZEモード時は、UART受信ボー・レートの設定を通常動作時とは異なる値に変更する必要があります。表12-3を参照してSPSmレジスタ、SDRmnレジスタ[15:9]を設定してください。
- EOCmnビット、SSECmnビットを設定します。通信エラーが発生した場合にエラー割り込み (INTSRE0) の発生許可/停止を設定することができます。
- STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタm (SSCm) のSWCmビットをセット (1) してください。初期設定完了後、シリアル・チャンネル開始レジスタm (SSm) のSSm1ビットをセット (1) します。

STOPモードに移行後、RxDqのエッジを検出 (スタート・ビット入力) すると、UART受信を開始します。

注意 1. SNOOZE モードは、 f_{CLK} に高速オンチップ・オシレータ・クロック (f_{IH}) を選択している場合のみ使用できます。

2. SNOOZE モードでの転送レートは 4800bps のみです。

3. SWCm=1 の設定では、STOP モード中に受信開始した時のみ UARTq を使用できます。他の SNOOZE 機能や割り込みと同時に使用して、次のような STOP モード以外の状態で受信開始した場合は、正しくデータ受信できず、フレーミング・エラーもしくはパリティ・エラーが発生することがあります。
- SWCm=1 に設定後、STOP モードに移行する前に受信開始した場合
 - 他の SNOOZE モード中に受信開始した場合
 - STOP モードから割り込みなどで通常動作に復帰後、SWCm=0 に戻す前に受信開始した場合
4. SSECm=1 の設定では、パリティ・エラー、フレーミング・エラー、オーバーラン・エラー時に PEFmn, FEFmn, OVFmn フラグはセットされず、エラー割り込み (INTSREq) も発生しません。そのため、SSECm=1 で使用するときには、SWC0=1 に設定する前に PEFmn, FEFmn, OVFmn フラグをクリアし、また、SDRm1 レジスタのビット 7-0 (RxDq) を読み出してください。

表12-3 SNOOZEモード時のUART受信ボー・レート設定

高速オンチップ・オシレータ (f _{IH})	SNOOZEモード時のUART受信ボー・レート			
	ボー・レート4800 bps			
	動作クロック (f _{MCK})	SDRmn [15:9]	最大許容値	最小許容値
32MHz±1.0% [※]	fCLK /2 ⁵	105	2.27%	- 1.53%
24MHz±1.0% [※]	fCLK /2 ⁵	79	1.60%	- 2.18%
16MHz±1.0% [※]	fCLK /2 ⁴	105	2.27%	- 1.53%
12MHz±1.0% [※]	fCLK /2 ⁴	79	1.60%	- 2.19%
8MHz±1.0% [※]	fCLK /2 ³	105	2.27%	- 1.53%
6MHz±1.0% [※]	fCLK /2 ³	79	1.60%	- 2.19%
4MHz±1.0% [※]	fCLK /2 ²	105	2.27%	- 1.53%
3MHz±1.0% [※]	fCLK /2 ²	79	1.60%	- 2.19%
2MHz±1.0% [※]	fCLK /2 ¹	105	2.27%	- 1.54%
1MHz±1.0% [※]	fCLK /2 ⁰	105	2.27%	- 1.57%

注 高速オンチップ・オシレータ・クロック周波数精度が±1.5%、±2.0%の場合は、次のように許容範囲が狭くなります。

- f_{IH}±1.5%の場合は、上表の最大許容値に-0.5%、最小許容値に+0.5%してください。
- f_{IH}±2.0%の場合は、上表の最大許容値に-1.0%、最小許容値に+1.0%してください。

備考 最大許容値、最小許容値は、UART 受信時のボー・レート許容値です。この範囲に送信側のボー・レートが収まるように設定してください。

18.3.2 STOPモード

誤)

図18-5 STOPモードの割り込み要求発生による解除

- (1) CPUクロックが高速システム・クロック (X1発振) の場合
(省略)

注2. STOPモード解除時間

クロック供給停止：18.96 μ s ~ "28.95 μ sと発振安定時間 (OSTSで設定) の長い方"

ウェイト

- ・ベクタ割り込み処理を行う場合 : 10~11クロック
- ・ベクタ割り込み処理を行わない場合 : 4~5クロック

- (2) CPUクロックが高速システム・クロック (外部クロック入力) の場合

- (3) CPUクロックが高速オンチップ・オシレータ・クロックの場合
(省略)

注2. STOPモード解除時間

クロック供給停止 : 19.08 μ s ~ 32.99 μ s

ウェイト

- ・ベクタ割り込み処理を行う場合 : 7クロック
- ・ベクタ割り込み処理を行わない場合 : 1クロック

正)

図18-5 STOPモードの割り込み要求発生による解除

- (1) CPUクロックが高速システム・クロック (X1発振) の場合
(省略)

注2. STOPモード解除時間

クロック供給停止：18 μ s ~ "65 μ sまたは発振安定時間 (OSTSで設定) の長い方"

ウェイト

- ・ベクタ割り込み処理を行う場合 : 10~11クロック
- ・ベクタ割り込み処理を行わない場合 : 4~5クロック

備考 クロック供給停止時間は、温度条件とSTOPモード期間によって変化します。

- (2) CPUクロックが高速システム・クロック (外部クロック入力) の場合

- (3) CPUクロックが高速オンチップ・オシレータ・クロックの場合
(省略)

注2. STOPモード解除時間

クロック供給停止：18 μ s ~ 65 μ s

ウェイト

- ・ベクタ割り込み処理を行う場合 : 7クロック
- ・ベクタ割り込み処理を行わない場合 : 1クロック

備考 クロック供給停止時間は、温度条件とSTOPモード期間によって変化します。

3. 18. 3. 3 SNOOZE モード

誤)

SNOOZEモードの移行では、次の時間だけウエイト状態になります。

STOP→SNOOZE

HS(高速メイン)モード： 18.96～28.95 μ s

LS(低速メイン)モード： 20.24～28.95 μ s

LV(低電圧メイン)モード： 20.98～28.95 μ s

SNOOZE→通常動作

・ベクタ割り込み処理を行う場合

HS (高速メイン) モード： 6.79～12.4 μ s+7クロック

LS (低速メイン) モード： 2.58～7.8 μ s+7クロック

LV (低電圧メイン) モード： 12.45～17.3 μ s+7クロック

・ベクタ割り込み処理を行わない場合

HS (高速メイン) モード： 6.79～12.4 μ s+1クロック

LS (低速メイン) モード： 2.58～7.8 μ s+1クロック

LV (低電圧メイン) モード： 12.45～17.3 μ s+1クロック

正)

SNOOZEモードの移行では、次の時間だけウエイト状態になります。

STOPモード → SNOOZEモードの遷移時間：18 μ s～ 65 μ s

備考 STOPモード → SNOOZEモードの遷移時間は、温度条件とSTOPモード期間によって変化します。

SNOOZEモード → 通常動作の遷移時間：

・ベクタ割り込み処理を行う場合

HS (高速メイン) モード： “4.99～9.44 μ s” +7クロック

LS (低速メイン) モード： “1.10～5.08 μ s” +7クロック

LV (低電圧メイン) モード： “16.58～25.40 μ s” +7クロック

・ベクタ割り込み処理を行わない場合

HS (高速メイン) モード： “4.99～9.44 μ s” +1クロック

LS (低速メイン) モード： “1.10～5.08 μ s” +1クロック

LV (低電圧メイン) モード： “16.58～25.40 μ s” +1クロック

4. 22.3.6 不正メモリ・アクセス検出機能

誤)

図22-10 不正アクセス検出空間

アドレス	メモリ領域	アクセス可否		
		読み出し	書き込み	命令フェッチ (実行)
FFFFFH	特殊機能レジスタ (SFR) 256バイト			NG
FFF00H	汎用レジスタ 32バイト		OK	
FEEFFH				
FFEE0H				
FFEDFH				
	RAM ^注			OK
yyyyyH	Mirror	OK		
	データ・フラッシュ・メモリ		NG	NG
F1000H	使用不可			OK
F0FFFH				
F0800H	特殊機能レジスタ (2nd SFR) 2 Kバイト		OK	
F07FFH				NG
F0000H	使用不可			OK
EFFFH				
EF000H				
EEFFFH				
		NG		NG
			NG	
xxxxxH	コード・フラッシュ・メモリ ^注			OK
			OK	
00000H				

正)

図22-10 不正アクセス検出空間

アドレス	メモリ領域	アクセス可否		
		読み出し	書き込み	命令フェッチ (実行)
FFFFFH	特殊機能レジスタ (SFR) 256バイト			NG
FFF00H	汎用レジスタ 32バイト		OK	
FEEFFH				
FFEE0H				
FFEDFH				
	RAM ^注			OK
zzzzzH	Mirror	OK		
	データ・フラッシュ・メモリ		NG	NG
F1000H	使用不可			OK
F0FFFH				
F0800H	特殊機能レジスタ (2nd SFR) 2 Kバイト		OK	
F07FFH				NG
F0000H	使用不可			OK
EFFFH				
EF000H				
EEFFFH				
		NG		NG
			NG	
yyyyyH	コード・フラッシュ・メモリ ^注			OK
xxxxxH			OK	
00000H				

注 各製品のコード・フラッシュ・メモリ，RAM のアドレスは次のようになります。

製品	コード・フラッシュ・メモリ (00000H-xxxxxH)	RAM (yyyyyH-FFEFFH)
R5F100xA, R5F101xA (x = 6-8, A-C, E-G)	16384×8ビット (00000H-03FFFH)	2048×8ビット (FF700H-FFEFFH)
R5F100xC, R5F101xC (x = 6-8, A-C, E-G, J, L)	32768×8ビット (00000H-07FFFH)	2048×8ビット (FF700H-FFEFFH)
R5F100xD, R5F101xD (x = 6-8, A-C, E-G, J, L)	49152×8ビット (00000H-0BFFFH)	3072×8ビット (FF300H-FFEFFH)
R5F100xE, R5F101xE (x = 6-8, A-C, E-G, J, L)	65536×8ビット (00000H-0FFFFH)	4096×8ビット (FEF00H-FFEFFH)
R5F100xF, R5F101xF (x = A-C, E-G, J, L, M, P)	98304×8ビット (00000H-17FFFH)	8192×8ビット (FDF00H-FFEFFH)
R5F100xG, R5F101xG (x = A-C, E-G, J, L, M, P)	131072×8ビット (00000H-1FFFFH)	12288×8ビット (FCF00H-FFEFFH)
R5F100xH, R5F101xH (x = E-G, J, L, M, P, S)	196608×8ビット (00000H-2FFFFH)	16384×8ビット (FBF00H-FFEFFH)
R5F100xJ, R5F101xJ (x = F, G, J, L, M, P, S)	262144×8ビット (00000H-3FFFFH)	20480×8ビット (FAF00H-FFEFFH)
R5F100xK, R5F101xK (x = F, G, J, L, M, P, S)	393216×8ビット (00000H-5FFFFH)	24576×8ビット (F9F00H-FFEFFH)
R5F100xL, R5F101xL (x = F, G, J, L, M, P, S)	524288×8ビット (00000H-7FFFFH)	32768×8ビット (F7F00H-FFEFFH)

注 各製品のコード・フラッシュ・メモリ，RAM，検出最下位アドレスを次に示します。

製品	コード・フラッシュ・メモリ (00000H-xxxxxH)	RAM (zzzzzH-FFEFFH)	読み出し/命令フェッチ (実行) 時の検出最下位アドレス (yyyyyH)
R5F100xA, R5F101xA (x = 6-8, A-C, E-G)	16384×8ビット (00000H-03FFFH)	2048×8ビット (FF700H-FFEFFH)	10000H
R5F100xC, R5F101xC (x = 6-8, A-C, E-G, J, L)	32768×8ビット (00000H-07FFFH)	2048×8ビット (FF700H-FFEFFH)	10000H
R5F100xD, R5F101xD (x = 6-8, A-C, E-G, J, L)	49152×8ビット (00000H-0BFFFH)	3072×8ビット (FF300H-FFEFFH)	10000H
R5F100xE, R5F101xE (x = 6-8, A-C, E-G, J, L)	65536×8ビット (00000H-0FFFFH)	4096×8ビット (FEF00H-FFEFFH)	10000H
R5F100xF, R5F101xF (x = A-C, E-G, J, L, M, P)	98304×8ビット (00000H-17FFFH)	8192×8ビット (FDF00H-FFEFFH)	20000H
R5F100xG, R5F101xG (x = A-C, E-G, J, L, M, P)	131072×8ビット (00000H-1FFFFH)	12288×8ビット (FCF00H-FFEFFH)	20000H
R5F100xH, R5F101xH (x = E-G, J, L, M, P, S)	196608×8ビット (00000H-2FFFFH)	16384×8ビット (FBF00H-FFEFFH)	30000H
R5F100xJ, R5F101xJ (x = F, G, J, L, M, P, S)	262144×8ビット (00000H-3FFFFH)	20480×8ビット (FAF00H-FFEFFH)	40000H
R5F100xK, R5F101xK (x = F, G, J, L, M, P, S)	393216×8ビット (00000H-5FFFFH)	24576×8ビット (F9F00H-FFEFFH)	60000H
R5F100xL, R5F101xL (x = F, G, J, L, M, P, S)	524288×8ビット (00000H-7FFFFH)	32768×8ビット (F7F00H-FFEFFH)	80000H

5. 図24-3 ユーザ・オプション・バイト(000C2H/010C2H)

旧)

図24-3 ユーザ・オプション・バイト (000C2H/010C2H) のフォーマット

アドレス：000C2H/010C2H^注

7	6	5	4	3	2	1	0
CMODE1	CMODE0	1	0	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0

CMODE1	CMODE0	フラッシュの動作モード設定		
		動作周波数範囲	動作電圧範囲	
0	0	LV (低電圧メイン) モード	1 MHz~4 MHz	1.6 V~5.5 V
1	0	LS (低速メイン) モード	1 MHz~8 MHz	1.8 V~5.5 V
1	1	HS (高速メイン) モード	1 MHz~16 MHz	2.4 V~5.5 V
			1 MHz~32 MHz	2.7 V~5.5 V
上記以外		設定禁止		

FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータの周波数
1	0	0	0	32 MHz
0	0	0	0	24 MHz
1	0	0	1	16 MHz
0	0	0	1	12 MHz
1	0	1	0	8 MHz
1	0	1	1	4 MHz
1	1	0	1	1 MHz
上記以外				設定禁止

注 ブート・スワップ時は、000C2H と 010C2H が切り替わるので、010C2H にも 000C2H と同じ値を設定してください。

注意 ビット 5-4 には、必ず 10B を書き込んでください。

新)

図24-3 ユーザ・オプション・バイト (000C2H/010C2H) のフォーマット

アドレス：000C2H/010C2H^注

7	6	5	4	3	2	1	0
CMODE1	CMODE0	1	0	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0

CMODE1	CMODE0	フラッシュの動作モード設定		
		動作周波数範囲	動作電圧範囲	
0	0	LV (低電圧メイン) モード	1 MHz~4 MHz	1.6 V~5.5 V
1	0	LS (低速メイン) モード	1 MHz~8 MHz	1.8 V~5.5 V
1	1	HS (高速メイン) モード	1 MHz~16 MHz	2.4 V~5.5 V
			1 MHz~32 MHz	2.7 V~5.5 V
上記以外		設定禁止		

FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータの周波数
1	0	0	0	32 MHz
0	0	0	0	24 MHz
1	0	0	1	16 MHz
0	0	0	1	12 MHz
1	0	1	0	8 MHz
0	0	1	0	6 MHz
1	0	1	1	4 MHz
0	0	1	1	3 MHz
1	1	0	0	2 MHz
1	1	0	1	1 MHz
上記以外				設定禁止

注 ブート・スワップ時は、000C2H と 010C2H が切り替わるので、010C2H にも 000C2H と同じ値を設定してください。

注意 ビット 5-4 には、必ず 10B を書き込んでください。

6. 29.3.1 端子特性

誤)

p.986, p.987 の「注 3.」の誤記訂正。

7. 29.3.2 電源電流特性

誤)

p.991–p.1003 の注 および、IDD2, IDD3 の TYP.値の誤記訂正。

8. 29.4 AC 特性

旧)

p.1004 「外部システム・クロック周波数」および「外部システム・クロック入力ハイ、ロウ・レベル幅」の仕様拡張。

9. 29.5.1 シリアル・アレイ・ユニット

誤)

p.1007–p.1029 「29.5.1 シリアル・アレイ・ユニット」 の誤記訂正。

10. 29.5.2 シリアル・インタフェース IICA

誤)

p.1030 「29.5.2 シリアル・インタフェース IICA」 の誤記訂正。

正)

テクニカル・アップデート別紙「第 29 章 電気的特性 (A, D : Ta = -40~+85°C) のご報告」(MCYG-AB-12-0349-01) p.6, ~~p.7~~参照してください。

正)

テクニカル・アップデート別紙「第 29 章 電気的特性 (A, D : Ta = -40~+85°C) のご報告」(MCYG-AB-12-0349-01) p.11–~~p.24~~参照してください。

新)

テクニカル・アップデート別紙「第 29 章 電気的特性 (A, D : Ta = -40~+85°C) のご報告」(MCYG-AB-12-0349-01) ~~p.25~~参照してください。

正)

テクニカル・アップデート別紙「第 29 章 電気的特性 (A, D : Ta = -40~+85°C) のご報告」(MCYG-AB-12-0349-01) p.29–~~p.56~~参照してください。

正)

テクニカル・アップデート別紙「第 29 章 電気的特性 (A, D : Ta = -40~+85°C) のご報告」(MCYG-AB-12-0349-01) p.57–~~p.66~~参照してください。

11. 29. 6. 1 A/D コンバータ特性

旧)

p.1031-p.1034「29. 6. 1 A/D コンバータ特性」の仕様拡張。

12. 29. 6. 2 温度センサ／内部基準電圧特性

誤)

p.1035「29. 6. 2 温度センサ／内部基準電圧特性」の誤記訂正。

13. 29. 6. 3 POR 回路特性

誤)

p.1035「29. 6. 3 POR 回路特性」の誤記訂正。

14. 電源電圧立ち上げ時間

旧)

p.1038「電源電圧立ち上げ時間」の仕様追加。

15. 29. 7 データ・メモリ STOP モード低電源電圧データ保持特性

旧)

p.1039「29.7 データ・メモリ STOPモード低電源電圧データ保持特性」の仕様拡張。

16. 第 30 章 電気的特性 (G: Ta = -40~+105°C) (ターゲット)

p.1041 - p.1092「第 30 章 電気的特性 (G: Ta = -40~+105)」の正式仕様決定。

新)テクニカル・アップデート別紙「第 29 章 電気的特性 (A, D: Ta = -40~+85°C) のご報告」(MCYG-AB-12-0349-01) p.62-~~p.66~~を参照してください。**正)**テクニカル・アップデート別紙「第 29 章 電気的特性 (A, D: Ta = -40~+85°C) のご報告」(MCYG-AB-12-0349-01) ~~p.67~~を参照してください。**正)**テクニカル・アップデート別紙「第 29 章 電気的特性 (A, D: Ta = -40~+85°C) のご報告」(MCYG-AB-12-0349-01) ~~p.67~~を参照してください。**追加)**テクニカル・アップデート別紙「第 29 章 電気的特性 (A, D: Ta = -40~+85°C) のご報告」(MCYG-AB-12-0349-01) ~~p.69~~を参照してください。**新)**テクニカル・アップデート別紙「第 29 章 電気的特性 (A, D: Ta = -40~+85°C) のご報告」(MCYG-AB-12-0349-01) ~~p.70~~を参照してください。**追加)**テクニカル・アップデート別紙「第 30 章 電気的特性 (G: Ta = -40~+105°C) のご報告」(MCYG-AB-12-0350-01) p.2-~~p.54~~を参照してください。

以上

お客様各位	RL78/G13 テクニカル・アップデート別紙 第 29 章 電気的特性 (A, D : Ta = -40~+85°C) (ご報告)	M C Y G - A B - 1 2 - 0 3 4 9 - 1
		2 0 1 3 年 3 月 1 5 日
		ルネサス エレクトロニクス株式会社 第 一 事 業 本 部 M C U 第 三 事 業 部 ブ ラ ン ド 戦 略 部 担当課長 内村 博 (担当 犬童 誠也)



拝啓、貴社益々ご清栄の段お喜び申し上げます。また、平素は弊社の製品をご利用頂き誠に有難うございます。

さて、掲題の件につきまして、下記にご報告申し上げます。
今後とも倍旧のお引き立てを賜りますようお願い申し上げます。

敬具

記

1. 対象デバイス

RL78/G13 グループ

R5F100xxA, R5F101xxA

R5F100xxD, R5F101xxD

2. 関連資料

誤記訂正通知 RL78/G13 ユーザーズマニュアル Rev.2.10 の記載変更(TN-RL*-A005A/J)

RL78/G13 ユーザーズマニュアル ハードウェア編 Rev.2.10 (R01UH0146JJ0210)

3. ご報告

誤記訂正通知 RL78/G13 ユーザーズマニュアル Rev.2.10 の記載変更 (TN-RL*-A005A/J) で通知した訂正内容を反映した「第 29 章 電気的特性 (A, D : Ta = -40~+85°C)」を

2 ページ目以降に示します。

第29章 電気的特性 (A, D : $T_A = -40 \sim +85^\circ\text{C}$)

この章では、A：民生用途 ($T_A = -40 \sim +85^\circ\text{C}$)，D：産業用途 ($T_A = -40 \sim +85^\circ\text{C}$) の電気的特性を示します。

- 注意1. RL78マイクロコントローラには開発／評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品では本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。
2. EV_{DD0} , EV_{DD1} , EV_{SS0} , EV_{SS1} 端子がない製品は、 EV_{DD0} と EV_{DD1} を V_{DD} に、 EV_{SS0} と EV_{SS1} を V_{SS} に置き換えてください。
3. 製品により搭載している端子が異なります。2.1 ポート機能 ～2.2.1 製品別の搭載機能を参照してください。

29.1 絶対最大定格

絶対最大定格 (TA = 25 °C) (1/2)

項目	略号	条件	定格	単位
電源電圧	V _{DD}		-0.5~+6.5	V
	EV _{DD0} , EV _{DD1}	EV _{DD0} = EV _{DD1}	-0.5~+6.5	V
	EV _{SS0} , EV _{SS1}	EV _{SS0} = EV _{SS1}	-0.5~+0.3	V
REGC端子入力電圧	V _I REGC	REGC	-0.3~+2.8 かつ-0.3~V _{DD} +0.3 ^{注1}	V
入力電圧	V _{I1}	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P140-P147	-0.3~EV _{DD0} +0.3 かつ-0.3~V _{DD} +0.3 ^{注2}	V
	V _{I2}	P60-P63 (N-chオープン・ドレイン)	-0.3~+6.5	V
	V _{I3}	P20-P27, P121-P124, P137, P150-P156, EXCLK, EXCLKS, $\overline{\text{RESET}}$	-0.3~V _{DD} +0.3 ^{注2}	V
出力電圧	V _{O1}	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P60-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P130, P140-P147	-0.3~EV _{DD0} +0.3 かつ-0.3~V _{DD} +0.3 ^{注2}	V
	V _{O2}	P20-P27, P150-P156	-0.3~V _{DD} +0.3 ^{注2}	V
アナログ入力電圧	V _{AI1}	ANI16-ANI26	-0.3~EV _{DD0} +0.3 かつ-0.3~AV _{REF(+)} +0.3 ^{注2,3}	V
	V _{AI2}	ANI0-ANI14	-0.3~V _{DD} +0.3 かつ-0.3~AV _{REF(+)} +0.3 ^{注2,3}	V

注 1. REGC端子にはコンデンサ (0.47~1 μ F) を介してV_{SS}に接続してください。この値は、REGC端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

2. 6.5 V以下であること。
3. A/D変換対象の端子は、AV_{REF(+)}+0.3を越えないでください。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 1. 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

2. AV_{REF(+)}: A/Dコンバータの+側基準電圧
3. V_{SS}を基準電圧とする。

絶対最大定格 (TA = 25 °C) (2/2)

項目	略号	条件		定格	単位
ハイ・レベル出力電流	IoH1	1端子	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P130, P140-P147	-40	mA
		端子合計 -170 mA	P00-P04, P07, P32-P37, P40-P47, P102-P106, P120, P125-P127, P130, P140-P145	-70	mA
			P05, P06, P10-P17, P30, P31, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100, P101, P110-P117, P146, P147	-100	mA
	IoH2	1端子	P20-P27, P150-P156	-0.5	mA
		端子合計		-2	mA
ロウ・レベル出力電流	IoL1	1端子	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P60-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P130, P140-P147	40	mA
		端子合計 170 mA	P00-P04, P07, P32-P37, P40-P47, P102-P106, P120, P125-P127, P130, P140-P145	70	mA
			P05, P06, P10-P17, P30, P31, P50-P57, P60-P67, P70-P77, P80-P87, P90-P97, P100, P101, P110-P117, P146, P147	100	mA
	IoL2	1端子	P20-P27, P150-P156	1	mA
		端子合計		5	mA
動作周囲温度	TA	通常動作時		-40 ~ +85	°C
		フラッシュ・メモリ・プログラミング時			
保存温度	Tstg			-65 ~ +150	°C

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

29.2 発振回路特性

29.2.1 X1, XT1発振回路特性

(TA = -40~+85 °C, 1.6 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	発振子	条件	MIN.	TYP.	MAX.	単位
X1クロック発振 周波数 (fx) 注	セラミック発振子/ 水晶振動子	2.7 V ≤ VDD ≤ 5.5 V	1.0		20.0	MHz
		2.4 V ≤ VDD < 2.7 V	1.0		16.0	
		1.8 V ≤ VDD < 2.4 V	1.0		8.0	
		1.6 V ≤ VDD < 1.8 V	1.0		4.0	
XT1クロック発振 周波数 (fXT) 注	水晶振動子		32	32.768	35	kHz

注 発振回路の周波数許容範囲のみを示すものです。命令実行時間は、AC特性を参照してください。

また、実装回路上での評価を発振子メーカーに依頼し、発振特性を確認してご使用ください。

注意 リセット解除後は、高速オンチップ・オシレータ・クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ (OSTC) でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ (OSTS) の発振安定時間を決定してください。

備考 X1, XT1発振回路を使用する場合は、5.4 システム・クロック発振回路を参照してください。

29.2.2 オンチップ・オシレータ特性

(TA = -40~+85 °C, 1.6 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
高速オンチップ・オシレータ ・クロック周波数注1, 2	f _{ih}			1		32	MHz
高速オンチップ・オシレータ ・クロック周波数精度		-20~+85 °C	1.8 V ≤ VDD ≤ 5.5 V	-1.0		+1.0	%
			1.6 V ≤ VDD < 1.8 V	-5.0		+5.0	%
		-40~-20 °C	1.8 V ≤ VDD ≤ 5.5 V	-1.5		+1.5	%
			1.6 V ≤ VDD < 1.8 V	-5.5		+5.5	%
低速オンチップ・オシレータ ・クロック周波数	f _{il}				15		kHz
低速オンチップ・オシレータ ・クロック周波数精度				-15		+15	%

注1. 高速オンチップ・オシレータの周波数は、オプション・バイト (000C2H/010C2H) のビット0-3およびHOCODIVレジスタのビット0-2によって選択します。

2. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

29.3 DC特性

29.3.1 端子特性

(TA = -40~+85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V) (1/5)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電流 ^{注1}	IOH1	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P130, P140-P147 1端子	1.6 V ≤ EVDD0 ≤ 5.5 V			-10.0 ^{注2}	mA
		P00-P04, P07, P32-P37, P40-P47, P102-P106, P120, P125-P127, P130, P140-P145 合計 (デューティ ≤ 70 %時 ^{注3})	4.0 V ≤ EVDD0 ≤ 5.5 V			-55.0	mA
			2.7 V ≤ EVDD0 < 4.0 V			-10.0	mA
			1.8 V ≤ EVDD0 < 2.7 V			-5.0	mA
			1.6 V ≤ EVDD0 < 1.8 V			-2.5	mA
		P05, P06, P10-P17, P30, P31, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100, P101, P110-P117, P146, P147 合計 (デューティ ≤ 70 %時 ^{注3})	4.0 V ≤ EVDD0 ≤ 5.5 V			-80.0	mA
	2.7 V ≤ EVDD0 < 4.0 V				-19.0	mA	
	1.8 V ≤ EVDD0 < 2.7 V				-10.0	mA	
	1.6 V ≤ EVDD0 < 1.8 V				-5.0	mA	
	全端子合計 (デューティ ≤ 70 %時 ^{注3})		1.6 V ≤ EVDD0 ≤ 5.5 V			-135.0 ^{注4}	mA
	IOH2	P20-P27, P150-P156 1端子	1.6 V ≤ VDD ≤ 5.5 V			-0.1 ^{注2}	mA
		全端子合計 (デューティ ≤ 70 %時 ^{注3})	1.6 V ≤ VDD ≤ 5.5 V			-1.5	mA

注 1 EVDD0, EVDD1, VDD端子から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

2. ただし、合計の電流値を超えないでください。

3. デューティ ≤ 70 %の条件での出力電流の値です。

デューティ > 70 %に変更した出力電流の値は、次の計算式で求めることができます（デューティ比を n % に変更する場合）。

$$\bullet \text{ 端子合計の出力電流} = (I_{OH} \times 0.7) / (n \times 0.01)$$

<計算例> $I_{OH} = -10.0 \text{ mA}$ の場合, $n = 80 \%$

$$\text{端子合計の出力電流} = (-10.0 \times 0.7) / (80 \times 0.01) \approx -8.7 \text{ mA}$$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

4 産業用途向け製品 (R5F100xxDxx, R5F101xxDxx) は、-100 mA です。

注意 P00, P02-P04, P10-P15, P17, P43-P45, P50, P52-P55, P71, P74, P80-P82, P96, P142-P144は、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40~+85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V) (2/5)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ロウ・レベル出力電流 ^{注1}	IOL1	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P130, P140-P147 1端子			20.0 ^{注2}	mA
		P60-P63 1端子			15.0 ^{注2}	mA
		P00-P04, P07, P32-P37, P40-P47, P102-P106, P120, P125-P127, P130, P140-P145 合計 (デューティ ≤ 70 %時 ^{注3})	4.0 V ≤ EVDD0 ≤ 5.5 V		70.0	mA
			2.7 V ≤ EVDD0 < 4.0 V		15.0	mA
			1.8 V ≤ EVDD0 < 2.7 V		9.0	mA
			1.6 V ≤ EVDD0 < 1.8 V		4.5	mA
		P05, P06, P10-P17, P30, P31, P50-P57, P60-P67, P70-P77, P80-P87, P90-P97, P100, P101, P110-P117, P146, P147 合計 (デューティ ≤ 70 %時 ^{注3})	4.0 V ≤ EVDD0 ≤ 5.5 V		80.0	mA
			2.7 V ≤ EVDD0 < 4.0 V		35.0	mA
			1.8 V ≤ EVDD0 < 2.7 V		20.0	mA
			1.6 V ≤ EVDD0 < 1.8 V		10.0	mA
	全端子合計 (デューティ ≤ 70 %時 ^{注3})			150.0	mA	
IOL2	P20-P27, P150-P156 1端子			0.4 ^{注2}	mA	
	全端子合計 (デューティ ≤ 70 %時 ^{注3})	1.6 V ≤ VDD ≤ 5.5 V		5.0	mA	

- 注 1. 出力端子からEVSS0, EVSS1, VSS端子に流れ込んでも、デバイスの動作を保証する電流値です。
2. 合計の電流値を超えないでください。
3. デューティ ≤ 70 %の条件での電流の値です。
 デューティ > 70 %に変更した出力電流の値は、次の計算式で求めることができます (デューティ比を n % に変更する場合)。

・端子合計の出力電流 = (IOL × 0.7) / (n × 0.01)

<計算例> IOL = 10.0 mAの場合, n = 80 %

端子合計の出力電流 = (10.0 × 0.7) / (80 × 0.01) ≒ 8.7 mA

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40~+85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V) (3/5)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル入力電圧	VIH1	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P140-P147	通常入力バッファ	0.8EVDD0		EVDD0	V
	VIH2	P01, P03, P04, P10, P11, P13-P17, P43, P44, P53-P55, P80, P81, P142, P143	TTL入力バッファ 4.0 V ≤ EVDD0 ≤ 5.5 V	2.2		EVDD0	V
			TTL入力バッファ 3.3 V ≤ EVDD0 < 4.0 V	2.0		EVDD0	V
			TTL入力バッファ 1.6 V ≤ EVDD0 < 3.3 V	1.5		EVDD0	V
	VIH3	P20-P27, P150-P156		0.7VDD		VDD	V
	VIH4	P60-P63		0.7EVDD0		6.0	V
	VIH5	P121-P124, P137, EXCLK, EXCLKS, RESET		0.8VDD		VDD	V
ロウ・レベル入力電圧	UIL1	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P140-P147	通常入力バッファ	0		0.2EVDD0	V
	UIL2	P01, P03, P04, P10, P11, P13-P17, P43, P44, P53-P55, P80, P81, P142, P143	TTL入力バッファ 4.0 V ≤ EVDD0 ≤ 5.5 V	0		0.8	V
			TTL入力バッファ 3.3 V ≤ EVDD0 < 4.0 V	0		0.5	V
			TTL入力バッファ 1.6 V ≤ EVDD0 < 3.3 V	0		0.32	V
	UIL3	P20-P27, P150-P156		0		0.3VDD	V
	UIL4	P60-P63		0		0.3EVDD0	V
	UIL5	P121-P124, P137, EXCLK, EXCLKS, RESET		0		0.2VDD	V

注意 P00, P02-P04, P10-P15, P17, P43-P45, P50, P52-P55, P71, P74, P80-P82, P96, P142-P144は、N-chオープン・ドレイン・モード時でもVIHの最大値 (MAX.) はEVDD0です。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40~+85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V) (4/5)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電圧	VOH1	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P130, P140-P147	4.0 V ≤ EVDD0 ≤ 5.5 V, IOH1 = -10.0 mA	EVDD0-			V
			4.0 V ≤ EVDD0 ≤ 5.5 V, IOH1 = -3.0 mA	EVDD0-			V
			2.7 V ≤ EVDD0 ≤ 5.5 V, IOH1 = -2.0 mA	EVDD0-			V
			1.8 V ≤ EVDD0 ≤ 5.5 V, IOH1 = -1.5 mA	EVDD0-			V
			1.6 V ≤ EVDD0 < 5.5 V, IOH1 = -1.0 mA	EVDD0-			V
	VOH2	P20-P27, P150-P156	1.6 V ≤ VDD ≤ 5.5 V, IOH2 = -100 μA	VDD-0.5			V
ロウ・レベル出力電圧	VOL1	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P130, P140-P147	4.0 V ≤ EVDD0 ≤ 5.5 V, IOL1 = 20.0 mA			1.3	V
			4.0 V ≤ EVDD0 ≤ 5.5 V, IOL1 = 8.5 mA			0.7	V
			2.7 V ≤ EVDD0 ≤ 5.5 V, IOL1 = 3.0 mA			0.6	V
			2.7 V ≤ EVDD0 ≤ 5.5 V, IOL1 = 1.5 mA			0.4	V
			1.8 V ≤ EVDD0 ≤ 5.5 V, IOL1 = 0.6 mA			0.4	V
			1.6 V ≤ EVDD0 < 5.5 V, IOL1 = 0.3 mA			0.4	V
			VOL2	P20-P27, P150-P156	1.6 V ≤ VDD ≤ 5.5 V, IOL2 = 400 μA		
	VOL3	P60-P63	4.0 V ≤ EVDD0 ≤ 5.5 V, IOL3 = 15.0 mA			2.0	V
			4.0 V ≤ EVDD0 ≤ 5.5 V, IOL3 = 5.0 mA			0.4	V
			2.7 V ≤ EVDD0 ≤ 5.5 V, IOL3 = 3.0 mA			0.4	V
			1.8 V ≤ EVDD0 ≤ 5.5 V, IOL3 = 2.0 mA			0.4	V
			1.6 V ≤ EVDD0 < 5.5 V, IOL3 = 1.0 mA			0.4	V

注意 P00, P02-P04, P10-P15, P17, P43-P45, P50, P52-P55, P71, P74, P80-P82, P96, P142-P144は、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40~+85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V) (5/5)

項目	略号	条件	MIN.	TYP.	MAX.	単位		
ハイ・レベル入力リーク電流	I _{LIH1}	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P60-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P140-P147	V _I = EV _{DD0}			1	μA	
	I _{LIH2}	P20-P27, P137, P150-P156, RESET	V _I = V _{DD}			1	μA	
	I _{LIH3}	P121-P124 (X1, X2, XT1, XT2, EXCLK, EXCLKS)	V _I = V _{DD}	入力ポート時, 外部クロック入力時 発振子接続時		1 10	μA μA	
ロウ・レベル入力リーク電流	I _{LIL1}	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P60-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P140-P147	V _I = EV _{SS0}			-1	μA	
	I _{LIL2}	P20-P27, P137, P150-P156, RESET	V _I = V _{SS}			-1	μA	
	I _{LIL3}	P121-P124 (X1, X2, XT1, XT2, EXCLK, EXCLKS)	V _I = V _{SS}	入力ポート時, 外部クロック入力時 発振子接続時		-1 -10	μA μA	
内蔵プルアップ抵抗	R _U	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P140-P147	V _I = EV _{SS0} , 入力ポート時		10	20	100	kΩ

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

29.3.2 電源電流特性

(1) 20~64ピン製品のフラッシュROM16~64 KBの製品

(TA = -40~+85 °C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(1/2)

項目	略号	条件				MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	IDD1	動作モード	HS (高速メイン)モード ^{注5}	f _{IH} = 32 MHz ^{注3}	基本動作	V _{DD} = 5.0 V		2.1		mA
						V _{DD} = 3.0 V		2.1		
				通常動作	V _{DD} = 5.0 V		4.6	7.0	mA	
					V _{DD} = 3.0 V		4.6	7.0		
				f _{IH} = 24 MHz ^{注3}	通常動作	V _{DD} = 5.0 V		3.7	5.5	mA
						V _{DD} = 3.0 V		3.7	5.5	
			f _{IH} = 16 MHz ^{注3}	通常動作	V _{DD} = 5.0 V		2.7	4.0	mA	
					V _{DD} = 3.0 V		2.7	4.0		
			LS (低速メイン)モード ^{注5}	f _{IH} = 8 MHz ^{注3}	通常動作	V _{DD} = 3.0 V		1.2	1.8	mA
						V _{DD} = 2.0 V		1.2	1.8	
			LV (低電圧メイン)モード ^{注5}	f _{IH} = 4 MHz ^{注3}	通常動作	V _{DD} = 3.0 V		1.2	1.7	mA
						V _{DD} = 2.0 V		1.2	1.7	
		HS (高速メイン)モード ^{注5}	f _{MX} = 20 MHz ^{注2} , V _{DD} = 5.0 V	通常動作	方形波入力		3.0	4.6	mA	
					発振子接続		3.2	4.8		
			f _{MX} = 20 MHz ^{注2} , V _{DD} = 3.0 V	通常動作	方形波入力		3.0	4.6	mA	
					発振子接続		3.2	4.8		
			f _{MX} = 10 MHz ^{注2} , V _{DD} = 5.0 V	通常動作	方形波入力		1.9	2.7	mA	
					発振子接続		1.9	2.7		
			f _{MX} = 10 MHz ^{注2} , V _{DD} = 3.0 V	通常動作	方形波入力		1.9	2.7	mA	
					発振子接続		1.9	2.7		
		LS (低速メイン)モード ^{注5}	f _{MX} = 8 MHz ^{注2} , V _{DD} = 3.0 V	通常動作	方形波入力		1.1	1.7	mA	
					発振子接続		1.1	1.7		
			f _{MX} = 8 MHz ^{注2} , V _{DD} = 2.0 V	通常動作	方形波入力		1.1	1.7	mA	
					発振子接続		1.1	1.7		
サブシステム・クロック動作	f _{SUB} = 32.768 kHz ^{注4} TA = -40°C	通常動作	方形波入力		4.1	4.9	μA			
			発振子接続		4.2	5.0				
	f _{SUB} = 32.768 kHz ^{注4} TA = +25°C	通常動作	方形波入力		4.1	4.9	μA			
			発振子接続		4.2	5.0				
	f _{SUB} = 32.768 kHz ^{注4} TA = +50°C	通常動作	方形波入力		4.2	5.5	μA			
			発振子接続		4.3	5.6				
f _{SUB} = 32.768 kHz ^{注4} TA = +70°C	通常動作	方形波入力		4.3	6.3	μA				
		発振子接続		4.4	6.4					
f _{SUB} = 32.768 kHz ^{注4} TA = +85°C	通常動作	方形波入力		4.6	7.7	μA				
		発振子接続		4.7	7.8					

(注, 備考は次ページにあります。)

- 注 1. V_{DD} , EV_{DD0} に流れるトータル電流です。入力端子を V_{DD} , EV_{DD0} または V_{SS} , EV_{SS0} に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ, LVD回路, I/Oポート, 内蔵プルアップ/プルダウン抵抗, データ・フラッシュ書き換え時に流れる電流は含みません。
2. 高速オンチップ・オシレータ, サブシステム・クロックは停止時。
 3. 高速システム・クロック, サブシステム・クロックは停止時。
 4. 高速オンチップ・オシレータ, 高速システム・クロックは停止時。超低消費発振 (AMPHS1 = 1) 設定時。RTC, 12ビット・インターバル・タイマ, ウォッチドッグ・タイマに流れる電流は含みません。
 5. 動作電圧範囲, CPU動作周波数, 動作モードの関係を次に示します。

HS (高速メイン) モード	:	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	@1 MHz~32 MHz
		$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	@1 MHz~16 MHz
LS (低速メイン) モード	:	$1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	@1 MHz~8 MHz
LV (低電圧メイン) モード	:	$1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	@1 MHz~4 MHz

- 備考 1. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)
2. f_{IH} : 高速オンチップ・オシレータ・クロック周波数
3. f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数)
4. 「サブシステム・クロック動作」以外のTYP.値の温度条件は, $T_A = 25^\circ\text{C}$ です。

(1) 20~64ピン製品のフラッシュROM16~64 KBの製品

(TA = -40~+85 °C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(2/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位			
電源電流 ^{注1}	IDD2 ^{注2}	HALTモード	HS (高速メイン)モード ^{注7}	f _{IH} = 32 MHz ^{注4}	V _{DD} = 5.0 V	0.54	1.63	mA		
					V _{DD} = 3.0 V	0.54	1.63			
					f _{IH} = 24 MHz ^{注4}	V _{DD} = 5.0 V	0.44	1.28	mA	
					V _{DD} = 3.0 V	0.44	1.28			
					f _{IH} = 16 MHz ^{注4}	V _{DD} = 5.0 V	0.40	1.00	mA	
					V _{DD} = 3.0 V	0.40	1.00			
				LS (低速メイン)モード ^{注7}	f _{IH} = 8 MHz ^{注4}	V _{DD} = 3.0 V	260	530	μA	
					V _{DD} = 2.0 V	260	530			
				LV (低電圧メイン)モード ^{注7}	f _{IH} = 4 MHz ^{注4}	V _{DD} = 3.0 V	420	640	μA	
						V _{DD} = 2.0 V	420	640		
				HS (高速メイン)モード ^{注7}	f _{MX} = 20 MHz ^{注3} , V _{DD} = 5.0 V	方形波入力	0.28	1.00	mA	
						発振子接続	0.45	1.17		
					f _{MX} = 20 MHz ^{注3} , V _{DD} = 3.0 V	方形波入力	0.28	1.00	mA	
						発振子接続	0.45	1.17		
					f _{MX} = 10 MHz ^{注3} , V _{DD} = 5.0 V	方形波入力	0.19	0.60	mA	
						発振子接続	0.26	0.67		
					f _{MX} = 10 MHz ^{注3} , V _{DD} = 3.0 V	方形波入力	0.19	0.60	mA	
						発振子接続	0.26	0.67		
					LS (低速メイン)モード ^{注7}	f _{MX} = 8 MHz ^{注3} , V _{DD} = 3.0 V	方形波入力	95	330	μA
							発振子接続	145	380	
				f _{MX} = 8 MHz ^{注3} , V _{DD} = 2.0 V		方形波入力	95	330	μA	
						発振子接続	145	380		
				サブシステム・クロック動作	f _{SUB} = 32.768 kHz ^{注5} TA = -40°C	方形波入力	0.25	0.57	μA	
						発振子接続	0.44	0.76		
					f _{SUB} = 32.768 kHz ^{注5} TA = +25°C	方形波入力	0.30	0.57	μA	
						発振子接続	0.49	0.76		
					f _{SUB} = 32.768 kHz ^{注5} TA = +50°C	方形波入力	0.37	1.17	μA	
	発振子接続	0.56	1.36							
	f _{SUB} = 32.768 kHz ^{注5} TA = +70°C	方形波入力	0.53		1.97	μA				
		発振子接続	0.72		2.16					
	f _{SUB} = 32.768 kHz ^{注5} TA = +85°C	方形波入力	0.82	3.37	μA					
		発振子接続	1.01	3.56						
	IDD3 ^{注6}	STOPモード ^{注8}	TA = -40°C		0.18	0.50	μA			
			TA = +25°C		0.23	0.50				
			TA = +50°C		0.30	1.10				
			TA = +70°C		0.46	1.90				
			TA = +85°C		0.75	3.30				

(注, 備考は次ページにあります。)

- 注 1. V_{DD} , EV_{DD0} に流れるトータル電流です。入力端子を V_{DD} , EV_{DD0} または V_{SS} , EV_{SS0} に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ, LVD回路, I/Oポート, 内蔵プルアップ/プルダウン抵抗, データ・フラッシュ書き換え時に流れる電流は含みません。
2. フラッシュ・メモリでのHALT命令実行時。
 3. 高速オンチップ・オシレータ, サブシステム・クロックは停止時。
 4. 高速システム・クロック, サブシステム・クロックは停止時。
 5. 高速オンチップ・オシレータ, 高速システム・クロックは停止時。
RTCLPC = 1, かつ超低消費発振 (AMPHS1 = 1) 設定時。RTCに流れる電流は含みます。ただし, 12ビット・インターバル・タイマ, ウォッチドッグ・タイマに流れる電流は含みません。
 6. RTC, 12ビット・インターバル・タイマ, ウォッチドッグ・タイマに流れる電流は含みません。
 7. 動作電圧範囲, CPU動作周波数, 動作モードの関係を次に示します。

HS (高速メイン) モード	:	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	@1 MHz~32 MHz
		$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	@1 MHz~16 MHz
LS (低速メイン) モード	:	$1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	@1 MHz~8 MHz
LV (低電圧メイン) モード	:	$1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	@1 MHz~4 MHz
 8. STOPモード時にサブシステム・クロックを動作させる場合の電流値は、HALTモード時にサブシステム・クロックを動作させる場合の電流値を参照してください。

- 備考 1. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)
2. f_{IH} : 高速オンチップ・オシレータ・クロック周波数
 3. f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数)
 4. 「サブシステム・クロック動作」, 「STOPモード」以外のTYP.値の温度条件は, $T_A = 25^\circ\text{C}$ です。

(2) 30~100ピン製品のフラッシュROM96~256 KBの製品

(TA = -40~+85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V) (1/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位			
電源電流 ^{注1}	IDD1	動作モード	HS (高速メイン)モード ^{注5}	f _{IH} = 32 MHz ^{注3}	基本動作	V _{DD} = 5.0 V		2.3		mA
						V _{DD} = 3.0 V		2.3		
				通常動作	V _{DD} = 5.0 V		5.2	8.5	mA	
					V _{DD} = 3.0 V		5.2	8.5		
				f _{IH} = 24 MHz ^{注3}	通常動作	V _{DD} = 5.0 V		4.1	6.6	mA
						V _{DD} = 3.0 V		4.1	6.6	
			f _{IH} = 16 MHz ^{注3}	通常動作	V _{DD} = 5.0 V		3.0	4.7	mA	
					V _{DD} = 3.0 V		3.0	4.7		
			LS (低速メイン)モード ^{注5}	f _{IH} = 8 MHz ^{注3}	通常動作	V _{DD} = 3.0 V		1.3	2.1	mA
						V _{DD} = 2.0 V		1.3	2.1	
			LV (低電圧メイン)モード ^{注5}	f _{IH} = 4 MHz ^{注3}	通常動作	V _{DD} = 3.0 V		1.3	1.8	mA
						V _{DD} = 2.0 V		1.3	1.8	
		動作モード	HS (高速メイン)モード ^{注5}	f _{MX} = 20 MHz ^{注2} , V _{DD} = 5.0 V	通常動作	方形波入力		3.4	5.5	mA
						発振子接続		3.6	5.7	
				f _{MX} = 20 MHz ^{注2} , V _{DD} = 3.0 V	通常動作	方形波入力		3.4	5.5	mA
						発振子接続		3.6	5.7	
				f _{MX} = 10 MHz ^{注2} , V _{DD} = 5.0 V	通常動作	方形波入力		2.1	3.2	mA
						発振子接続		2.1	3.2	
			f _{MX} = 10 MHz ^{注2} , V _{DD} = 3.0 V	通常動作	方形波入力		2.1	3.2	mA	
					発振子接続		2.1	3.2		
			LS (低速メイン)モード ^{注5}	f _{MX} = 8 MHz ^{注2} , V _{DD} = 3.0 V	通常動作	方形波入力		1.2	2.0	mA
						発振子接続		1.2	2.0	
				f _{MX} = 8 MHz ^{注2} , V _{DD} = 2.0 V	通常動作	方形波入力		1.2	2.0	mA
						発振子接続		1.2	2.0	
サブシステム・クロック動作	f _{SUB} = 32.768 kHz ^{注4} , TA = -40°C	通常動作	方形波入力		4.8	5.9	μA			
			発振子接続		4.9	6.0				
	f _{SUB} = 32.768 kHz ^{注4} , TA = +25°C	通常動作	方形波入力		4.9	5.9	μA			
			発振子接続		5.0	6.0				
	f _{SUB} = 32.768 kHz ^{注4} , TA = +50°C	通常動作	方形波入力		5.0	7.6	μA			
			発振子接続		5.1	7.7				
f _{SUB} = 32.768 kHz ^{注4} , TA = +70°C	通常動作	方形波入力		5.2	9.3	μA				
		発振子接続		5.3	9.4					
f _{SUB} = 32.768 kHz ^{注4} , TA = +85°C	通常動作	方形波入力		5.7	13.3	μA				
		発振子接続		5.8	13.4					

(注, 備考は次ページにあります。)

- 注 1. V_{DD} , EV_{DD0} , EV_{DD1} に流れるトータル電流です。入力端子を V_{DD} , EV_{DD0} , EV_{DD1} または V_{SS} , EV_{SS0} , EV_{SS1} に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵プルアップ/プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。
2. 高速オンチップ・オシレータ，サブシステム・クロックは停止時。
 3. 高速システム・クロック，サブシステム・クロックは停止時。
 4. 高速オンチップ・オシレータ，高速システム・クロックは停止時。超低消費発振 (AMPHS1 = 1) 設定時。RTC，12ビット・インターバル・タイマ，ウォッチドッグ・タイマに流れる電流は含みません。
 5. 動作電圧範囲，CPU動作周波数，動作モードの関係を次に示します。

HS (高速メイン) モード	:	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	@1 MHz~32 MHz
		$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	@1 MHz~16 MHz
LS (低速メイン) モード	:	$1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	@1 MHz~8 MHz
LV (低電圧メイン) モード	:	$1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	@1 MHz~4 MHz

- 備考
1. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)
 2. f_{IH} : 高速オンチップ・オシレータ・クロック周波数
 3. f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数)
 4. 「サブシステム・クロック動作」以外のTYP.値の温度条件は， $T_A = 25^\circ\text{C}$ です。

(2) 30~100ピン製品のフラッシュROM96~256 KBの製品

(TA = -40~+85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(2/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	IDD2 ^{注2}	HALTモード	HS (高速メイン)モード ^{注7}	f _{IH} = 32 MHz ^{注4}	V _{DD} = 5.0 V	0.62	1.86	mA
					V _{DD} = 3.0 V	0.62	1.86	
				f _{IH} = 24 MHz ^{注4}	V _{DD} = 5.0 V	0.50	1.45	mA
					V _{DD} = 3.0 V	0.50	1.45	
				f _{IH} = 16 MHz ^{注4}	V _{DD} = 5.0 V	0.44	1.11	mA
					V _{DD} = 3.0 V	0.44	1.11	
			LS (低速メイン)モード ^{注7}	f _{IH} = 8 MHz ^{注4}	V _{DD} = 3.0 V	290	620	μA
					V _{DD} = 2.0 V	290	620	
			LV (低電圧メイン)モード ^{注7}	f _{IH} = 4 MHz ^{注4}	V _{DD} = 3.0 V	440	680	μA
					V _{DD} = 2.0 V	440	680	
			HS (高速メイン)モード ^{注7}	f _{MX} = 20 MHz ^{注3} , V _{DD} = 5.0 V	方形波入力	0.31	1.08	mA
					発振子接続	0.48	1.28	
				f _{MX} = 20 MHz ^{注3} , V _{DD} = 3.0 V	方形波入力	0.31	1.08	mA
					発振子接続	0.48	1.28	
				f _{MX} = 10 MHz ^{注3} , V _{DD} = 5.0 V	方形波入力	0.21	0.63	mA
					発振子接続	0.28	0.71	
				f _{MX} = 10 MHz ^{注3} , V _{DD} = 3.0 V	方形波入力	0.21	0.63	mA
					発振子接続	0.28	0.71	
		LS (低速メイン)モード ^{注7}	f _{MX} = 8 MHz ^{注3} , V _{DD} = 3.0 V	方形波入力	110	360	μA	
				発振子接続	160	420		
			f _{MX} = 8 MHz ^{注3} , V _{DD} = 2.0 V	方形波入力	110	360	μA	
				発振子接続	160	420		
		サブシステム・ クロック動作	f _{SUB} = 32.768 kHz ^{注5} TA = -40°C	方形波入力	0.28	0.61	μA	
				発振子接続	0.47	0.80		
			f _{SUB} = 32.768 kHz ^{注5} TA = +25°C	方形波入力	0.34	0.61	μA	
				発振子接続	0.53	0.80		
			f _{SUB} = 32.768 kHz ^{注5} TA = +50°C	方形波入力	0.41	2.30	μA	
発振子接続	0.60			2.49				
f _{SUB} = 32.768 kHz ^{注5} TA = +70°C	方形波入力		0.64	4.03	μA			
	発振子接続		0.83	4.22				
f _{SUB} = 32.768 kHz ^{注5} TA = +85°C	方形波入力	1.09	8.04	μA				
発振子接続	1.28	8.23						
IDD3 ^{注6}	STOPモード ^{注8}	TA = -40°C		0.19	0.52	μA		
		TA = +25°C		0.25	0.52			
		TA = +50°C		0.32	2.21			
		TA = +70°C		0.55	3.94			
		TA = +85°C		1.00	7.95			

(注, 備考は次ページにあります。)

- 注 1. V_{DD} , EV_{DD0} , EV_{DD1} に流れるトータル電流です。入力端子を V_{DD} , EV_{DD0} , EV_{DD1} または V_{SS} , EV_{SS0} , EV_{SS1} に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵プルアップ/プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。
2. フラッシュ・メモリでのHALT命令実行時。
 3. 高速オンチップ・オシレータ，サブシステム・クロックは停止時。
 4. 高速システム・クロック，サブシステム・クロックは停止時。
 5. 高速オンチップ・オシレータ，高速システム・クロックは停止時。
RTCLPC = 1, かつ超低消費発振 (AMPHS1 = 1) 設定時。RTCに流れる電流は含みます。ただし、12ビット・インターバル・タイマ，ウォッチドッグ・タイマに流れる電流は含みません。
 6. RTC, 12ビット・インターバル・タイマ，ウォッチドッグ・タイマに流れる電流は含みません。
 7. 動作電圧範囲，CPU動作周波数，動作モードの関係を次に示します。

HS (高速メイン) モード	:	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V} @ 1\text{ MHz} \sim 32\text{ MHz}$
		$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V} @ 1\text{ MHz} \sim 16\text{ MHz}$
LS (低速メイン) モード	:	$1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V} @ 1\text{ MHz} \sim 8\text{ MHz}$
LV (低電圧メイン) モード	:	$1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V} @ 1\text{ MHz} \sim 4\text{ MHz}$
 8. STOPモード時にサブシステム・クロックを動作させる場合の電流値は、HALTモード時にサブシステム・クロックを動作させる場合の電流値を参照してください。

- 備考1. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)
2. f_{IH} : 高速オンチップ・オシレータ・クロック周波数
 3. f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数)
 4. 「サブシステム・クロック動作」, 「STOPモード」以外のTYP.値の温度条件は、 $T_A = 25^\circ\text{C}$ です。

(3) 44~100ピン製品のフラッシュROM: 384, 512 KBの製品と, 128ピン製品

(TA = -40~+85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V) (1/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位			
電源電流 ^{注1}	IDD1	動作モード	HS (高速メイン)モード ^{注5}	f _{IH} = 32 MHz ^{注3}	基本動作	V _{DD} = 5.0 V		2.6		mA
						V _{DD} = 3.0 V		2.6		
				通常動作	V _{DD} = 5.0 V		6.1	9.5	mA	
					V _{DD} = 3.0 V		6.1	9.5		
				f _{IH} = 24 MHz ^{注3}	通常動作	V _{DD} = 5.0 V		4.8	7.4	mA
						V _{DD} = 3.0 V		4.8	7.4	
			f _{IH} = 16 MHz ^{注3}	通常動作	V _{DD} = 5.0 V		3.5	5.3	mA	
					V _{DD} = 3.0 V		3.5	5.3		
			LS (低速メイン)モード ^{注5}	f _{IH} = 8 MHz ^{注3}	通常動作	V _{DD} = 3.0 V		1.5	2.3	mA
						V _{DD} = 2.0 V		1.5	2.3	
			LV (低電圧メイン)モード ^{注5}	f _{IH} = 4 MHz ^{注3}	通常動作	V _{DD} = 3.0 V		1.5	2.0	mA
						V _{DD} = 2.0 V		1.5	2.0	
		HS (高速メイン)モード ^{注5}	f _{MX} = 20 MHz ^{注2} , V _{DD} = 5.0 V	通常動作	方形波入力		3.9	6.1	mA	
					発振子接続		4.1	6.3		
				通常動作	方形波入力		3.9	6.1	mA	
					発振子接続		4.1	6.3		
			f _{MX} = 10 MHz ^{注2} , V _{DD} = 5.0 V	通常動作	方形波入力		2.5	3.7	mA	
					発振子接続		2.5	3.7		
			f _{MX} = 10 MHz ^{注2} , V _{DD} = 3.0 V	通常動作	方形波入力		2.5	3.7	mA	
					発振子接続		2.5	3.7		
		LS (低速メイン)モード ^{注5}	f _{MX} = 8 MHz ^{注2} , V _{DD} = 3.0 V	通常動作	方形波入力		1.4	2.2	mA	
					発振子接続		1.4	2.2		
			f _{MX} = 8 MHz ^{注2} , V _{DD} = 2.0 V	通常動作	方形波入力		1.4	2.2	mA	
					発振子接続		1.4	2.2		
サブ・クロック動作	f _{SUB} = 32.768 kHz ^{注4} , TA = -40°C	通常動作	方形波入力		5.4	6.5	μA			
			発振子接続		5.5	6.6				
	f _{SUB} = 32.768 kHz ^{注4} , TA = +25°C	通常動作	方形波入力		5.5	6.5	μA			
			発振子接続		5.6	6.6				
	f _{SUB} = 32.768 kHz ^{注4} , TA = +50°C	通常動作	方形波入力		5.6	9.4	μA			
			発振子接続		5.7	9.5				
f _{SUB} = 32.768 kHz ^{注4} , TA = +70°C	通常動作	方形波入力		5.9	12.0	μA				
		発振子接続		6.0	12.1					
f _{SUB} = 32.768 kHz ^{注4} , TA = +85°C	通常動作	方形波入力		6.6	16.3	μA				
		発振子接続		6.7	16.4					

(注, 備考は次ページにあります。)

- 注 1. V_{DD} , EV_{DD0} , EV_{DD1} に流れるトータル電流です。入力端子を V_{DD} , EV_{DD0} , EV_{DD1} または V_{SS} , EV_{SS0} , EV_{SS1} に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵プルアップ/プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。
2. 高速オンチップ・オシレータ、サブシステム・クロックは停止時。
 3. 高速システム・クロック、サブシステム・クロックは停止時。
 4. 高速オンチップ・オシレータ、高速システム・クロックは停止時。超低消費発振 (AMPHS1 = 1) 設定時。RTC, 12ビット・インターバル・タイマ, ウォッチドッグ・タイマに流れる電流は含みません。
 5. 動作電圧範囲, CPU動作周波数, 動作モードの関係を次に示します。

HS (高速メイン) モード	:	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ @1 MHz~32 MHz
		$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ @1 MHz~16 MHz
LS (低速メイン) モード	:	$1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ @1 MHz~8 MHz
LV (低電圧メイン) モード	:	$1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ @1 MHz~4 MHz

- 備考1. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)
2. f_{IH} : 高速オンチップ・オシレータ・クロック周波数
 3. f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数)
 4. 「サブシステム・クロック動作」以外のTYP.値の温度条件は, $T_A = 25^\circ\text{C}$ です。

(3) 44~100ピン製品のフラッシュROM: 384, 512 KBの製品と, 128ピン製品

(TA = -40~+85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(2/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	IDD2 ^{注2}	HALTモード	HS (高速メイン)モード ^{注7}	f _{IH} = 32 MHz ^{注4}	V _{DD} = 5.0 V	0.62	1.89	mA
					V _{DD} = 3.0 V	0.62	1.89	
				f _{IH} = 24 MHz ^{注4}	V _{DD} = 5.0 V	0.50	1.48	mA
					V _{DD} = 3.0 V	0.50	1.48	
				f _{IH} = 16 MHz ^{注4}	V _{DD} = 5.0 V	0.44	1.12	mA
					V _{DD} = 3.0 V	0.44	1.12	
			LS (低速メイン)モード ^{注7}	f _{IH} = 8 MHz ^{注4}	V _{DD} = 3.0 V	290	620	μA
					V _{DD} = 2.0 V	290	620	
			LV (低電圧メイン)モード ^{注7}	f _{IH} = 4 MHz ^{注4}	V _{DD} = 3.0 V	460	700	μA
					V _{DD} = 2.0 V	460	700	
			HS (高速メイン)モード ^{注7}	f _{MX} = 20 MHz ^{注3} , V _{DD} = 5.0 V	方形波入力	0.31	1.14	mA
					発振子接続	0.48	1.34	
				f _{MX} = 20 MHz ^{注3} , V _{DD} = 3.0 V	方形波入力	0.31	1.14	mA
					発振子接続	0.48	1.34	
				f _{MX} = 10 MHz ^{注3} , V _{DD} = 5.0 V	方形波入力	0.21	0.68	mA
					発振子接続	0.28	0.76	
			f _{MX} = 10 MHz ^{注3} , V _{DD} = 3.0 V	方形波入力	0.21	0.68	mA	
				発振子接続	0.28	0.76		
		LS (低速メイン)モード ^{注7}	f _{MX} = 8 MHz ^{注3} , V _{DD} = 3.0 V	方形波入力	110	390	μA	
				発振子接続	160	450		
			f _{MX} = 8 MHz ^{注3} , V _{DD} = 2.0 V	方形波入力	110	390	μA	
				発振子接続	160	450		
		サブ・クロック動作	f _{SUB} = 32.768 kHz ^{注5} TA = -40°C	方形波入力	0.31	0.66	μA	
				発振子接続	0.50	0.85		
			f _{SUB} = 32.768 kHz ^{注5} TA = +25°C	方形波入力	0.38	0.66	μA	
				発振子接続	0.57	0.85		
			f _{SUB} = 32.768 kHz ^{注5} TA = +50°C	方形波入力	0.47	3.49	μA	
発振子接続	0.66			3.68				
f _{SUB} = 32.768 kHz ^{注5} TA = +70°C	方形波入力		0.80	6.10	μA			
	発振子接続		0.99	6.29				
f _{SUB} = 32.768 kHz ^{注5} TA = +85°C	方形波入力	1.52	10.46	μA				
発振子接続	1.71	10.65						
IDD3 ^{注6}	STOPモード ^{注8}	TA = -40°C		0.19	0.54	μA		
		TA = +25°C		0.26	0.54			
		TA = +50°C		0.35	3.37			
		TA = +70°C		0.68	5.98			
		TA = +85°C		1.40	10.34			

(注, 備考は次ページにあります。)

- 注 1. V_{DD} , EV_{DD0} , EV_{DD1} に流れるトータル電流です。入力端子を V_{DD} , EV_{DD0} , EV_{DD1} または V_{SS} , EV_{SS0} , EV_{SS1} に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵プルアップ/プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。
2. フラッシュ・メモリでのHALT命令実行時。
 3. 高速オンチップ・オシレータ，サブシステム・クロックは停止時。
 4. 高速システム・クロック，サブシステム・クロックは停止時。
 5. 高速オンチップ・オシレータ，高速システム・クロックは停止時。
RTCLPC = 1, かつ超低消費発振 (AMPHS1 = 1) 設定時。RTCに流れる電流は含みます。ただし、12ビット・インターバル・タイマ，ウォッチドッグ・タイマに流れる電流は含みません。
 6. RTC, 12ビット・インターバル・タイマ，ウォッチドッグ・タイマに流れる電流は含みません。
 7. 動作電圧範囲，CPU動作周波数，動作モードの関係を次に示します。

HS (高速メイン) モード	: $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ @1 MHz~32 MHz
	$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ @1 MHz~16 MHz
LS (低速メイン) モード	: $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ @1 MHz~8 MHz
LV (低電圧メイン) モード	: $1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ @1 MHz~4 MHz
 8. STOPモード時にサブシステム・クロックを動作させる場合の電流値は、HALTモード時にサブシステム・クロックを動作させる場合の電流値を参照してください。

- 備考 1. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)
2. f_{IH} : 高速オンチップ・オシレータ・クロック周波数
 3. f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数)
 4. 「サブシステム・クロック動作」, 「STOPモード」以外のTYP.値の温度条件は, $T_A = 25\text{ }^\circ\text{C}$ です。

(4) 周辺機能 (全製品共通)

(TA = -40~+85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
低速オンチップ・オシレータ動作電流	I _{FIL} ^{注1}				0.20		μA
RTC動作電流	I _{RTC} ^{注1, 2, 3}				0.02		μA
12ビット・インターバル・タイマ動作電流	I _{IT} ^{注1, 2, 4}				0.02		μA
ウォッチドッグ・タイマ動作電流	I _{WDT} ^{注1, 2, 5}	f _{IL} = 15 kHz			0.22		μA
A/Dコンバータ動作電流	I _{ADC} ^{注1, 6}	最高速変換時	標準モード, AV _{REFP} = V _{DD} = 5.0 V		1.3	1.7	mA
			低電圧モード, AV _{REFP} = V _{DD} = 3.0 V		0.5	0.7	mA
A/Dコンバータ基準電圧電流	I _{ADREF} ^{注1}				75.0		μA
温度センサ動作電流	I _{TMPS} ^{注1}				75.0		μA
LVD動作電流	I _{LVD} ^{注1, 7}				0.08		μA
セルフ・プログラミング動作電流	I _{FSP} ^{注1, 9}				2.50	12.20	mA
BGO電流	I _{BGO} ^{注1, 8}				2.50	12.20	mA
SNOOZE動作電流	I _{SNOZ} ^{注1}	ADC動作	モード遷移中 ^{注10}		0.50	0.60	mA
			変換動作中, 低電圧モード, AV _{REFP} = V _{DD} = 3.0 V		1.20	1.44	
		CSI/UART動作			0.70	0.84	

注 1. V_{DD}に流れる電流です

- 高速オンチップ・オシレータ, 高速システム・クロックは停止時。
- リアルタイム・クロック (RTC) にのみ流れる電流です (低速オンチップ・オシレータ, XT1発振回路の動作電流は含みません)。動作モードまたはHALTモードでのリアルタイム・クロックの動作時は, I_{DD1}またはI_{DD2}にI_{RTC}を加算した値が, RL78マイクロコントローラの電流値となります。また, 低速オンチップ・オシレータ選択時はI_{FIL}を加算してください。I_{DD2}のサブシステム・クロック動作にはリアルタイム・クロックの動作電流が含まれています。
- 12ビット・インターバル・タイマにのみ流れる電流です (低速オンチップ・オシレータ, XT1発振回路の動作電流は含みません)。動作モードまたはHALTモードでの12ビット・インターバル・タイマの動作時は, I_{DD1}またはI_{DD2}にI_{IT}を加算した値が, RL78マイクロコントローラの電流値となります。また, 低速オンチップ・オシレータ選択時はI_{FIL}を加算してください。
- ウォッチドッグ・タイマにのみ流れる電流です (低速オンチップ・オシレータの動作電流を含みます)。ウォッチドッグ・タイマの動作時は, I_{DD1}, I_{DD2}またはI_{DD3}にI_{WDT}を加算した値が, RL78マイクロコントローラの電流値となります。
- A/Dコンバータにのみ流れる電流です。動作モードまたはHALTモードでのA/Dコンバータの動作時はI_{DD1}またはI_{DD2}にI_{ADC}を加算した値が, RL78マイクロコントローラの電流値となります。
- LVD回路にのみ流れる電流です。LVD回路の動作時は, I_{DD1}, I_{DD2}またはI_{DD3}にI_{LVD}を加算した値がRL78マイクロコントローラの電流値となります。

8. データ・フラッシュ書き換え動作に流れる電流です。
9. セルフ・プログラミング動作に流れる電流です。
10. SNOOZEモードへの移行時間は、18.3.3 SNOOZEモードを参照してください。

- 備考1. f_{IL} : 低速オンチップ・オシレータ・クロック周波数
2. f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数)
 3. f_{CLK} : CPU/周辺ハードウェア・クロック周波数
 4. TYP.値の温度条件は、 $T_A = 25^\circ\text{C}$ です。

29.4 AC特性

(TA = -40~+85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
命令サイクル (最小命令実行時間)	Tcy	メイン・システム・ クロック (fMAIN) 動 作	HS (高速メイン) モード	2.7 V ≤ VDD ≤ 5.5 V	0.03125		1	μs
				2.4 V ≤ VDD < 2.7 V	0.0625		1	μs
			LS (低速メイン) モード	1.8 V ≤ VDD ≤ 5.5 V	0.125		1	μs
			LV (低電圧メイン) モード	1.6 V ≤ VDD ≤ 5.5 V	0.25		1	μs
		サブシステム・クロック (fSUB) 動作		1.8 V ≤ VDD ≤ 5.5 V	28.5	30.5	31.3	μs
		セルフ・ プログラミング時	HS (高速メイン) モード	2.7 V ≤ VDD ≤ 5.5 V	0.03125		1	μs
				2.4 V ≤ VDD < 2.7 V	0.0625		1	μs
			LS (低速メイン) モード	1.8 V ≤ VDD ≤ 5.5 V	0.125		1	μs
LV (低電圧メイン) モード	1.8 V ≤ VDD ≤ 5.5 V		0.25		1	μs		
外部システム・クロック 周波数	fEX	2.7 V ≤ VDD ≤ 5.5 V		1.0		20.0	MHz	
		2.4 V ≤ VDD < 2.7 V		1.0		16.0	MHz	
		1.8 V ≤ VDD < 2.4 V		1.0		8.0	MHz	
		1.6 V ≤ VDD < 1.8 V		1.0		4.0	MHz	
	fEXS			32		35	kHz	
外部システム・クロック入力 ハイ, ロウ・レベル幅	tEXH, tEXL	2.7 V ≤ VDD ≤ 5.5 V		24			ns	
		2.4 V ≤ VDD < 2.7 V		30			ns	
		1.8 V ≤ VDD < 2.4 V		60			ns	
		1.6 V ≤ VDD < 1.8 V		120			ns	
	tEXHS, tEXLS			13.7			μs	
Ti00-Ti07, Ti10-Ti17入力 ハイ・レベル幅, ロウ・レベル 幅	tTIH, tTIL			1/fMCK + 10			ns ^注	
TO00-TO07, TO10-TO17 出力周波数	fTO	HS (高速メイン) モード	4.0 V ≤ EVDD0 ≤ 5.5 V			16	MHz	
			2.7 V ≤ EVDD0 < 4.0 V			8	MHz	
			1.8 V ≤ EVDD0 < 2.7 V			4	MHz	
			1.6 V ≤ EVDD0 < 1.8 V			2	MHz	
		LS (低速メイン) モード	1.8 V ≤ EVDD0 ≤ 5.5 V			4	MHz	
			1.6 V ≤ EVDD0 < 1.8 V			2	MHz	
LV (低電圧メイン) モード	1.6 V ≤ EVDD0 ≤ 5.5 V			2	MHz			
PCLBUZ0, PCLBUZ1出力 周波数	fPCL	HS (高速メイン) モード	4.0 V ≤ EVDD0 ≤ 5.5 V			16	MHz	
			2.7 V ≤ EVDD0 < 4.0 V			8	MHz	
			1.8 V ≤ EVDD0 < 2.7 V			4	MHz	
			1.6 V ≤ EVDD0 < 1.8 V			2	MHz	
		LS (低速メイン) モード	1.8 V ≤ EVDD0 ≤ 5.5 V			4	MHz	
			1.6 V ≤ EVDD0 < 1.8 V			2	MHz	
LV (低電圧メイン) モード	1.8 V ≤ EVDD0 ≤ 5.5 V			4	MHz			
	1.6 V ≤ EVDD0 < 1.8 V			2	MHz			
割り込み入力ハイ・レベル幅, ロウ・レベル幅	tINTH, tINTL	INTP0	1.6 V ≤ VDD ≤ 5.5 V	1			μs	
		INTP1-INTP11	1.6 V ≤ EVDD0 ≤ 5.5 V	1			μs	
キー割り込み入力 ロウ・レベル幅	tKR	KR0-KR7	1.8 V ≤ EVDD0 ≤ 5.5 V	250			ns	
			1.6 V ≤ EVDD0 < 1.8 V	1			μs	
RESETロウ・レベル幅	tRSL			10			μs	

(注, 備考は次ページにあります。)

注 $E_{VDD0} < V_{DD}$ となる低電圧インタフェース時は、次の条件も必要になります。

$1.8\text{ V} \leq E_{VDD0} < 2.7\text{ V}$: MIN. 125 ns

$1.6\text{ V} \leq E_{VDD0} < 1.8\text{ V}$: MIN. 250 ns

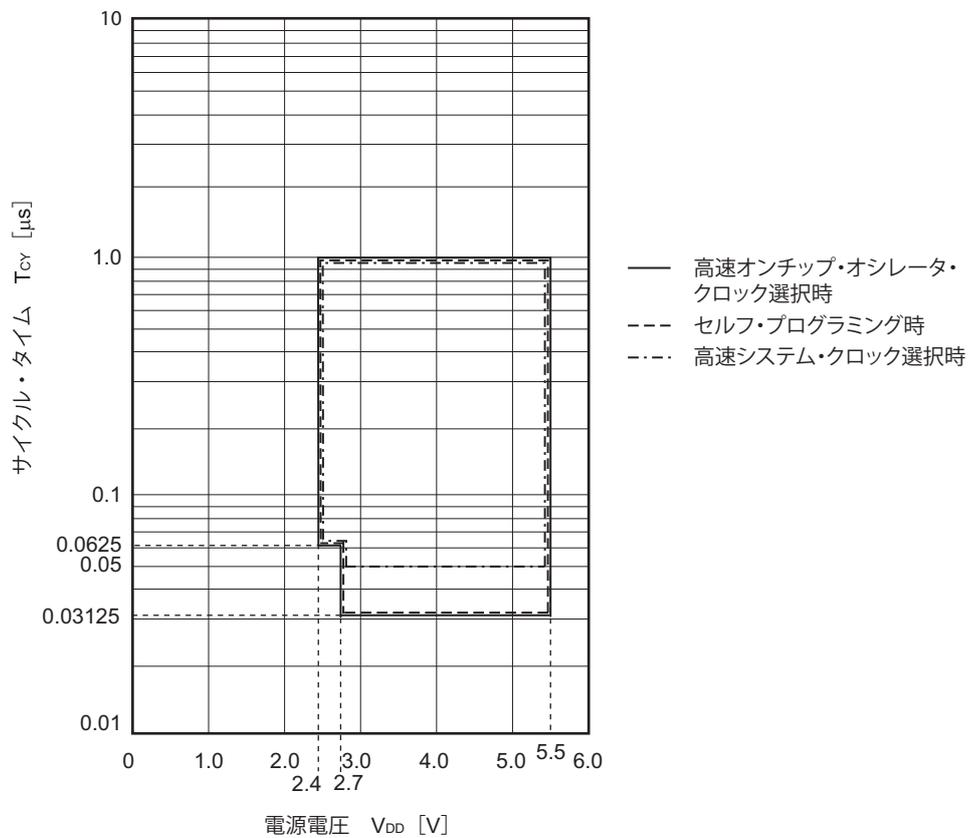
備考 f_{MCK} : タイマ・アレイ・ユニットの動作クロック周波数。

(タイマ・モード・レジスタ m_n (TMRmn) の $CKSmn0$, $CKSmn1$ ビットで設定する動作クロック。

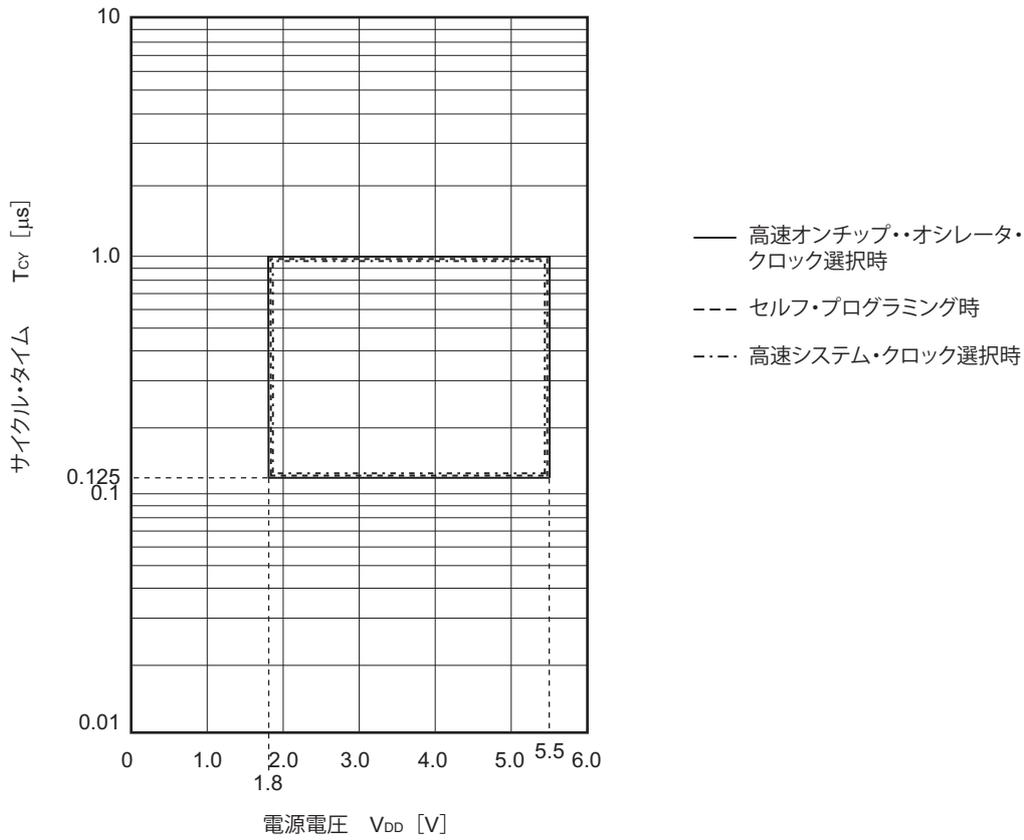
m : ユニット番号 ($m = 0, 1$), n : チャネル番号 ($n = 0-7$))

メイン・システム・クロック動作時の最小命令実行時間

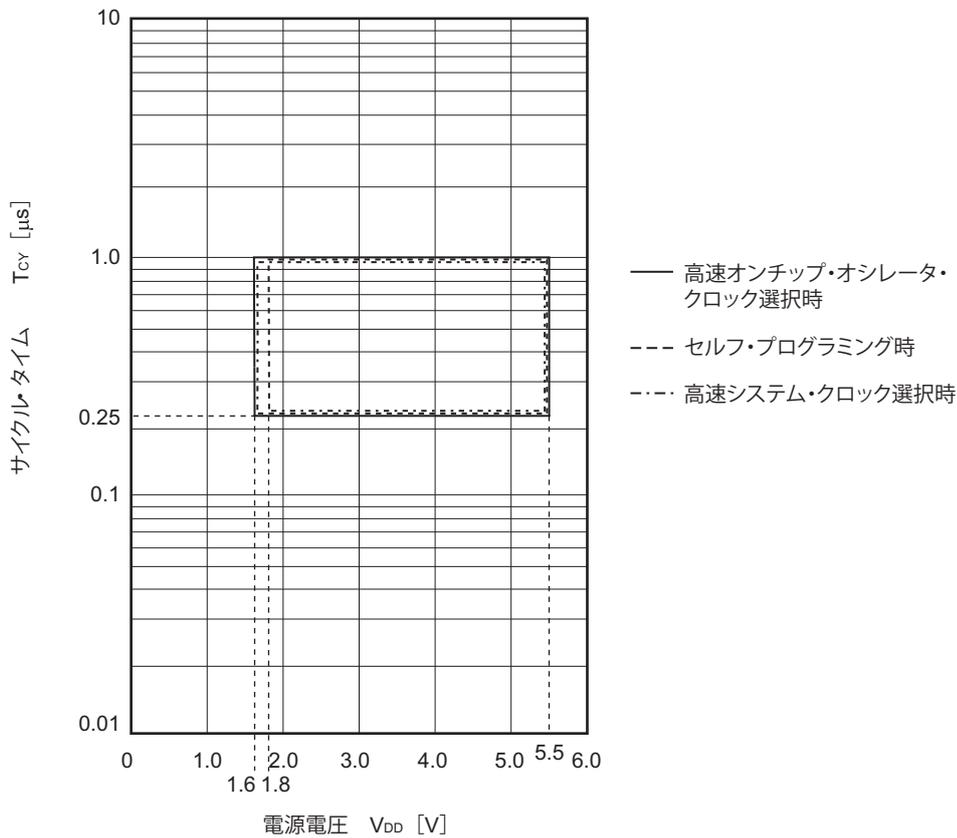
T_{CY} vs V_{DD} (HS (高速メイン) モード)



T_{CY} vs V_{DD} (LS (低速メイン) モード)



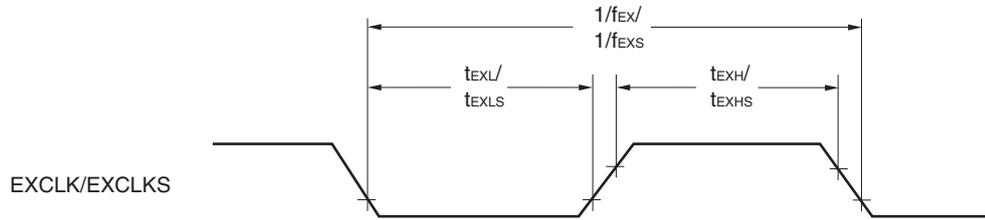
T_{CY} vs V_{DD} (LV (低電圧メイン) モード)



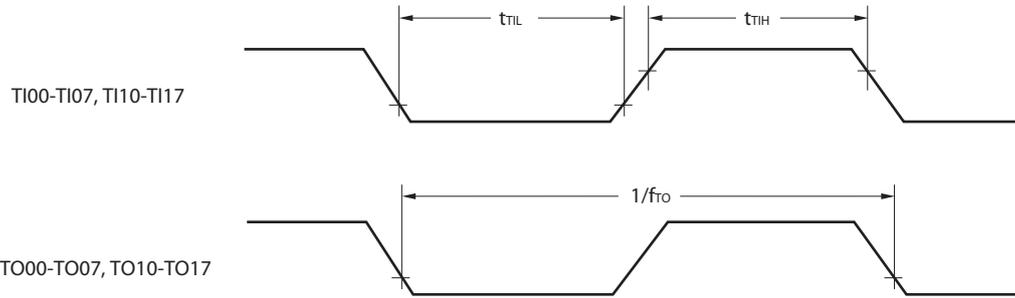
AC タイミング測定点



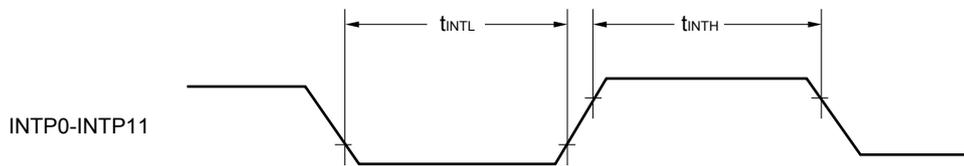
外部システム・クロック・タイミング



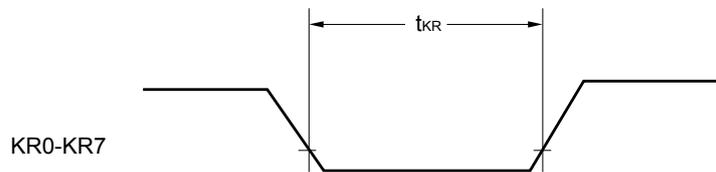
TI/TO タイミング



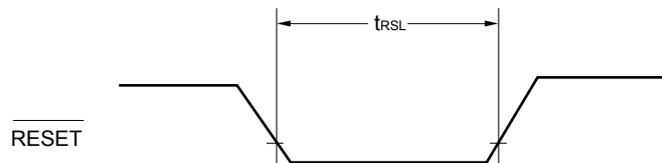
割り込み要求入力タイミング



キー割り込み入力タイミング

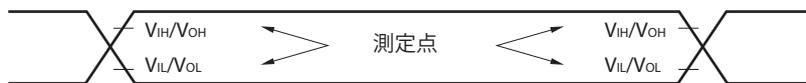


RESET 入力タイミング



29.5 周辺機能特性

AC タイミング測定点



29.5.1 シリアル・アレイ・ユニット

(1) 同電位通信時 (UARTモード)

(TA = -40~+85 °C, 1.6 V ≤ EV_{DD0} = EV_{DD1} ≤ V_{DD} ≤ 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
			転送レート ^{注1}	2.4 V ≤ EV _{DD0} ≤ 5.5 V		f _{MCK} /6 ^{注2}		f _{MCK} /6	
	最大転送レート理論値 f _{MCK} = f _{CLK} ^{注3}		5.3		1.3		0.6	Mbps	
	1.8 V ≤ EV _{DD0} ≤ 5.5 V		f _{MCK} /6 ^{注2}		f _{MCK} /6		f _{MCK} /6	bps	
	最大転送レート理論値 f _{MCK} = f _{CLK} ^{注3}		5.3		1.3		0.6	Mbps	
	1.7 V ≤ EV _{DD0} ≤ 5.5 V		f _{MCK} /6 ^{注2}		f _{MCK} /6 ^{注2}		f _{MCK} /6	bps	
	最大転送レート理論値 f _{MCK} = f _{CLK} ^{注3}		5.3		1.3		0.6	Mbps	
	1.6 V ≤ EV _{DD0} ≤ 5.5 V		-		f _{MCK} /6 ^{注2}		f _{MCK} /6	bps	
	最大転送レート理論値 f _{MCK} = f _{CLK} ^{注3}		-		1.3		0.6	Mbps	

注 1. SNOOZEモードでの転送レートは、4800 bpsのみとなります。

2. EV_{DD0} < V_{DD}となる低電圧インタフェース時は、次の条件も必要になります。

2.4 V ≤ EV_{DD0} < 2.7 V : MAX. 2.6 Mbps

1.8 V ≤ EV_{DD0} < 2.4 V : MAX. 1.3 Mbps

1.6 V ≤ EV_{DD0} < 1.8 V : MAX. 0.6 Mbps

3. CPU/周辺ハードウェア・クロック (f_{CLK}) の最高動作周波数を次に示します。

HS (高速メイン) モード : 32 MHz (2.7 V ≤ V_{DD} ≤ 5.5 V)

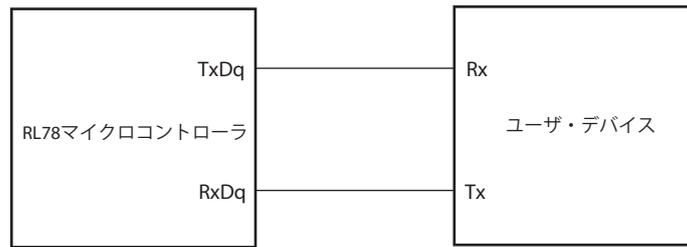
16 MHz (2.4 V ≤ V_{DD} ≤ 5.5 V)

LS (低速メイン) モード : 8 MHz (1.8 V ≤ V_{DD} ≤ 5.5 V)

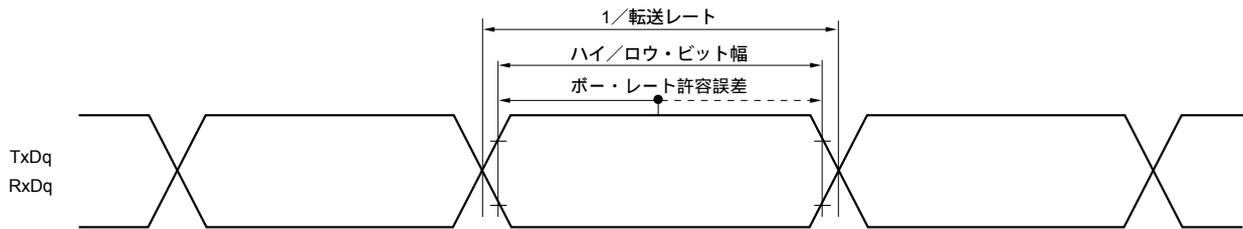
LV (低電圧メイン) モード : 4 MHz (1.6 V ≤ V_{DD} ≤ 5.5 V)

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、RxDq端子は通常入力バッファを選択し、TxDq端子は通常出力モードを選択します。

UARTモード接続図 (同電位通信時)



UARTモードのビット幅 (同電位通信時) (参考)



- 備考1. q : UART番号 (q = 0-3) , g : PIM, POM番号 (g = 0, 1, 8, 14)
2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
 (シリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。m : ユニット番号,
 n : チャネル番号 (mn = 00-03, 10-13))

(2) 同電位通信時 (CSIモード) (マスタ・モード, SCKp...内部クロック出力, CSI00のみ対応)

(TA = -40 ~ +85 °C, 2.7 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件		HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
				SCKpサイクル・ タイム	t _{KCY1}	t _{KCY1} ≥ 2/f _{CLK}	4.0 V ≤ EVDD0 ≤ 5.5 V	62.5		
			2.7 V ≤ EVDD0 ≤ 5.5 V	83.3		250		500		ns
SCKpハイ、ロウ・ レベル幅	t _{KH1} , t _{KL1}	4.0 V ≤ EVDD0 ≤ 5.5 V		t _{KCY1} /2-7		t _{KCY1} /2-		t _{KCY1} /2-		ns
		2.7 V ≤ EVDD0 ≤ 5.5 V		t _{KCY1} /2-		t _{KCY1} /2-		t _{KCY1} /2-		ns
Slpセットアップ 時間 (対SCKp↑) 注1	t _{SIK1}	4.0 V ≤ EVDD0 ≤ 5.5 V		23		110		110		ns
		2.7 V ≤ EVDD0 ≤ 5.5 V		33		110		110		ns
Slpホールド時間 (対SCKp↑) 注1	t _{KSH1}	2.7 V ≤ EVDD0 ≤ 5.5 V		10		10		10		ns
SCKp↓→SOp出力 遅延時間 注2	t _{KSO1}	C = 20 pF 注3			10		10		10	ns

注 1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。

2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。

3. Cは、SCKp, SOp出力ラインの負荷容量です。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、Slp端子は通常入力バッファを選択し、SOp端子とSCKp端子は通常出力モードを選択します。

備考 1. この値は、CSI00の周辺I/Oリダイレクト機能未使用時のみ対応します。

2. p: CSI番号 (p = 00), m: ユニット番号 (m = 0), n: チャネル番号 (n = 0),
g: PIM, POM番号 (g = 1)

3. f_{MCK}: シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。m: ユニット番号,
n: チャネル番号 (mn = 00))

(3) 同電位通信時 (CSIモード) (マスタ・モード, SCKp...内部クロック出力)

(TA = -40~+85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件		HS		LS		LV		単位
				(高速メイン)		(低速メイン)		(低電圧メイン)		
				モード	モード	モード	モード	モード	モード	
MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	MIN.	MAX.			
SCKpサイクル・ タイム	tkCY1	tkCY1 ≥ 4/fCLK	2.7 V ≤ EVDD0 ≤ 5.5 V	125		500		1000		ns
			2.4 V ≤ EVDD0 ≤ 5.5 V	250		500		1000		ns
			1.8 V ≤ EVDD0 ≤ 5.5 V	500		500		1000		ns
			1.7 V ≤ EVDD0 ≤ 5.5 V	1000		1000		1000		ns
			1.6 V ≤ EVDD0 ≤ 5.5 V	-		1000		1000		ns
SCKpハイ、ロウ・ レベル幅	tkH1, tkL1	4.0 V ≤ EVDD0 ≤ 5.5 V	tkCY1/2 -12		tkCY1/2- 50		tkCY1/2 -50		ns	
		2.7 V ≤ EVDD0 ≤ 5.5 V	tkCY1/2 -18		tkCY1/2 -50		tkCY1/2 -50		ns	
		2.4 V ≤ EVDD0 ≤ 5.5 V	tkCY1/2 -38		tkCY1/2 -50		tkCY1/2 -50		ns	
		1.8 V ≤ EVDD0 ≤ 5.5 V	tkCY1/2 -50		tkCY1/2 -50		tkCY1/2 -50		ns	
		1.7 V ≤ EVDD0 ≤ 5.5 V	tkCY1/2 -100		tkCY1/2 -100		tkCY1/2 -100		ns	
		1.6 V ≤ EVDD0 ≤ 5.5 V	-		tkCY1/2 -100		tkCY1/2 -100		ns	
Slpセットアップ 時間 (対SCKp↑) 注1	tSIK1	4.0 V ≤ EVDD0 ≤ 5.5 V	44		110		110		ns	
		2.7 V ≤ EVDD0 ≤ 5.5 V	44		110		110		ns	
		2.4 V ≤ EVDD0 ≤ 5.5 V	75		110		110		ns	
		1.8 V ≤ EVDD0 ≤ 5.5 V	110		110		110		ns	
		1.7 V ≤ EVDD0 ≤ 5.5 V	220		220		220		ns	
		1.6 V ≤ EVDD0 ≤ 5.5 V	-		220		220		ns	
Slpホールド時間 (対SCKp↑) 注1	tKSI1	1.7 V ≤ EVDD0 ≤ 5.5 V	19		19		19		ns	
		1.6 V ≤ EVDD0 ≤ 5.5 V	-		19		19		ns	
SCKp↓→SOp出力 遅延時間注2	tkSO1	1.7 V ≤ EVDD0 ≤ 5.5 V C = 30 pF注3		25		25		25	ns	
		1.6 V ≤ EVDD0 ≤ 5.5 V C = 30 pF注3		-		25		25	ns	

注 1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。

2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。

3. Cは、SCKp, SOp出力ラインの負荷容量です。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、Slp端子は通常入力バッファを選択し、SOp端子とSCKp端子は通常出力モードを選択します。

- 備考 1. p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31) , m : ユニット番号 (m = 0, 1) ,
 n : チャネル番号 (n = 0-3) , g : PIM, POM番号 (g = 0, 1, 4, 5, 8, 14)
2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
 (シリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。m : ユニット番号, n : チャネル番号 (mn = 00-03, 10-13))

(4) 同電位通信時 (CSIモード) (スレーブ・モード, SCKp...外部クロック入力) (1/2)

(TA = -40 ~ +85 °C, 1.6 V ≤ EV_{DD0} = EV_{DD1} ≤ V_{DD} ≤ 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V)

項目	略号	条件		HS (高速メイン)モード		LS (低速メイン)モード		LV (低電圧メイン)モード		単位	
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.		
SCKpサイクル・タイム ^{注4}	t _{KCY2}	4.0 V ≤ EV _{DD0} ≤ 5.5 V	20 MHz < f _{MCK}	8/f _{MCK}		-		-		ns	
			f _{MCK} ≤ 20 MHz	6/f _{MCK}		6/f _{MCK}		6/f _{MCK}		ns	
		2.7 V ≤ EV _{DD0} ≤ 5.5 V	16 MHz < f _{MCK}	8/f _{MCK}		-		-		ns	
			f _{MCK} ≤ 16 MHz	6/f _{MCK}		6/f _{MCK}		6/f _{MCK}		ns	
		2.4 V ≤ EV _{DD0} ≤ 5.5 V			6/f _{MCK} かつ500		6/f _{MCK} かつ500		6/f _{MCK} かつ500		ns
		1.8 V ≤ EV _{DD0} ≤ 5.5 V			6/f _{MCK} かつ750		6/f _{MCK} かつ750		6/f _{MCK} かつ750		ns
		1.7 V ≤ EV _{DD0} ≤ 5.5 V			6/f _{MCK} かつ1500		6/f _{MCK} かつ1500		6/f _{MCK} かつ1500		ns
		1.6 V ≤ EV _{DD0} ≤ 5.5 V			-		6/f _{MCK} かつ1500		6/f _{MCK} かつ1500		ns
SCKpハイ、ロウ・レベル幅	t _{KH2} , t _{KL2}	4.0 V ≤ EV _{DD0} ≤ 5.5 V		t _{KCY2} /2-7		t _{KCY2} /2-7		t _{KCY2} /2-7		ns	
		2.7 V ≤ EV _{DD0} ≤ 5.5 V		t _{KCY2} /2-8		t _{KCY2} /2-8		t _{KCY2} /2-8		ns	
		1.8 V ≤ EV _{DD0} ≤ 5.5 V		t _{KCY2} /2-18		t _{KCY2} /2-18		t _{KCY2} /2-18		ns	
		1.7 V ≤ EV _{DD0} ≤ 5.5 V		t _{KCY2} /2-66		t _{KCY2} /2-66		t _{KCY2} /2-66		ns	
		1.6 V ≤ EV _{DD0} ≤ 5.5 V		-		t _{KCY2} /2-66		t _{KCY2} /2-66		ns	

(注, 注意, 備考は次ページにあります。)

(4) 同電位通信時 (CSIモード) (スレーブ・モード, SCKp...外部クロック入力) (2/2)

(TA = -40~+85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

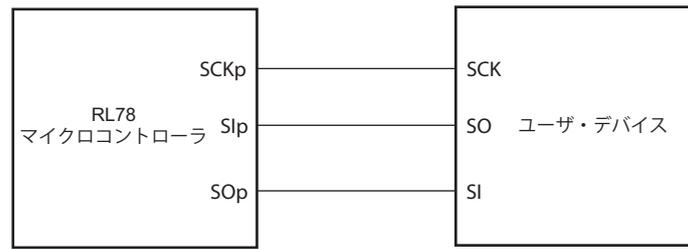
項目	略号	条件		HS (高速メイン)モード		LS (低速メイン)モード		LV (低電圧メイン)モード		単位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
Slpセットアップ時間 (対SCKp↑) 注1	tSIK2	2.7 V ≤ EVDD0 ≤ 5.5 V		1/fMCK+		1/fMCK+		1/fMCK+		ns
		1.8 V ≤ EVDD0 ≤ 5.5 V		1/fMCK+		1/fMCK+		1/fMCK+		ns
		1.7 V ≤ EVDD0 ≤ 5.5 V		1/fMCK+		1/fMCK+		1/fMCK+		ns
		1.6 V ≤ EVDD0 ≤ 5.5 V		-		1/fMCK+		1/fMCK+		ns
Slpホールド時間 (対SCKp↑) 注1	tKSI2	1.8 V ≤ EVDD0 ≤ 5.5 V		1/fMCK+		1/fMCK+		1/fMCK+		ns
		1.7 V ≤ EVDD0 ≤ 5.5 V		1/fMCK+		1/fMCK+		1/fMCK+		ns
		1.6 V ≤ EVDD0 ≤ 5.5 V		-		1/fMCK+		1/fMCK+		ns
SCKp↓→SOp出力 遅延時間注2	tKSO2	C = 30 pF 注3	2.7 V ≤ EVDD0 ≤ 5.5 V		2/fMCK+		2/fMCK+		2/fMCK+	ns
			2.4 V ≤ EVDD0 ≤ 5.5 V		2/fMCK+		2/fMCK+		2/fMCK+	ns
			1.8 V ≤ EVDD0 ≤ 5.5 V		2/fMCK+		2/fMCK+		2/fMCK+	ns
			1.7 V ≤ EVDD0 ≤ 5.5 V		2/fMCK+		2/fMCK+		2/fMCK+	ns
			1.6 V ≤ EVDD0 ≤ 5.5 V		-		2/fMCK+		2/fMCK+	ns

- 注 1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。
2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。
3. Cは、SOp出力ラインの負荷容量です。
4. SNOOZEモードでの転送レートは、MAX. 1 Mbpsです。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、Slp端子とSCKp端子は通常入力バッファを選択し、SOp端子は通常出力モードを選択します。

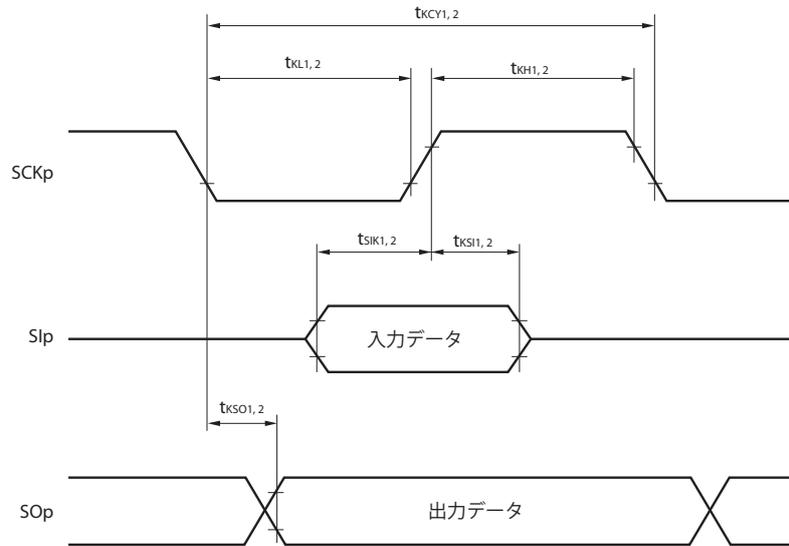
- 備考 1. p: CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31), m: ユニット番号 (m = 0, 1), n: チャネル番号 (n = 0-3), g: PIM, POM番号 (g = 0, 1, 4, 5, 8, 14)
2. fMCK: シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。m: ユニット番号, n: チャネル番号 (mn = 00-03, 10-13))

CSIモード接続図 (同電位通信時)



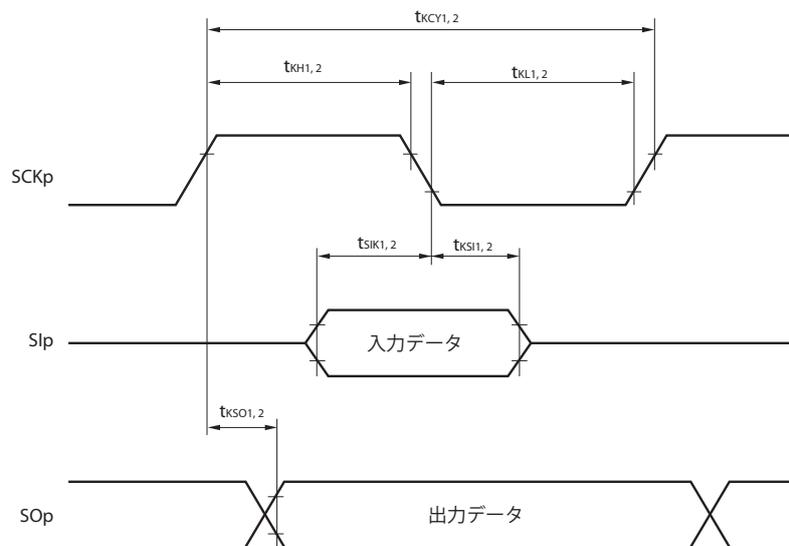
CSIモード・シリアル転送タイミング (同電位通信時)

(DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



CSIモード・シリアル転送タイミング (同電位通信時)

(DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



備考1. p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)

2. m : ユニット番号, n : チャネル番号 (mn = 00-03, 10-13)

(5) 同電位通信時 (簡易I²Cモード) (1/2)

(TA = -40~+85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイ ン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCLrクロック周波 数	f _{SCL}	2.7 V ≤ EVDD0 ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ		1000 ^{注1}		400 ^{注1}		400 ^{注1}	kHz
		1.8 V ≤ EVDD0 ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ		400 ^{注1}		400 ^{注1}		400 ^{注1}	kHz
		1.8 V ≤ EVDD0 < 2.7 V, Cb = 100 pF, Rb = 5 kΩ		300 ^{注1}		300 ^{注1}		300 ^{注1}	kHz
		1.7 V ≤ EVDD0 < 1.8 V, Cb = 100 pF, Rb = 5 kΩ		250 ^{注1}		250 ^{注1}		250 ^{注1}	kHz
		1.6 V ≤ EVDD0 < 1.8 V, Cb = 100 pF, Rb = 5 kΩ		-		250 ^{注1}		250 ^{注1}	kHz
SCLr = "L"のホール ド・タイム	t _{LOW}	2.7 V ≤ EVDD0 ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	475		1150		1150		ns
		1.8 V ≤ EVDD0 ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ	1150		1150		1150		ns
		1.8 V ≤ EVDD0 < 2.7 V, Cb = 100 pF, Rb = 5 kΩ	1550		1550		1550		ns
		1.7 V ≤ EVDD0 < 1.8 V, Cb = 100 pF, Rb = 5 kΩ	1850		1850		1850		ns
		1.6 V ≤ EVDD0 < 1.8 V, Cb = 100 pF, Rb = 5 kΩ	-		1850		1850		ns
SCLr = "H"のホール ド・タイム	t _{HIGH}	2.7 V ≤ EVDD0 ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	475		1150		1150		ns
		1.8 V ≤ EVDD0 ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ	1150		1150		1150		ns
		1.8 V ≤ EVDD0 < 2.7 V, Cb = 100 pF, Rb = 5 kΩ	1550		1550		1550		ns
		1.7 V ≤ EVDD0 < 1.8 V, Cb = 100 pF, Rb = 5 kΩ	1850		1850		1850		ns
		1.6 V ≤ EVDD0 < 1.8 V, Cb = 100 pF, Rb = 5 kΩ	-		1850		1850		ns

(注, 注意は次ページに, 備考は次々ページにあります。)

(5) 同電位通信時 (簡易I²Cモード) (2/2)

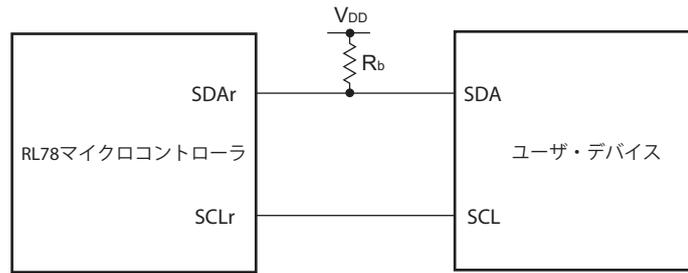
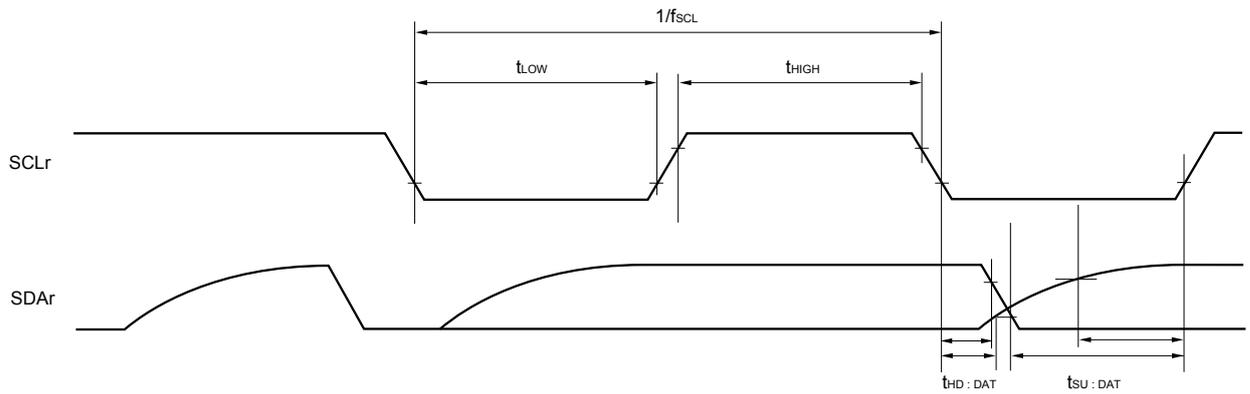
(TA = -40~+85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイ ン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
データ・セットア ップ時間 (受信時)	t _{SU} : DAT	2.7 V ≤ EVDD0 ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	1/f _{MCK} + 85 ^{注2}		1/f _{MCK} + 145 ^{注2}		1/f _{MCK} + 145 ^{注2}		ns
		1.8 V ≤ EVDD0 ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ	1/f _{MCK} + 145 ^{注2}		1/f _{MCK} + 145 ^{注2}		1/f _{MCK} + 145 ^{注2}		ns
		1.8 V ≤ EVDD0 < 2.7 V, Cb = 100 pF, Rb = 5 kΩ	1/f _{MCK} + 230 ^{注2}		1/f _{MCK} + 230 ^{注2}		1/f _{MCK} + 230 ^{注2}		ns
		1.7 V ≤ EVDD0 < 1.8 V, Cb = 100 pF, Rb = 5 kΩ	1/f _{MCK} + 290 ^{注2}		1/f _{MCK} + 290 ^{注2}		1/f _{MCK} + 290 ^{注2}		ns
		1.6 V ≤ EVDD0 < 1.8 V, Cb = 100 pF, Rb = 5 kΩ	—		1/f _{MCK} + 290 ^{注2}		1/f _{MCK} + 290 ^{注2}		ns
データ・ホールド時 間 (送信時)	t _{HD} : DAT	2.7 V ≤ EVDD0 ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	0	305	0	305	0	305	ns
		1.8 V ≤ EVDD0 ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ	0	355	0	355	0	355	ns
		1.8 V ≤ EVDD0 < 2.7 V, Cb = 100 pF, Rb = 5 kΩ	0	405	0	405	0	405	ns
		1.7 V ≤ EVDD0 < 1.8 V, Cb = 100 pF, Rb = 5 kΩ	0	405	0	405	0	405	ns
		1.6 V ≤ EVDD0 < 1.8 V, Cb = 100 pF, Rb = 5 kΩ	—		0	405	0	405	ns

注1. $f_{MCK}/4$ 以下に設定してください。2. f_{MCK} 値は、SCLr = "L"とSCLr = "H"のホールド・タイムを越えない値に設定してください。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタh (POMh) で、SDArは通常入力バッファ、N-chオープン・ドレイン出力 (VDD耐圧 (20~52ピン製品の場合) / EVDD耐圧 (64~128ピン製品の場合) モードを選択し、SCLrは通常出力モードを選択します。

(備考は次ページにあります。)

簡易I²Cモード接続図 (同電位通信時)簡易I²Cモード・シリアル転送タイミング (同電位通信時)

- 備考 1. R_b [Ω]: 通信ライン (SDAr) プルアップ抵抗値, C_b [F]: 通信ライン (SCLr, SDAr) 負荷容量値
2. r : IIC番号 ($r = 00, 01, 10, 11, 20, 21, 30, 31$), g : PIM番号 ($g = 0, 1, 4, 5, 8, 14$),
 h : POM番号 ($h = 0, 1, 4, 5, 7-9, 14$)
3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
 (SMRmnレジスタのCKSmnビットで設定する動作クロック。 m : ユニット番号 ($m = 0, 1$), n : チャネル番号 ($n = 0, 2$), $mn = 00-03, 10-13$)

(6) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信時 (UARTモード) (1/2)

(TA = -40~+85 °C, 1.8 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
転送レート	受信	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V		fMCK/6 ^{注1}		fMCK/6 ^{注1}		fMCK/6 ^{注1}	bps
		最大転送レート理論値 fMCK = fCLK ^{注4}		5.3		1.3		0.6	Mbps
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V		fMCK/6 ^{注1}		fMCK/6 ^{注1}		fMCK/6 ^{注1}	bps
		最大転送レート理論値 fMCK = fCLK ^{注4}		5.3		1.3		0.6	Mbps
		1.8V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V		fMCK/6 ^注 1, 2, 3		fMCK/6 ^注 1, 2		fMCK/6 ^注 1, 2	bps
		最大転送レート理論値 fMCK = fCLK ^{注4}		5.3		1.3		0.6	Mbps

注 1. SNOOZEモードでの転送レートは、4800 bpsのみとなります。

- EVDD0 ≥ Vb で使用してください。
- EVDD0 < VDD となる低電圧インタフェース時は、次の条件も必要になります。
 2.4 V ≤ EVDD0 < 2.7 V : MAX. 2.6 Mbps
 1.8 V ≤ EVDD0 < 2.4 V : MAX. 1.3 Mbps
- CPU/周辺ハードウェア・クロック (fCLK) の最高動作周波数を次に示します。
 HS (高速メイン) モード : 32 MHz (2.7 V ≤ VDD ≤ 5.5 V)
 16 MHz (2.4 V ≤ VDD ≤ 5.5 V)
 LS (低速メイン) モード : 8 MHz (1.8 V ≤ VDD ≤ 5.5 V)
 LV (低電圧メイン) モード : 4 MHz (1.6 V ≤ VDD ≤ 5.5 V)

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、Rx/Dq端子はTTL入力バッファを選択し、Tx/Dq端子はN-chオープン・ドレイン出力 (VDD耐圧 (20~52ピン製品の場合) / EVDD耐圧 (64~128ピン製品の場合) モード) を選択します。なおVIH, VILは、TTL入力バッファ選択時のDC特性を参照してください。

備考1. Vb [V]: 通信ライン電圧

- q: UART番号 (q = 0-3), g: PIM, POM番号 (g = 0, 1, 8, 14)
- fMCK: シリアル・アレイ・ユニットの動作クロック周波数
 (シリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。m: ユニット番号, n: チャンネル番号 (mn = 00-03, 10-13))
- 周辺I/Oリダイレクション・レジスタ (PIOR) のビット1 (PIOR1) が1のとき、UART2の異電位通信は使用できません。

(6) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信時 (UARTモード) (2/2)

(TA = -40~+85 °C, 1.8 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
転送レート	送信	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V		注1		注1		注1	bps
		最大転送レート理論値 Cb = 50 pF, Rb = 1.4 kΩ, Vb = 2.7 V		2.8 ^{注2}		2.8 ^{注2}		2.8 ^{注2}	Mbps
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V		注3		注3		注3	bps
		最大転送レート理論値 Cb = 50 pF, Rb = 2.7 kΩ, Vb = 2.3 V		1.2 ^{注4}		1.2 ^{注4}		1.2 ^{注4}	Mbps
		1.8V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V		注5,6		注5,6		注5,6	bps
		最大転送レート理論値 Cb = 50 pF, Rb = 5.5 kΩ, Vb = 1.6 V		0.43 ^{注7}		0.43 ^{注7}		0.43 ^{注7}	Mbps

注1. fMCK/6または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{2.2}{V_b})\}} \times 3 \quad [\text{bps}]$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{2.2}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \quad [\%]$$

※この値は送信側と受信側の相対差の理論値となります。

2. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注1により算出してください。

3. fMCK/6または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\}} \times 3 \quad [\text{bps}]$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \quad [\%]$$

※この値は送信側と受信側の相対差の理論値となります。

4. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注4により算出してください。

5. EVDD0 ≥ Vbで使用してください。

注6. $f_{MCK}/6$ または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

1.8 V \leq EV_{DD0} < 3.3 V, 1.6 V \leq V_b \leq 2.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{1.5}{V_b})\}} \times 3 \quad [\text{bps}]$$

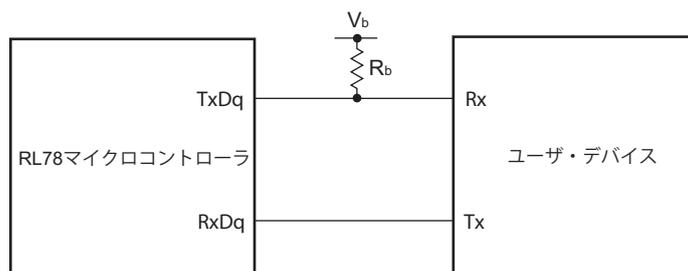
$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{1.5}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \quad [\%]$$

※この値は送信側と受信側の相対差の理論値となります。

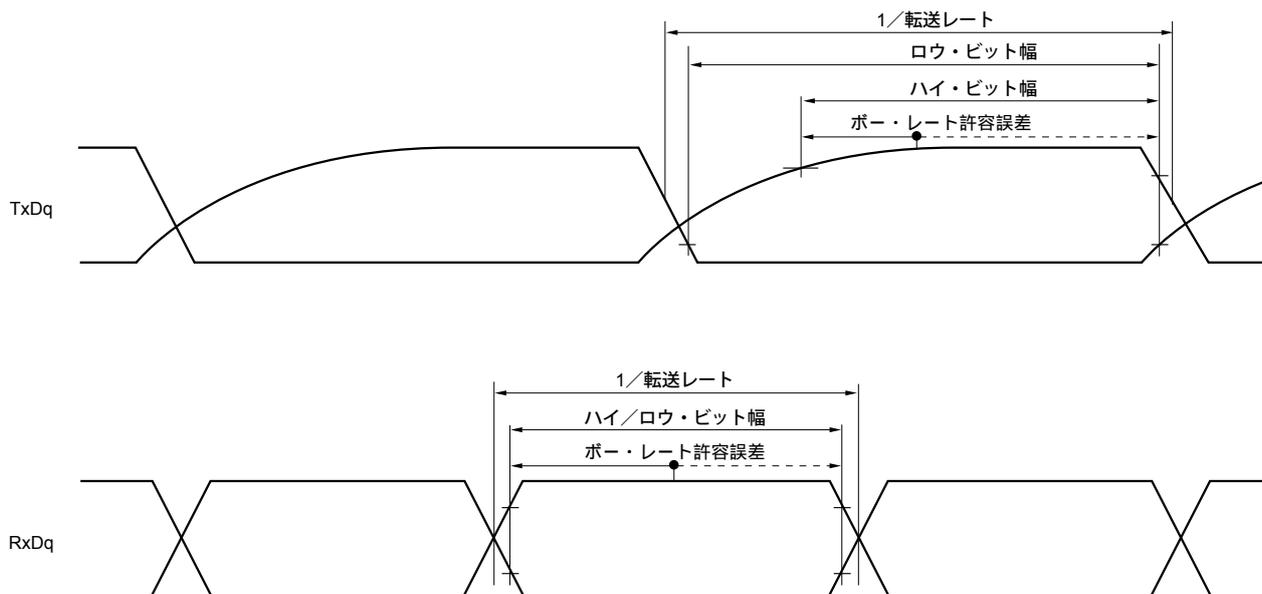
7. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注7により算出してください。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、RxDq端子はTTL入力バッファを選択し、TxDq端子はN-chオープン・ドレイン出力 (V_{DD}耐圧 (20~52ピン製品の場合) / EV_{DD}耐圧 (64~128ピン製品の場合) モードを選択します。なおV_{IH}, V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。

UARTモード接続図 (異電位通信時)



UARTモードのビット幅 (異電位通信時) (参考)



- 備考1. R_b [Ω] : 通信ライン (TxDq) プルアップ抵抗値, C_b [F] : 通信ライン (TxDq) 負荷容量値, V_b [V] : 通信ライン電圧
2. q : UART番号 ($q = 0-3$) , g : PIM, POM番号 ($g = 0, 1, 8, 14$)
 3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。m : ユニット番号, n : チャネル番号 (mn = 00-03, 10-13))
 4. 周辺I/Oリダイレクション・レジスタ (PIOR) のビット1 (PIOR1) が1のとき, UART2の異電位通信は使用できません。

(7) 異電位 (2.5 V系, 3 V系) 通信時 (CSIモード) (マスタ・モード, SCKp...内部クロック出力, CSI00のみ対応)

(1/2)

(TA = -40~+85 °C, 2.7 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件		HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モ ード		単位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・ タイム	tkCY1	tkCY1 ≥ 2/fCLK	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ	200		1150		1150		ns
			2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ	300		1150		1150		ns
SCKpハイ・ レベル幅	tkH1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ		tkCY1/2- 50		tkCY1/2- 50		tkCY1/2- 50		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ		tkCY1/2- 120		tkCY1/2- 120		tkCY1/2- 120		ns
SCKpロウ・ レベル幅	tkL1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ		tkCY1/2-7		tkCY1/2- 50		tkCY1/2- 50		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ		tkCY1/2- 10		tkCY1/2- 50		tkCY1/2- 50		ns
Slpセットアップ 時間 (対SCKp↑) 注1	tSIK1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ		58		479		479		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ		121		479		479		ns
Slpホールド 時間 (対SCKp↑) 注1	tkSI1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ		10		10		10		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ		10		10		10		ns
SCKp↓→Sop 出力 遅延時間注1	tkSO1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ			60		60		60	ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ			130		130		130	ns

(注, 注意, 備考は次ページにあります。)

(7) 異電位 (2.5 V系, 3 V系) 通信時 (CSIモード) (マスタ・モード, SCKp...内部クロック出力, CSI00のみ対応)
(2/2)

(TA = -40~+85 °C, 2.7 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件	HS (高速メイン)モード		LS (低速メイン)モード		LV (低電圧メイン)モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
Slpセットアップ時間 (対SCKp↓) 注2	tSIK1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ	23		110		110		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ	33		110		110		ns
Slpホールド時間 (対SCKp↓) 注2	tKS11	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ	10		10		10		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ	10		10		10		ns
SCKp↑ → SOp出力 遅延時間 注2	tKS01	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ		10		10		10	ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ		10		10		10	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。

2. DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、Slp端子はTTL入力バッファを選択し、SOp端子とSCKp端子はN-chオープン・ドレイン出力 (VDD耐圧 (20~52ピン製品の場合) / EVDD耐圧 (64~128ピン製品の場合) モードを選択します。なおVIH, VILは、TTL入力バッファ選択時のDC特性を参照してください。

備考1. Rb [Ω]: 通信ライン (SCKp, SOp) プルアップ抵抗値, Cb [F]: 通信ライン (SCKp, SOp) 負荷容量値, Vb [V]: 通信ライン電圧

2. p: CSI番号 (p = 00), m: ユニット番号 (m = 0), n: チャネル番号 (n = 0), g: PIM, POM番号 (g = 1)

3. fMCK: シリアル・アレイ・ユニットの動作クロック周波数 (シリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。m: ユニット番号, n: チャネル番号 (mn = 00))

4. この値は、CSI00の周辺I/Oリダイレクト機能未使用時のみ対応します。

(8) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信時 (CSIモード) (マスタ・モード, SCKp...内部クロック出力)

(1/3)

(TA = -40~+85 °C, 1.8 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件		HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
				SCKpサイクル・ タイム	t _{KCY1}	t _{KCY1} ≥ 4/f _{CLK}	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ	300		
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ	500		1150		1150		ns	
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V ^注 , C _b = 30 pF, R _b = 5.5 kΩ	1150		1150		1150		ns	
SCKpハイ・ レベル幅	t _{KH1}	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ	t _{KCY1} /2 - 75		t _{KCY1} /2 - 75		t _{KCY1} /2 - 75		ns	
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ	t _{KCY1} /2 - 170		t _{KCY1} /2 - 170		t _{KCY1} /2 - 170		ns	
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V ^注 , C _b = 30 pF, R _b = 5.5 kΩ	t _{KCY1} /2 - 458		t _{KCY1} /2 - 458		t _{KCY1} /2 - 458		ns	
SCKpロウ・ レベル幅	t _{KL1}	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ	t _{KCY1} /2 - 12		t _{KCY1} /2 - 50		t _{KCY1} /2 - 50		ns	
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ	t _{KCY1} /2 - 18		t _{KCY1} /2 - 50		t _{KCY1} /2 - 50		ns	
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V ^注 , C _b = 30 pF, R _b = 5.5 kΩ	t _{KCY1} /2 - 50		t _{KCY1} /2 - 50		t _{KCY1} /2 - 50		ns	

注 EVDD0 ≥ V_bで使用してください。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、Slp端子はTTL入力バッファを選択し、SOp端子とSCKp端子はN-chオープン・ドレイン出力 (V_{DD}耐圧 (20~52ピン製品の場合) / EV_{DD}耐圧 (64~128ピン製品の場合) モード) を選択します。なおV_{IH}, V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。

(備考は次々ページにあります。)

(8) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信時 (CSIモード) (マスタ・モード, SCKp...内部クロック出力)
(2/3)

(TA = -40~+85 °C, 1.8 V ≤ EV_{DD0} = EV_{DD1} ≤ V_{DD} ≤ 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイ ン) モード		単 位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
Slpセットアップ時間 (対SCKp ↑) 注1	t _{SIK1}	4.0 V ≤ EV _{DD0} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ	81		479		479		ns
		2.7 V ≤ EV _{DD0} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ	177		479		479		ns
		1.8 V ≤ EV _{DD0} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V ^{注2} , C _b = 30 pF, R _b = 5.5 kΩ	479		479		479		ns
Slpホールド時間 (対SCKp ↑) 注1	t _{KS11}	4.0 V ≤ EV _{DD0} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ	19		19		19		ns
		2.7 V ≤ EV _{DD0} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ	19		19		19		ns
		1.8 V ≤ EV _{DD0} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V ^{注2} , C _b = 30 pF, R _b = 5.5 kΩ	19		19		19		ns
SCKp ↓ → SOP出力 遅延時間 ^{注1}	t _{KSO1}	4.0 V ≤ EV _{DD0} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ		100		100		100	ns
		2.7 V ≤ EV _{DD0} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ		195		195		195	ns
		1.8 V ≤ EV _{DD0} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V ^{注2} , C _b = 30 pF, R _b = 5.5 kΩ		483		483		483	ns

注 1. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。

2. EV_{DD0} ≥ V_b で使用してください。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で, Slp端子はTTL入力バッファを選択し, SOP端子とSCKp端子はN-chオープン・ドレイン出力 (V_{DD}耐圧 (20~52ピン製品の場合) / EV_{DD}耐圧 (64~128ピン製品の場合) モードを選択します。なおV_{IH}, V_{IL}は, TTL入力バッファ選択時のDC特性を参照してください。

(備考は次々ページにあります。)

(8) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信時 (CSIモード) (マスタ・モード, SCKp...内部クロック出力)

(3/3)

(TA = -40~+85 °C, 1.8 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件	HS (高速メイン)モード		LS (低速メイン)モード		LV (低電圧メイン)モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
Slpセットアップ時間 (対SCKp ↓) 注1	t _{SIK1}	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ	44		110		110		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ	44		110		110		ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V ^{注2} , C _b = 30 pF, R _b = 5.5 kΩ	110		110		110		ns
Slpホールド時間 (対SCKp ↓) 注1	t _{KSI1}	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ	19		19		19		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ	19		19		19		ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V ^{注2} , C _b = 30 pF, R _b = 5.5 kΩ	19		19		19		ns
SCKp ↑ → SOp出力 遅延時間 ^{注1}	t _{KSO1}	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ		25		25		25	ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ		25		25		25	ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V ^{注2} , C _b = 30 pF, R _b = 5.5 kΩ		25		25		25	ns

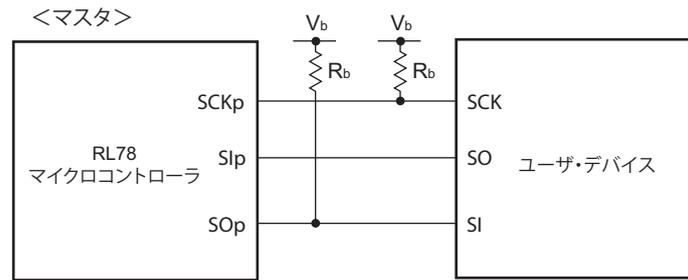
注 1. DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき。

2. EVDD0 ≥ V_bで使用してください。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、Slp端子はTTL入力バッファを選択し、SOp端子とSCKp端子はN-chオープン・ドレイン出力 (V_{DD}耐圧 (20~52ピン製品の場合) / EV_{DD}耐圧 (64~128ピン製品の場合) モード) を選択します。なおV_{IH}, V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。

(備考は次ページにあります。)

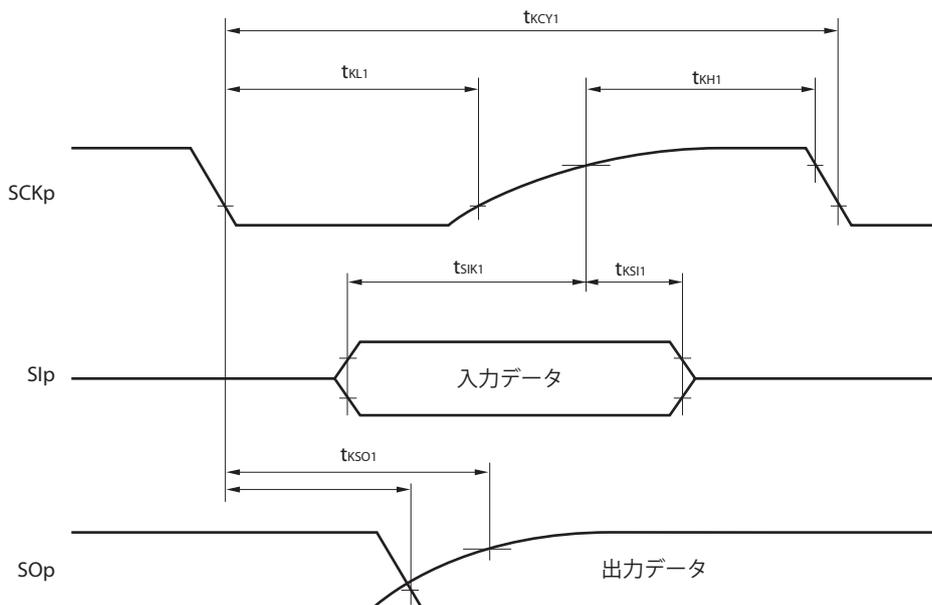
CSIモード接続図 (異電位通信時)



- 備考1. R_b [Ω]: 通信ライン (SCKp, SOP) プルアップ抵抗値, C_b [F]: 通信ライン (SCKp, SOP) 負荷容量値, V_b [V]: 通信ライン電圧
2. p : CSI番号 ($p = 00, 01, 10, 20, 30, 31$), m : ユニット番号, n : チャンネル番号 ($mn = 00, 01, 02, 10, 12, 13$), g : PIM, POM番号 ($g = 0, 1, 4, 5, 8, 14$)
 3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
シリアル・モード・レジスタ mn (SMR mn) のCK S_{mn} ビットで設定する動作クロック。 m : ユニット番号, n : チャンネル番号 ($mn = 00$))
 4. CSI11, CSI21と, 48, 52, 64ピン製品のCSI01は異電位通信できません。異電位通信をする場合は, それ以外のCSIを使用してください。

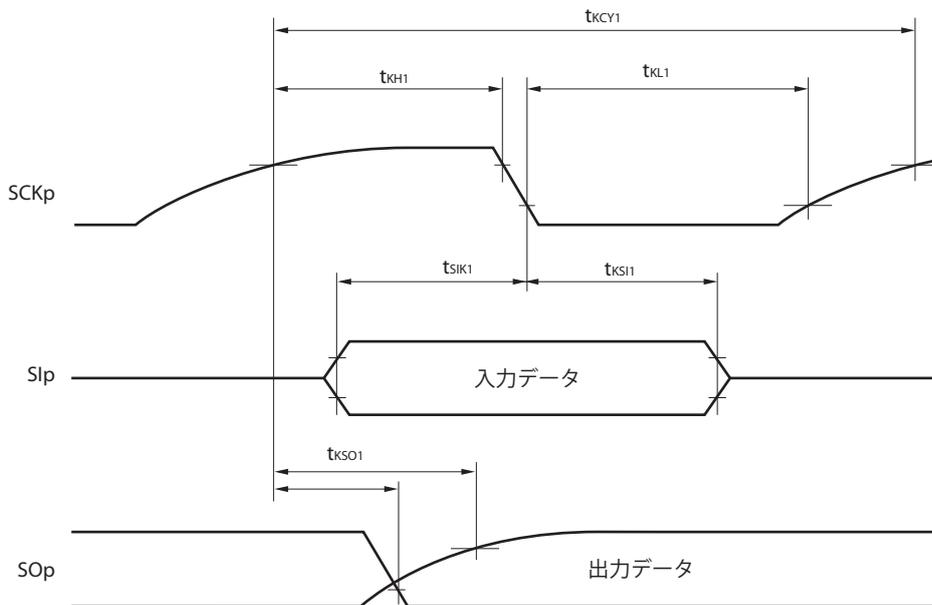
CSIモード・シリアル転送タイミング：マスタ・モード（異電位通信時）

(DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



CSIモード・シリアル転送タイミング：マスタ・モード（異電位通信時）

(DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



- 備考1. p : CSI番号 (p = 00, 01, 10, 20, 30, 31) , m : ユニット番号, n : チャネル番号 (mn = 00, 01, 02, 10, 12, 13) , g : PIM, POM番号 (g = 0, 1, 4, 5, 8, 14)
2. CSI11, CSI21と, 48, 52, 64ピン製品のCSI01は異電位通信できません。異電位通信をする場合は, それ以外のCSIを使用してください。

(9) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信時 (CSIモード) (スレーブ・モード, SCKp...外部クロック入力)
 ($T_A = -40 \sim +85^\circ\text{C}$, $1.8\text{ V} \leq \text{EV}_{\text{DD}0} = \text{EV}_{\text{DD}1} \leq \text{V}_{\text{DD}} \leq 5.5\text{ V}$, $\text{V}_{\text{SS}} = \text{EV}_{\text{SS}0} = \text{EV}_{\text{SS}1} = 0\text{ V}$) (1/2)

項目	略号	条件	HS (高速メイン)モード		LS (低速メイン)モード		LV (低電圧メイン)モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKpサイクル・タイム ^{注1}	t _{KCY2}	$4.0\text{ V} \leq \text{EV}_{\text{DD}0} \leq 5.5\text{ V}$, $2.7\text{ V} \leq \text{V}_b \leq 4.0\text{ V}$	$24\text{ MHz} < f_{\text{MCK}}$	$14/f_{\text{MCK}}$		-		-	ns
			$20\text{ MHz} < f_{\text{MCK}} \leq 24\text{ MHz}$	$12/f_{\text{MCK}}$		-		-	ns
			$8\text{ MHz} < f_{\text{MCK}} \leq 20\text{ MHz}$	$10/f_{\text{MCK}}$		-		-	ns
			$4\text{ MHz} < f_{\text{MCK}} \leq 8\text{ MHz}$	$8/f_{\text{MCK}}$		$16/f_{\text{MCK}}$		-	ns
			$f_{\text{MCK}} \leq 4\text{ MHz}$	$6/f_{\text{MCK}}$		$10/f_{\text{MCK}}$		$10/f_{\text{MCK}}$	ns
		$2.7\text{ V} \leq \text{EV}_{\text{DD}0} < 4.0\text{ V}$, $2.3\text{ V} \leq \text{V}_b \leq 2.7\text{ V}$	$24\text{ MHz} < f_{\text{MCK}}$	$20/f_{\text{MCK}}$		-		-	ns
			$20\text{ MHz} < f_{\text{MCK}} \leq 24\text{ MHz}$	$16/f_{\text{MCK}}$		-		-	ns
			$16\text{ MHz} < f_{\text{MCK}} \leq 20\text{ MHz}$	$14/f_{\text{MCK}}$		-		-	ns
			$8\text{ MHz} < f_{\text{MCK}} \leq 16\text{ MHz}$	$12/f_{\text{MCK}}$		-		-	ns
			$4\text{ MHz} < f_{\text{MCK}} \leq 8\text{ MHz}$	$8/f_{\text{MCK}}$		$16/f_{\text{MCK}}$		-	ns
			$f_{\text{MCK}} \leq 4\text{ MHz}$	$6/f_{\text{MCK}}$		$10/f_{\text{MCK}}$		$10/f_{\text{MCK}}$	ns
			$1.8\text{ V} \leq \text{EV}_{\text{DD}0} < 3.3\text{ V}$, $1.6\text{ V} \leq \text{V}_b \leq 2.0\text{ V}$ ^{注2}	$24\text{ MHz} < f_{\text{MCK}}$	$48/f_{\text{MCK}}$		-		-
		$20\text{ MHz} < f_{\text{MCK}} \leq 24\text{ MHz}$		$36/f_{\text{MCK}}$		-		-	ns
		$16\text{ MHz} < f_{\text{MCK}} \leq 20\text{ MHz}$		$32/f_{\text{MCK}}$		-		-	ns
		$8\text{ MHz} < f_{\text{MCK}} \leq 16\text{ MHz}$		$26/f_{\text{MCK}}$		-		-	ns
		$4\text{ MHz} < f_{\text{MCK}} \leq 8\text{ MHz}$		$16/f_{\text{MCK}}$		$16/f_{\text{MCK}}$		-	ns
		$f_{\text{MCK}} \leq 4\text{ MHz}$		$10/f_{\text{MCK}}$		$10/f_{\text{MCK}}$		$10/f_{\text{MCK}}$	ns

(注, 注意は次ページに, 備考は次々ページにあります。)

(9) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信時 (CSIモード) (スレーブ・モード, SCKp...外部クロック入力)
(TA = -40~+85 °C, 1.8 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V) (2/2)

項目	略号	条件	HS (高速メイン)モード		LS (低速メイン)モード		LV (低電圧メイン)モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKp ハイ, 口 ウ・レベル幅	tkH2, tkL2	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V	tkCY2/2- 12		tkCY2/2- 50		tkCY2/2- 50		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V	tkCY2/2- 18		tkCY2/2- 50		tkCY2/2- 50		ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V ^{注2}	tkCY2/2- 50		tkCY2/2- 50		tkCY2/2- 50		ns
Slpセットアップ 時間 (対SCKp↑) ^{注3}	tsIK2	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V	1/fMCK+ 20		1/fMCK+ 30		1/fMCK+ 30		ns
		2.7 V ≤ EVDD0 ≤ 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V	1/fMCK+ 20		1/fMCK+ 30		1/fMCK+ 30		ns
		1.8 V ≤ EVDD0 ≤ 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V ^{注2}	1/fMCK+ 30		1/fMCK+ 30		1/fMCK+ 30		ns
Slpホールド時間 (対SCKp↑) ^{注3}	tkSI2		1/fMCK+ 31		1/fMCK+ 31		1/fMCK+ 31		ns
SCKp↓→Sop 出力遅延時間 ^{注4}	tkSO2	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ		2/fMCK+ 120		2/fMCK+ 573		2/fMCK+ 573	ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		2/fMCK+ 214		2/fMCK+ 573		2/fMCK+ 573	ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V ^{注2} , Cb = 30 pF, Rb = 5.5 kΩ		2/fMCK+ 573		2/fMCK+ 573		2/fMCK+ 573	ns

注 1. SNOOZEモードでの転送レートは, MAX.: 1 Mbps

2. EVDD0 ≥ Vb で使用してください。

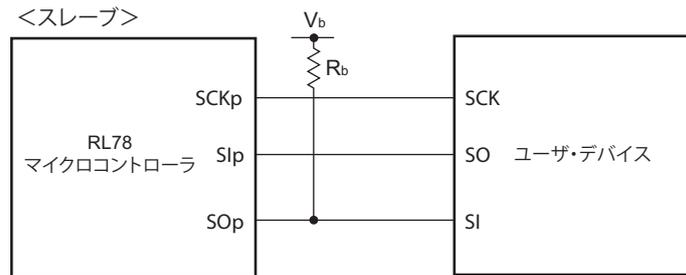
3. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは “対SCKp↓” となります。

4. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは “対SCKp↑” となります。

注意. ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で, Slp端子とSCKp端子はTTL入力バッファを選択し, Sop端子はN-chオープン・ドレイン出力 (VDD耐圧 (20~52ピン製品の場合) / EVDD耐圧 (64~128ピン製品の場合) モードを選択します。なおVIH, VILは, TTL入力バッファ選択時のDC特性を参照してください。

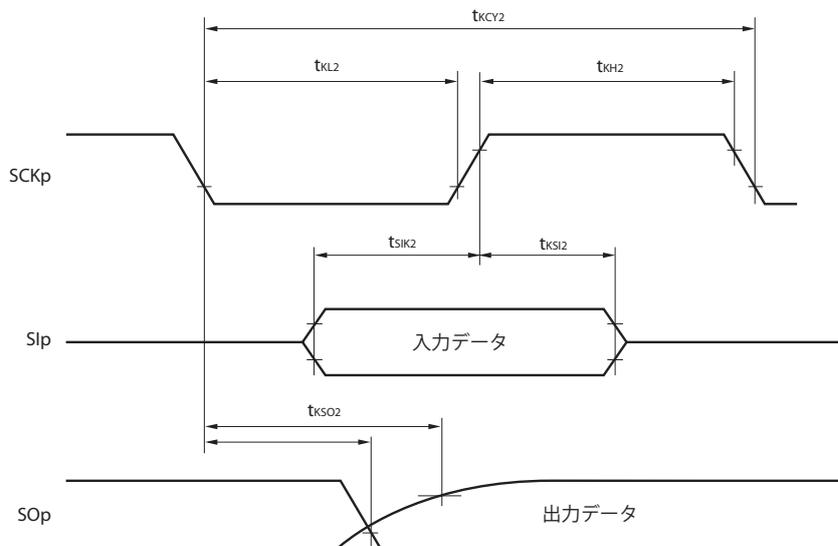
(備考は次ページにあります。)

CSIモード接続図 (異電位通信時)

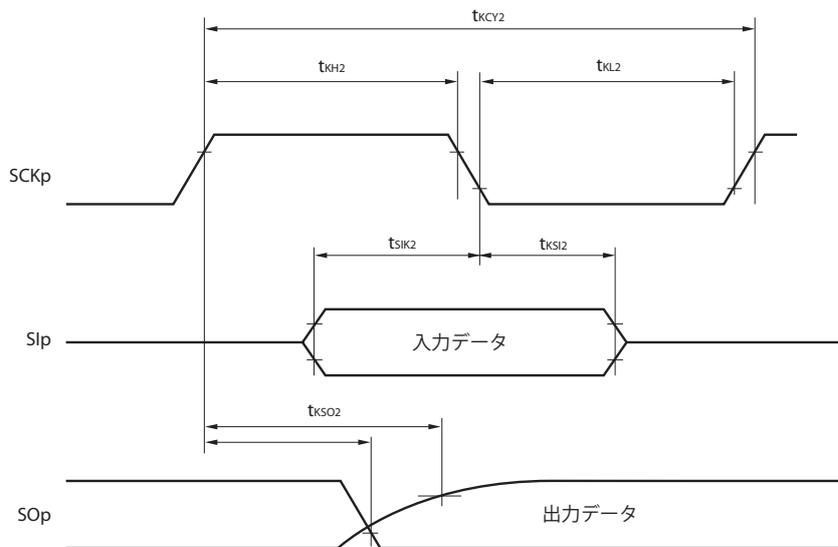


- 備考1. R_b [Ω] : 通信ライン (SO_p) プルアップ抵抗値, C_b [F] : 通信ライン (SO_p) 負荷容量値,
 V_b [V] : 通信ライン電圧
2. p: CSI番号 (p = 00, 01, 10, 20, 30, 31), m: ユニット番号, n: チャンネル番号 (mn = 00, 01, 02, 10, 12, 13),
g: PIM, POM番号 (g = 0, 1, 4, 5, 8, 14)
 3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。m: ユニット番号, n: チャンネル番号 (mn = 00, 01, 02, 10, 12, 13))
 4. CSI11, CSI21と, 48, 52, 64ピン製品のCSI01は異電位通信できません。異電位通信をする場合は, それ以外のCSIを使用してください。

CSIモード・シリアル転送タイミング：スレーブ・モード（異電位通信時）
 (DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



CSIモード・シリアル転送タイミング：スレーブ・モード（異電位通信時）
 (DAPmn= 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



- 備考1. p : CSI番号 (p = 00, 01, 10, 20, 30, 31) , m : ユニット番号, n : チャネル番号 (mn = 00, 01, 02, 10, 12, 13) , g : PIM, POM番号 (g = 0, 1, 4, 5, 8, 14)
2. CSI11, CSI21と, 48, 52, 64ピン製品のCSI01は異電位通信できません。異電位通信をする場合は, それ以外のCSIを使用してください。

(10) 異電位通信時 (1.8 V系, 2.5 V系, 3 V系) 通信時 (簡易I²Cモード) (1/2)

(TA = -40~+85 °C, 1.8 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件	HS (高速メイン)モード		LS (低速メイン)モード		LV (低電圧メイン)モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
			SCLrクロック周波数 f _{SCL}						
SCLr = "L"のホールド・タイム	t _{LOW}	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ		1000 ^{注1}		300 ^{注1}		300 ^{注1}	kHz
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ		1000 ^{注1}		300 ^{注1}		300 ^{注1}	kHz
		4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ		400 ^{注1}		300 ^{注1}		300 ^{注1}	kHz
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ		400 ^{注1}		300 ^{注1}		300 ^{注1}	kHz
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V ^{注2} , Cb = 100 pF, Rb = 5.5 kΩ		300 ^{注1}		300 ^{注1}		300 ^{注1}	kHz
SCLr = "L"のホールド・タイム	t _{LOW}	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ	475		1550		1550		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	475		1550		1550		ns
		4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ	1150		1550		1550		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	1150		1550		1550		ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V ^{注2} , Cb = 100 pF, Rb = 5.5 kΩ	1550		1550		1550		ns
SCLr = "H"のホールド・タイム	t _{HIGH}	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ	245		610		610		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	200		610		610		ns
		4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ	675		610		610		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	600		610		610		ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V ^{注2} , Cb = 100 pF, Rb = 5.5 kΩ	610		610		610		ns

(10) 異電位通信時 (1.8 V系, 2.5 V系, 3 V系) 通信時 (簡易I²Cモード) (2/2)

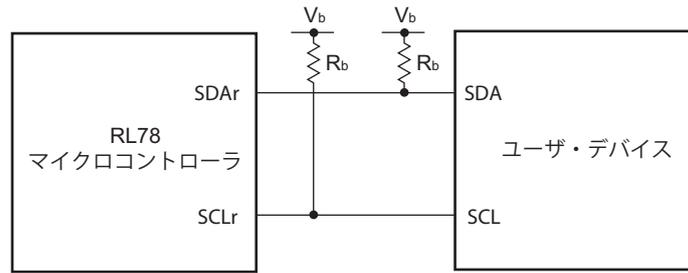
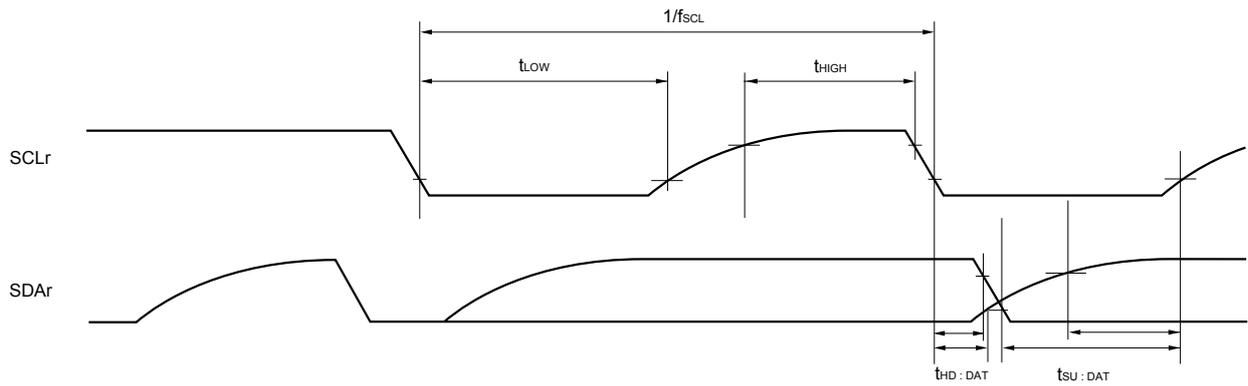
(TA = -40~+85 °C, 1.8 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイ ン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
データ・セットアップ時間 (受信時)	t _{SU} : DAT	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 50 pF, R _b = 2.7 kΩ	1/f _{MCK} + 135 注3		1/f _{MCK} + 190 注3		1/f _{MCK} + 190 注3		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 50 pF, R _b = 2.7 kΩ	1/f _{MCK} + 135 注3		1/f _{MCK} + 190 注3		1/f _{MCK} + 190 注3		ns
		4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 100 pF, R _b = 2.8 kΩ	1/f _{MCK} + 190 注3		1/f _{MCK} + 190 注3		1/f _{MCK} + 190 注3		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ	1/f _{MCK} + 190 注3		1/f _{MCK} + 190 注3		1/f _{MCK} + 190 注3		ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V ^{注2} , C _b = 100 pF, R _b = 5.5 kΩ	1/f _{MCK} + 190 注3		1/f _{MCK} + 190 注3		1/f _{MCK} + 190 注3		ns
データ・ホールド時間 (送信時)	t _{HD} : DAT	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 50 pF, R _b = 2.7 kΩ	0	305	0	305	0	305	ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 50 pF, R _b = 2.7 kΩ	0	305	0	305	0	305	ns
		4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 100 pF, R _b = 2.8 kΩ	0	355	0	355	0	355	ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ	0	355	0	355	0	355	ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V ^{注2} , C _b = 100 pF, R _b = 5.5 kΩ	0	405	0	405	0	405	ns

注 1. かつ f_{MCK}/4 以下に設定してください。2. EVDD0 ≥ V_b で使用してください。3. f_{MCK}値は、SCLr = "L"とSCLr = "H"のホールド・タイムを超えない設定にしてください。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、SDArはTTL入力バッファ、N-chオープン・ドレイン出力 (V_{DD}耐圧 (20~52ピン製品の場合) / EVDD耐圧 (64~128ピン製品の場合) モードを選択し、SCLrはN-chオープン・ドレイン出力 (V_{DD}耐圧 (20~52ピン製品の場合) / EVDD耐圧 (64~128ピン製品の場合) モードを選択します。なおV_{IH}, V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。

(備考は次ページにあります。)

簡易I²Cモード接続図 (異電位通信時)簡易I²Cモード・シリアル転送タイミング (異電位通信時)

- 備考1. R_b [Ω]: 通信ライン (SDAr, SCLr) プルアップ抵抗値, C_b [F]: 通信ライン (SDAr, SCLr) 負荷容量値,
 V_b [V]: 通信ライン電圧
2. r : IIC番号 ($r = 00, 01, 10, 20, 30, 31$), g : PIM, POM番号 ($g = 0, 1, 4, 5, 8, 14$)
3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
 (SMRmnレジスタのCKSmnビットで設定する動作クロック。 m : ユニット番号, n : チャネル番号 ($mn = 00, 01, 02, 10, 12, 13$))

29.5.2 シリアル・インタフェース IICA

(1) I²C 標準モード (1/2)(TA = -40 ~ +85 °C, 1.6 V ≤ EV_{DD0} = EV_{DD1} ≤ V_{DD} ≤ 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイ ン) モード		単 位	
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.		
SCLA0クロック 周波数	f _{SCL}	標準モ ード: f _{CLK} ≥ 1 MHz	2.7 V ≤ EV _{DD0}	0	100	0	100	0	100	kHz
			≤ 5.5 V							
		1.8 V ≤ EV _{DD0}	0	100	0	100	0	100	kHz	
		≤ 5.5 V								
1.7 V ≤ EV _{DD0}	0	100	0	100	0	100	kHz			
≤ 5.5 V										
1.6 V ≤ EV _{DD0}	-		0	100	0	100	kHz			
≤ 5.5 V										
リスタート・コンデ ィションのセット アップ時間	t _{SU: STA}	2.7 V ≤ EV _{DD0} ≤ 5.5 V		4.7		4.7		4.7		μs
		1.8 V ≤ EV _{DD0} ≤ 5.5 V		4.7		4.7		4.7		μs
		1.7 V ≤ EV _{DD0} ≤ 5.5 V		4.7		4.7		4.7		μs
		1.6 V ≤ EV _{DD0} ≤ 5.5 V		-		4.7		4.7		μs
ホールド時間 ^{注1}	t _{HD: STA}	2.7 V ≤ EV _{DD0} ≤ 5.5 V		4.0		4.0		4.0		μs
		1.8 V ≤ EV _{DD0} ≤ 5.5 V		4.0		4.0		4.0		μs
		1.7 V ≤ EV _{DD0} ≤ 5.5 V		4.0		4.0		4.0		μs
		1.6 V ≤ EV _{DD0} ≤ 5.5 V		-		4.0		4.0		μs
SCLA0 = "L"のホー ルド・タイム	t _{LOW}	2.7 V ≤ EV _{DD0} ≤ 5.5 V		4.7		4.7		4.7		μs
		1.8 V ≤ EV _{DD0} ≤ 5.5 V		4.7		4.7		4.7		μs
		1.7 V ≤ EV _{DD0} ≤ 5.5 V		4.7		4.7		4.7		μs
		1.6 V ≤ EV _{DD0} ≤ 5.5 V		-		4.7		4.7		μs
SCLA0 = "H"のホー ルド・タイム	t _{HIGH}	2.7 V ≤ EV _{DD0} ≤ 5.5 V		4.0		4.0		4.0		μs
		1.8 V ≤ EV _{DD0} ≤ 5.5 V		4.0		4.0		4.0		μs
		1.7 V ≤ EV _{DD0} ≤ 5.5 V		4.0		4.0		4.0		μs
		1.6 V ≤ EV _{DD0} ≤ 5.5 V		-		4.0		4.0		μs

(注, 備考は次ページにあります。)

(1) I²C 標準モード (2/2)(TA = -40~+85 °C, 1.6 V ≤ EV_{DD0} = EV_{DD1} ≤ V_{DD} ≤ 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V)

項目	略号	条件	HS (高速メイン)モード		LS (低速メイン)モード		LV (低電圧メイン)モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
データ・セットアップ時間 (受信時)	t _{SU} : DAT	2.7 V ≤ EV _{DD0} ≤ 5.5 V	250		250		250		ns
		1.8 V ≤ EV _{DD0} ≤ 5.5 V	250		250		250		ns
		1.7 V ≤ EV _{DD0} ≤ 5.5 V	250		250		250		ns
		1.6 V ≤ EV _{DD0} ≤ 5.5 V	-		250		250		ns
データ・ホールド時間 (送信時) ^{注2}	t _{HD} : DAT	2.7 V ≤ EV _{DD0} ≤ 5.5 V	0	3.45	0	3.45	0	3.45	μs
		1.8 V ≤ EV _{DD0} ≤ 5.5 V	0	3.45	0	3.45	0	3.45	μs
		1.7 V ≤ EV _{DD0} ≤ 5.5 V	0	3.45	0	3.45	0	3.45	μs
		1.6 V ≤ EV _{DD0} ≤ 5.5 V	-		0	3.45	0	3.45	μs
ストップ・コンディションのセットアップ時間	t _{SU} : STO	2.7 V ≤ EV _{DD0} ≤ 5.5 V	4.0		4.0		4.0		μs
		1.8 V ≤ EV _{DD0} ≤ 5.5 V	4.0		4.0		4.0		μs
		1.7 V ≤ EV _{DD0} ≤ 5.5 V	4.0		4.0		4.0		μs
		1.6 V ≤ EV _{DD0} ≤ 5.5 V	-		4.0		4.0		μs
パス・フリー時間	t _{BUF}	2.7 V ≤ EV _{DD0} ≤ 5.5 V	4.7		4.7		4.7		μs
		1.8 V ≤ EV _{DD0} ≤ 5.5 V	4.7		4.7		4.7		μs
		1.7 V ≤ EV _{DD0} ≤ 5.5 V	4.7		4.7		4.7		μs
		1.6 V ≤ EV _{DD0} ≤ 5.5 V	-		4.7		4.7		μs

注 1. スタート・コンディション, リスタート・コンディション時は, この期間のあと最初のクロック・パルスが生成されます。

2. t_{HD}: DATの最大値 (MAX.) は, 通常転送時の数値であり, $\overline{\text{ACK}}$ (アクノリッジ) タイミングでは, ウェイトがかかります。

注意 周辺I/Oリダイレクション・レジスタ (PIOR) のビット2 (PIOR2) が1の場合も, 上記の値を適用できます。ただし, 端子特性 (I_{OH1}, I_{OL1}, V_{OH1}, V_{OL1}) はリダイレクト先の値を満たしてください。

備考 各モードにおけるC_b (通信ライン容量) のMAX.値と, そのときのR_b (通信ライン・プルアップ抵抗値) の値は次のとおりです。

標準モード : C_b = 400 pF, R_b = 2.7 kΩ

(2) I²C ファースト・モード

(TA = -40~+85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件		HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCLA0クロック周波数	f _{SCL}	ファースト・モード : f _{CLK} ≥ 3.5 MHz	2.7 V ≤ EVDD0 ≤ 5.5 V	0	400	0	400	0	400	kHz
			1.8 V ≤ EVDD0 ≤ 5.5 V	0	400	0	400	0	400	kHz
リスタート・コンディションのセットアップ時間	t _{SU: STA}	2.7 V ≤ EVDD0 ≤ 5.5 V		0.6		0.6		0.6		μs
		1.8 V ≤ EVDD0 ≤ 5.5 V		0.6		0.6		0.6		μs
ホールド時間 ^{注1}	t _{HD: STA}	2.7 V ≤ EVDD0 ≤ 5.5 V		0.6		0.6		0.6		μs
		1.8 V ≤ EVDD0 ≤ 5.5 V		0.6		0.6		0.6		μs
SCLA0 = "L"のホールド・タイム	t _{LOW}	2.7 V ≤ EVDD0 ≤ 5.5 V		1.3		1.3		1.3		μs
		1.8 V ≤ EVDD0 ≤ 5.5 V		1.3		1.3		1.3		μs
SCLA0 = "H"のホールド・タイム	t _{HIGH}	2.7 V ≤ EVDD0 ≤ 5.5 V		0.6		0.6		0.6		μs
		1.8 V ≤ EVDD0 ≤ 5.5 V		0.6		0.6		0.6		μs
データ・セットアップ時間 (受信時)	t _{SU: DAT}	2.7 V ≤ EVDD0 ≤ 5.5 V		100		100		100		ns
		1.8 V ≤ EVDD0 ≤ 5.5 V		100		100		100		ns
データ・ホールド時間 (送信時) ^{注2}	t _{HD: DAT}	2.7 V ≤ EVDD0 ≤ 5.5 V		0	0.9	0	0.9	0	0.9	μs
		1.8 V ≤ EVDD0 ≤ 5.5 V		0	0.9	0	0.9	0	0.9	μs
ストップ・コンディションのセットアップ時間	t _{SU: STO}	2.7 V ≤ EVDD0 ≤ 5.5 V		0.6		0.6		0.6		μs
		1.8 V ≤ EVDD0 ≤ 5.5 V		0.6		0.6		0.6		μs
パス・フリー時間	t _{BUF}	2.7 V ≤ EVDD0 ≤ 5.5 V		1.3		1.3		1.3		μs
		1.8 V ≤ EVDD0 ≤ 5.5 V		1.3		1.3		1.3		μs

注 1. スタート・コンディション, リスタート・コンディション時は, この期間のあと最初のクロック・パルスが生成されます。

2. t_{HD: DAT}の最大値 (MAX.) は, 通常転送時の数値であり, $\overline{\text{ACK}}$ (アクノリッジ) タイミングでは, ウェイトがかかります。

注意 周辺I/Oリダイレクション・レジスタ (PIOR) のビット2 (PIOR2) が1の場合も, 上記の値を適用できます。ただし, 端子特性 (I_{OH1}, I_{OL1}, V_{OH1}, V_{OL1}) はリダイレクト先の値を満たしてください。

備考 各モードにおけるC_b (通信ライン容量) のMAX.値と, そのときのR_b (通信ライン・プルアップ抵抗値) の値は次のとおりです。

ファースト・モード : C_b = 320 pF, R_b = 1.1 kΩ

(3) I²C ファースト・モード・プラス(TA = -40~+85 °C, 1.6 V ≤ EV_{DD0} = EV_{DD1} ≤ V_{DD} ≤ 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCLA0 クロック周波数	f _{SCL}	ファースト・モード・プラス: f _{CLK} ≥ 10 MHz 2.7 V ≤ EV _{DD0} ≤ 5.5 V	0	1000	-	-	-	-	kHz
リスタート・コンディションのセットアップ時間	t _{SU: STA}	2.7 V ≤ EV _{DD0} ≤ 5.5 V	0.26		-	-	-	-	μs
ホールド時間 ^{注1}	t _{HD: STA}	2.7 V ≤ EV _{DD0} ≤ 5.5 V	0.26		-	-	-	-	μs
SCLA0 = "L" のホールド・タイム	t _{LOW}	2.7 V ≤ EV _{DD0} ≤ 5.5 V	0.5		-	-	-	-	μs
SCLA0 = "H" のホールド・タイム	t _{HIGH}	2.7 V ≤ EV _{DD0} ≤ 5.5 V	0.26		-	-	-	-	μs
データ・セットアップ時間 (受信時)	t _{SU: DAT}	2.7 V ≤ EV _{DD0} ≤ 5.5 V	50		-	-	-	-	ns
データ・ホールド時間 (送信時) ^{注2}	t _{HD: DAT}	2.7 V ≤ EV _{DD0} ≤ 5.5 V	0	0.45	-	-	-	-	μs
ストップ・コンディションのセットアップ時間	t _{SU: STO}	2.7 V ≤ EV _{DD0} ≤ 5.5 V	0.26		-	-	-	-	μs
パス・フリー時間	t _{BUF}	2.7 V ≤ EV _{DD0} ≤ 5.5 V	0.5		-	-	-	-	μs

注 1. スタート・コンディション, リスタート・コンディション時は, この期間のあと最初のクロック・パルスが生成されます。

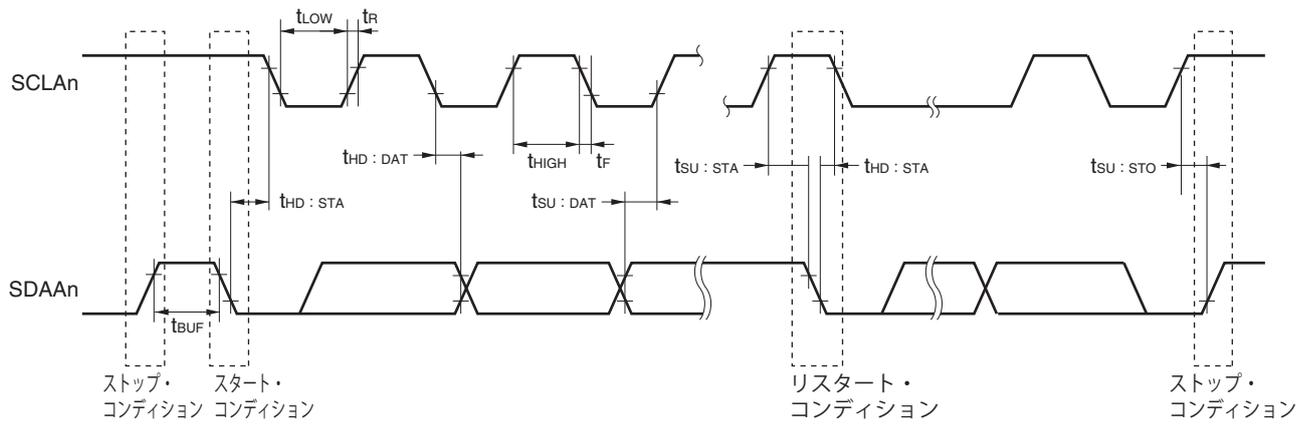
2. t_{HD: DAT}の最大値 (MAX.) は, 通常転送時の数値であり, $\overline{\text{ACK}}$ (アクノリッジ) タイミングでは, ウエイトがかかります。

注意 周辺I/Oリダイレクション・レジスタ (PIOR) のビット2 (PIOR2) が1の場合も, 上記の値を適用できます。ただし, 端子特性 (I_{OH1}, I_{OL1}, V_{OH1}, V_{OL1}) はリダイレクト先の値を満たしてください。

備考 各モードにおけるC_b (通信ライン容量) のMAX.値と, そのときのR_b (通信ライン・プルアップ抵抗値) の値は次のとおりです。

ファースト・モード・プラス : C_b = 120 pF, R_b = 1.1 kΩ

IIC/Aシリアル転送タイミング



備考 n = 0, 1

29.6 アナログ特性

29.6.1 A/Dコンバータ特性

A/Dコンバータ特性の区分

基準電圧 入力チャネル	基準電圧 (+) = AV _{REFP} 基準電圧 (-) = AV _{REFM}	基準電圧 (+) = V _{DD} 基準電圧 (-) = V _{SS}	基準電圧 (+) = V _{BGR} 基準電圧 (-) = AV _{REFM}
ANI0-ANI14	29.6.1 (1) 参照	29.6.1 (3) 参照	29.6.1 (3) 参照
ANI16-ANI26	29.6.1 (2) 参照		
内部基準電圧 温度センサ出力電圧	29.6.1 (1) 参照		-

(1) 基準電圧 (+) = AV_{REFP}/ANI0 (ADREFP1 = 0, ADREFP0 = 1), 基準電圧 (-) = AV_{REFM}/ANI1 (ADREFM = 1) 選択時, 変換対象: ANI2-ANI14, 内部基準電圧, 温度センサ出力電圧

(TA = -40~+85 °C, 1.6 V ≤ AV_{REFP} ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V, 基準電圧 (+) = AV_{REFP}, 基準電圧 (-) = AV_{REFM} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		8		10	bit
総合誤差 ^{注1}	AINL	10ビット分解能 AV _{REFP} = V _{DD} ^{注3}	1.8 V ≤ AV _{REFP} ≤ 5.5 V	1.2	±3.5	LSB
			1.6 V ≤ AV _{REFP} ≤ 5.5 V ^{注4}	1.2	±7.0	LSB
変換時間	t _{CONV}	10ビット分解能 変換対象: ANI2-ANI14	3.6 V ≤ V _{DD} ≤ 5.5 V	2.125	39	μs
			2.7 V ≤ V _{DD} ≤ 5.5 V	3.1875	39	μs
			1.8 V ≤ V _{DD} ≤ 5.5 V	17	39	μs
			1.6 V ≤ V _{DD} ≤ 5.5 V	57	95	μs
		10ビット分解能 変換対象: 内部基準電圧出力, 温度センサ出力電圧 (HS (高速メイン) モード)	3.6 V ≤ V _{DD} ≤ 5.5 V,	2.375	39	μs
			2.7 V ≤ V _{DD} ≤ 5.5 V, 2.4 V ≤ V _{DD} ≤ 5.5 V,	3.5625	39	μs
ゼロスケール誤差 ^{注1, 2}	E _{ZS}	10ビット分解能 AV _{REFP} = V _{DD} ^{注3}	1.8 V ≤ AV _{REFP} ≤ 5.5 V		±0.25	%FSR
			1.6 V ≤ AV _{REFP} ≤ 5.5 V ^{注4}		±0.50	%FSR
フルスケール誤差 ^{注1, 2}	E _{FS}	10ビット分解能 AV _{REFP} = V _{DD} ^{注3}	1.8 V ≤ AV _{REFP} ≤ 5.5 V		±0.25	%FSR
			1.6 V ≤ AV _{REFP} ≤ 5.5 V ^{注4}		±0.50	%FSR
積分直線性誤差 ^{注1}	ILE	10ビット分解能 AV _{REFP} = V _{DD} ^{注3}	1.8 V ≤ AV _{REFP} ≤ 5.5 V		±2.5	LSB
			1.6 V ≤ AV _{REFP} ≤ 5.5 V ^{注4}		±5.0	LSB
微分直線性誤差 ^{注1}	DLE	10ビット分解能 AV _{REFP} = V _{DD} ^{注3}	1.8 V ≤ AV _{REFP} ≤ 5.5 V		±1.5	LSB
			1.6 V ≤ AV _{REFP} ≤ 5.5 V ^{注4}		±2.0	LSB
アナログ入力電圧	V _{AIN}	ANI2-ANI14	0		AV _{REFP}	V
		内部基準電圧出力 (2.4 V ≤ V _{DD} ≤ 5.5 V, HS (高速メイン) モード)			V _{BGR} ^{注5}	V
		温度センサ出力電圧 (2.4 V ≤ V _{DD} ≤ 5.5 V, HS (高速メイン) モード)			V _{TMPS25} ^{注5}	V

(注は次ページにあります。)

- 注1. 量子化誤差 ($\pm 1/2$ LSB) を含みません。
2. フルスケール値に対する比率 (%FSR) で表します。
3. $AV_{REFP} < V_{DD}$ の場合, MAX.値は次のようになります。
- | | |
|---------------------|---|
| 総合誤差 | : $AV_{REFP} = V_{DD}$ のMAX.値に ± 1.0 LSBを加算してください |
| ゼロスケール誤差 / フルスケール誤差 | : $AV_{REFP} = V_{DD}$ のMAX.値に ± 0.05 %FSRを加算してください |
| 積分直線性誤差 / 微分直線性誤差 | : $AV_{REFP} = V_{DD}$ のMAX.値に ± 0.5 LSBを加算してください |
4. 変換時間をMIN. $57 \mu\text{s}$, MAX. $95 \mu\text{s}$ に設定した場合の値です。
5. 29. 6. 2 温度センサ / 内部基準電圧特性を参照してください。

(2) 基準電圧 (+) = $AV_{REFP}/ANI0$ ($ADREFP1 = 0, ADREFP0 = 1$), 基準電圧 (-) = $AV_{REFM}/ANI1$ ($ADREFM = 1$) 選択時, 変換対象: ANI16-ANI26

($T_A = -40 \sim +85^\circ\text{C}$, $1.6\text{ V} \leq EV_{DD0} = EV_{DD1} \leq V_{DD} \leq 5.5\text{ V}$, $1.6\text{ V} \leq AV_{REFP} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = EV_{SS0} = EV_{SS1} = 0\text{ V}$, 基準電圧 (+) = AV_{REFP} , 基準電圧 (-) = $AV_{REFM} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		8		10	bit
総合誤差 ^{注1}	AINL	10ビット分解能 $1.8\text{ V} \leq AV_{REFP} \leq 5.5\text{ V}$		1.2	± 5.0	LSB
		$EV_{DD0} \leq AV_{REFP} = V_{DD}$ 注3, 4 $1.6\text{ V} \leq AV_{REFP} \leq 5.5\text{ V}$ ^{注5}		1.2	± 8.5	LSB
変換時間	tCONV	10ビット分解能 変換対象: ANI16-ANI26 $3.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	2.125		39	μs
		$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	3.1875		39	μs
		$1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	17		39	μs
		$1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	57		95	μs
ゼロスケール誤差 ^{注1, 2}	Ezs	10ビット分解能 $1.8\text{ V} \leq AV_{REFP} \leq 5.5\text{ V}$			± 0.35	%FSR
		$EV_{DD0} \leq AV_{REFP} = V_{DD}$ 注3, 4 $1.6\text{ V} \leq AV_{REFP} \leq 5.5\text{ V}$ ^{注5}			± 0.60	%FSR
フルスケール誤差 ^{注1, 2}	Efs	10ビット分解能 $1.8\text{ V} \leq AV_{REFP} \leq 5.5\text{ V}$			± 0.35	%FSR
		$EV_{DD0} \leq AV_{REFP} = V_{DD}$ 注3, 4 $1.6\text{ V} \leq AV_{REFP} \leq 5.5\text{ V}$ ^{注5}			± 0.60	%FSR
積分直線性誤差 ^{注1}	ILE	10ビット分解能 $1.8\text{ V} \leq AV_{REFP} \leq 5.5\text{ V}$			± 3.5	LSB
		$EV_{DD0} \leq AV_{REFP} = V_{DD}$ 注3, 4 $1.6\text{ V} \leq AV_{REFP} \leq 5.5\text{ V}$ ^{注5}			± 6.0	LSB
微分直線性誤差 ^{注1}	DLE	10ビット分解能 $1.8\text{ V} \leq AV_{REFP} \leq 5.5\text{ V}$			± 2.0	LSB
		$EV_{DD0} \leq AV_{REFP} = V_{DD}$ 注3, 4 $1.6\text{ V} \leq AV_{REFP} \leq 5.5\text{ V}$ ^{注5}			± 2.5	LSB
アナログ入力電圧	VAIN	ANI16-ANI26	0		AV_{REFP} かつ EV_{DD0}	V

注1. 量子化誤差 ($\pm 1/2$ LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

3. $EV_{DD0} \leq AV_{REFP} < V_{DD}$ の場合, MAX.値は次のようになります。

総合誤差 : $AV_{REFP} = V_{DD}$ のMAX.値に ± 1.0 LSBを加算してください

ゼロスケール誤差/フルスケール誤差 : $AV_{REFP} = V_{DD}$ のMAX.値に ± 0.05 %FSRを加算してください

積分直線性誤差/微分直線性誤差 : $AV_{REFP} = V_{DD}$ のMAX.値に ± 0.5 LSBを加算してください

4. $AV_{REFP} < EV_{DD0} \leq V_{DD}$ の場合, MAX.値は次のようになります。

総合誤差 : $AV_{REFP} = V_{DD}$ のMAX.値に ± 4.0 LSBを加算してください

ゼロスケール誤差/フルスケール誤差 : $AV_{REFP} = V_{DD}$ のMAX.値に ± 0.20 %FSRを加算してください

積分直線性誤差/微分直線性誤差 : $AV_{REFP} = V_{DD}$ のMAX.値に ± 2.0 LSBを加算してください

5. 変換時間をMIN. $57\ \mu\text{s}$, MAX. $95\ \mu\text{s}$ に設定した場合の値です。

(3) 基準電圧 (+) = V_{DD} (ADREFP1 = 0, ADREFP0 = 0), 基準電圧 (-) = V_{SS} (ADREFM = 0) 選択時,
変換対象: ANI0-ANI14, ANI16-ANI26, 内部基準電圧、温度センサ出力電圧

($T_A = -40 \sim +85^\circ\text{C}$, $1.6\text{ V} \leq EV_{DD0} = EV_{DD1} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = EV_{SS0} = EV_{SS1} = 0\text{ V}$, 基準電圧 (+)
= V_{DD} , 基準電圧 (-) = V_{SS})

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		8		10	bit
総合誤差 ^{注1}	AINL	10ビット分解能	$1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	1.2	± 7.0	LSB
			$1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ ^{注3}	1.2	± 10.5	LSB
変換時間	t _{CONV}	10ビット分解能 変換対象: ANI0-ANI14, ANI16-ANI26	$3.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	2.125	39	μs
			$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	3.1875	39	μs
			$1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	17	39	μs
			$1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	57	95	μs
		10ビット分解能 変換対象: 内部基準電圧出 力、温度センサ出力電圧 HS (高速メイン) モード	$3.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$,	2.375	39	μs
			$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$,	3.5625 17	39	μs
ゼロスケール誤差 ^{注1, 2}	E _{ZS}	10ビット分解能	$1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$		± 0.60	%FSR
			$1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ ^{注3}		± 0.85	%FSR
フルスケール誤差 ^{注1, 2}	E _{FS}	10ビット分解能	$1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$		± 0.60	%FSR
			$1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ ^{注3}		± 0.85	%FSR
積分直線性誤差 ^{注1}	ILE	10ビット分解能	$1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$		± 4.0	LSB
			$1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ ^{注3}		± 6.5	LSB
微分直線性誤差 ^{注1}	DLE	10ビット分解能	$1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$		± 2.0	LSB
			$1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ ^{注3}		± 2.5	LSB
アナログ入力電圧	V _{AIN}	ANI0-ANI14	0		V_{DD}	V
		ANI16-ANI26	0		EV_{DD0}	
		内部基準電圧出力 ($2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, HS (高速メイン) モード)			V_{BGR} ^{注4}	V
		温度センサ出力電圧 ($2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, HS (高速メイン) モード)			V_{TMPS25} ^{注4}	V

注 1. 量子化誤差 ($\pm 1/2$ LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

3. 変換時間を min: $57\mu\text{s}$ max: $95\mu\text{s}$ に設定した場合の値です。

4. 29.6.2 温度センサ/内部基準電圧特性を参照してください。

(4) 基準電圧 (+) = 内部基準電圧 (ADREFP1 = 1, ADREFP0 = 0), 基準電圧 (-) = $AV_{REFM}/ANI1$ (ADREFM = 1) 選択時, 変換対象 I: ANI0, ANI2-ANI14, ANI16-ANI26

($T_A = -40 \sim +85^\circ\text{C}$, $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $1.6\text{ V} \leq EV_{DD0} = EV_{DD1} \leq V_{DD}$, $V_{SS} = EV_{SS0} = EV_{SS1} = 0\text{ V}$, 基準電圧 (+) = V_{BGR} ^{注3}, 基準電圧 (-) = AV_{REFM} ^{注4} = 0 V, HS (高速メイン) モード)

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES			8			bit
変換時間	t_{CONV}	8ビット分解能	$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	17		39	μs
ゼロスケール誤差 ^{注1, 2}	E_{ZS}	8ビット分解能	$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$			± 0.60	%FSR
積分直線性誤差 ^{注1}	ILE	8ビット分解能	$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$			± 2.0	LSB
微分直線性誤差 ^{注1}	DLE	8ビット分解能	$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$			± 1.0	LSB
アナログ入力電圧	V_{AIN}			0		V_{BGR} ^{注3}	V

注1. 量子化誤差 ($\pm 1/2$ LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

3. 29.6.2 温度センサ/内部基準電圧特性を参照してください。

4. 基準電圧 (-) = V_{SS} の場合, MAX.値は次のようになります。

ゼロスケール誤差 : 基準電圧 (-) = AV_{REFM} 時の MAX. 値に $\pm 0.35\%$ FSR を加算してください

積分直線性誤差 : 基準電圧 (-) = AV_{REFM} 時の MAX. 値に ± 0.5 LSB を加算してください

微分直線性誤差 : 基準電圧 (-) = AV_{REFM} 時の MAX. 値に ± 0.2 LSB を加算してください

29. 6. 2 温度センサ／内部基準電圧特性

($T_A = -40 \sim +85^\circ\text{C}$, $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$, HS (高速メイン) モード)

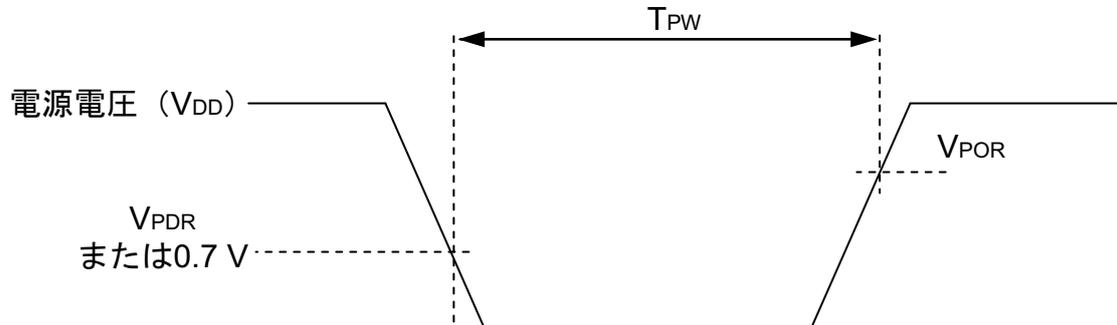
項目	略号	条件	MIN.	TYP.	MAX.	単位
温度センサ出力電圧	V_{TMS25}	ADSレジスタ = 80H設定, $T_A = +25^\circ\text{C}$		1.05		V
内部基準電圧	V_{BGR}	ADSレジスタ = 81H設定	1.38	1.45	1.5	V
温度係数	F_{VTMS}	温度センサ電圧の温度依存		-3.6		mV/ $^\circ\text{C}$
動作安定待ち時間	t_{AMP}		5			μs

29. 6. 3 POR回路特性

($T_A = -40 \sim +85^\circ\text{C}$, $V_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V_{POR}	電源立ち上がり時	1.47	1.51	1.55	V
	V_{PDR}	電源立ち下がり時	1.46	1.50	1.54	V
最小パルス幅 ^注	T_{PW}		300			μs

注 V_{DD} が V_{PDR} を下回った場合に、PORによるリセット動作に必要な時間です。またSTOPモード時および、クロック動作ステータス制御レジスタ (CSC) のビット0 (HIOSTOP) とビット7 (MSTOP) の設定によりメイン・システム・クロック (f_{MAIN}) を停止時は、 V_{DD} が0.7 Vを下回ってから、 V_{POR} を上回るまでのPORによるリセット動作に必要な時間です。



29.6.4 LVD回路特性

リセット・モード, 割り込みモードのLVD検出電圧

 $(T_A = -40 \sim +85^{\circ}\text{C}, V_{PDR} \leq V_{DD} \leq 5.5\text{V}, V_{SS} = 0\text{V})$

項目	略号	条件	MIN.	TYP.	MAX.	単位	
検出電圧	電源電圧レベル	V _{LVD0}	電源立ち上がり時	3.98	4.06	4.14	V
			電源立ち下がり時	3.90	3.98	4.06	V
	V _{LVD1}	電源立ち上がり時	3.68	3.75	3.82	V	
		電源立ち下がり時	3.60	3.67	3.74	V	
	V _{LVD2}	電源立ち上がり時	3.07	3.13	3.19	V	
		電源立ち下がり時	3.00	3.06	3.12	V	
	V _{LVD3}	電源立ち上がり時	2.96	3.02	3.08	V	
		電源立ち下がり時	2.90	2.96	3.02	V	
	V _{LVD4}	電源立ち上がり時	2.86	2.92	2.97	V	
		電源立ち下がり時	2.80	2.86	2.91	V	
	V _{LVD5}	電源立ち上がり時	2.76	2.81	2.87	V	
		電源立ち下がり時	2.70	2.75	2.81	V	
	V _{LVD6}	電源立ち上がり時	2.66	2.71	2.76	V	
		電源立ち下がり時	2.60	2.65	2.70	V	
	V _{LVD7}	電源立ち上がり時	2.56	2.61	2.66	V	
		電源立ち下がり時	2.50	2.55	2.60	V	
	V _{LVD8}	電源立ち上がり時	2.45	2.50	2.55	V	
		電源立ち下がり時	2.40	2.45	2.50	V	
	V _{LVD9}	電源立ち上がり時	2.05	2.09	2.13	V	
		電源立ち下がり時	2.00	2.04	2.08	V	
	V _{LVD10}	電源立ち上がり時	1.94	1.98	2.02	V	
		電源立ち下がり時	1.90	1.94	1.98	V	
	V _{LVD11}	電源立ち上がり時	1.84	1.88	1.91	V	
		電源立ち下がり時	1.80	1.84	1.87	V	
V _{LVD12}	電源立ち上がり時	1.74	1.77	1.81	V		
	電源立ち下がり時	1.70	1.73	1.77	V		
V _{LVD13}	電源立ち上がり時	1.64	1.67	1.70	V		
	電源立ち下がり時	1.60	1.63	1.66	V		
最小パルス幅	t _{LW}		300			μs	
検出遅延					300	μs	

割り込み&リセット・モードのLVD検出電圧

(TA = -40~+85 °C, VPDR ≦ VDD ≦ 5.5 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
割り込み& リセット・モード	VLVD13	VPOC2, VPOC1, VPOC0 = 0, 0, 0, 立ち下がりリセット電圧	1.60	1.63	1.66	V	
	VLVD12	LVIS1, LVIS0 = 1, 0	立ち上がりリセット解除電圧	1.74	1.77	1.81	V
			立ち下がり割り込み電圧	1.70	1.73	1.77	V
	VLVD11	LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	1.84	1.88	1.91	V
			立ち下がり割り込み電圧	1.80	1.84	1.87	V
	VLVD4	LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	2.86	2.92	2.97	V
			立ち下がり割り込み電圧	2.80	2.86	2.91	V
	VLVD11	VPOC2, VPOC1, VPOC0 = 0, 0, 1, 立ち下がりリセット電圧	1.80	1.84	1.87	V	
	VLVD10	LVIS1, LVIS0 = 1, 0	立ち上がりリセット解除電圧	1.94	1.98	2.02	V
			立ち下がり割り込み電圧	1.90	1.94	1.98	V
	VLVD9	LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	2.05	2.09	2.13	V
			立ち下がり割り込み電圧	2.00	2.04	2.08	V
	VLVD2	LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	3.07	3.13	3.19	V
			立ち下がり割り込み電圧	3.00	3.06	3.12	V
	VLVD8	VPOC2, VPOC1, VPOC0 = 0, 1, 0, 立ち下がりリセット電圧	2.40	2.45	2.50	V	
	VLVD7	LVIS1, LVIS0 = 1, 0	立ち上がりリセット解除電圧	2.56	2.61	2.66	V
			立ち下がり割り込み電圧	2.50	2.55	2.60	V
	VLVD6	LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	2.66	2.71	2.76	V
			立ち下がり割り込み電圧	2.60	2.65	2.70	V
	VLVD1	LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	3.68	3.75	3.82	V
			立ち下がり割り込み電圧	3.60	3.67	3.74	V
	VLVD5	VPOC2, VPOC1, VPOC0 = 0, 1, 1, 立ち下がりリセット電圧	2.70	2.75	2.81	V	
	VLVD4	LVIS1, LVIS0 = 1, 0	立ち上がりリセット解除電圧	2.86	2.92	2.97	V
			立ち下がり割り込み電圧	2.80	2.86	2.91	V
VLVD3	LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	2.96	3.02	3.08	V	
		立ち下がり割り込み電圧	2.90	2.96	3.02	V	
VLVD0	LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	3.98	4.06	4.14	V	
		立ち下がり割り込み電圧	3.90	3.98	4.06	V	

29.6.5 電源電圧立ち上がり傾き特性

(TA = -40~+85 °C, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧立ち上がり傾き	SVDD				54	V/ms

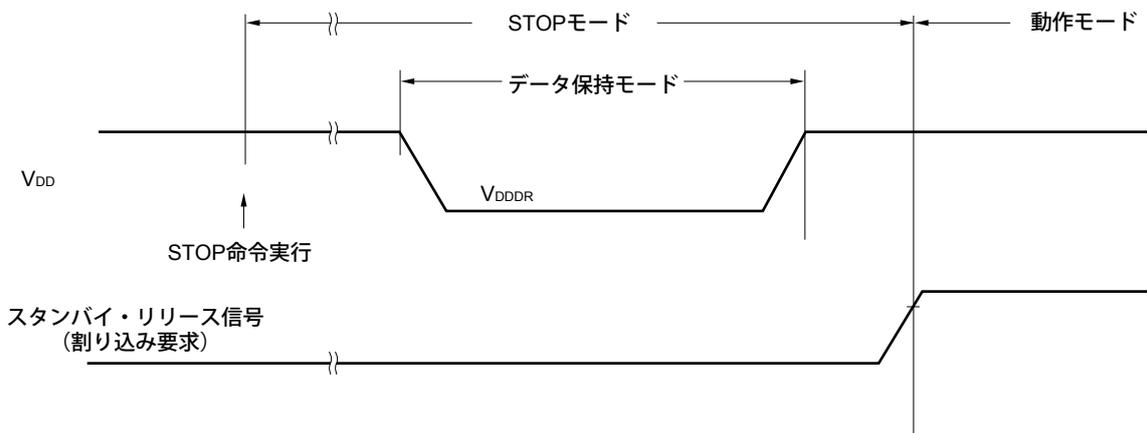
注意 VDDが29.4 AC特性に示す動作電圧範囲内に達するまで、LVD回路か外部リセットで内部リセット状態を保ってください。

29.7 データ・メモリSTOPモード低電源電圧データ保持特性

(TA = -40~+85 °C, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	VDDDR		1.46 ^注		5.5	V

注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではデータを保持しますが、PORリセットがかかった場合のデータは保持されません。



29.8 フラッシュ・メモリ・プログラミング特性

(TA = -40~+85°C, 1.8 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
システム・クロック周波数	fCLK	1.8 V ≤ VDD ≤ 5.5 V	1		32	MHz
コード・フラッシュの書き換え回数 <small>注1,2,3</small>	C _{erwr}	保持年数：20年 TA = 85°C ^{注3}	1,000			回
データ・フラッシュの書き換え回数 <small>注1,2,3</small>		保持年数：1年 TA = 25°C ^{注3}		1,000,000		
		保持年数：5年 TA = 85°C ^{注3}	100,000			
		保持年数：20年 TA = 85°C ^{注3}	10,000			

注 1. 消去1回+消去後の書き込み1回を書き換え回数1回とする。保持年数は、1度書き換えた後、次に書き換えを行うまでの期間とする。

- 2. フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリを使用時
- 3. この特性はフラッシュ・メモリの特性を示すものであり、当社の信頼性試験から得られた結果です。

29.9 専用フラッシュ・メモリ・プログラマ通信 (UART)

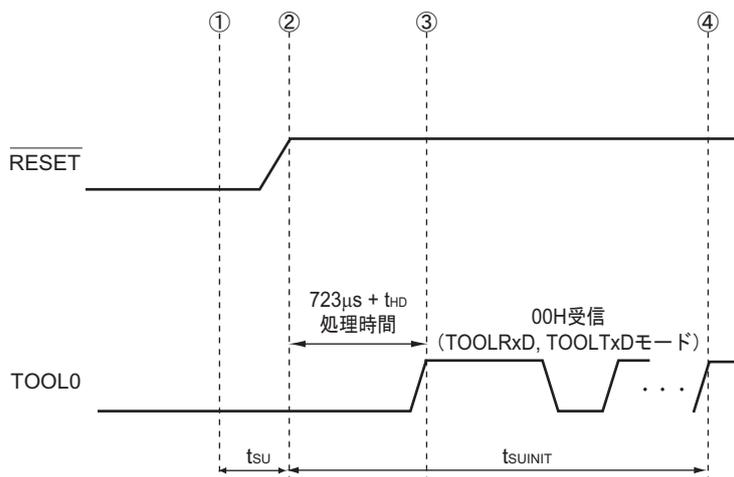
(TA = -40~+85 °C, 1.8 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート		フラッシュ・メモリのプログラミング時	115,200		1,000,000	bps

29. 10 フラッシュ・メモリ・プログラミング・モード引き込みタイミング

(TA = -40~+85 °C, 1.8 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
外部リセット解除から初期設定通信を完了する時間	t _{SUINIT}	外部リセット解除前にPOR, LVDリセットは解除			100	ms
TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間	t _{SU}	外部リセット解除前にPOR, LVDリセットは解除	10			μs
外部リセット解除から、TOOL0端子をロウ・レベルにホールドする時間 (フラッシュ・ファーム処理時間を除く)	t _{HD}	外部リセット解除前にPOR, LVDリセットは解除	1			ms



- ① TOOL0端子にロウ・レベルを入力
- ② 外部リセットを解除 (その前にPOR, LVDリセットが解除されていること)
- ③ TOOL0端子のロウ・レベルを解除
- ④ UART受信によるボー・レート設定完了

備考 t_{SUINIT} : この区間では、リセット解除から100 ms 以内に初期設定通信を完了してください。

t_{SU} : TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間

t_{HD} : 外部リセット解除から、TOOL0端子をロウ・レベルに保持する時間 (フラッシュ・ファーム処理時間を除く)

お客様各位	RL78/G13 テクニカル・アップデート別紙 第30章 電気的特性 (G : Ta = -40~+105°C) (ご報告)	M C Y G - A B - 1 2 - 0 3 5 0 - 1
		2 0 1 3 年 3 月 1 5 日
		ルネサス エレクトロニクス株式会社 第 一 事 業 本 部 M C U 第 三 事 業 部 ブ ラ ン ド 戦 略 部 担当課長 内村 博 (担当 犬童 誠也)

拝啓、貴社益々ご清栄の段お喜び申し上げます。また、平素は弊社の製品をご利用頂き誠に有難うございます。

さて、掲題の件につきまして、下記にご報告申し上げます。
今後とも倍旧のお引き立てを賜りますようお願い申し上げます。

敬具

記

1. 対象デバイス

RL78/G13 グループ

R5F100xxG

2. 関連資料

誤記訂正通知 RL78/G13 ユーザーズマニュアル Rev.2.10 の記載変更(TN-RL*-A005A/J)
RL78/G13 ユーザーズマニュアル ハードウェア編 Rev.2.10 (R01UH0146JJ0210)

3. ご報告

誤記訂正通知 RL78/G13 ユーザーズマニュアル Rev.2.10 の記載変更(TN-RL*-A005A/J)
で通知した訂正内容を反映した「第30章 電気的特性 (G : Ta = -40~+105°C)」を
2 ページ目以降に示します。

第30章 電気的特性 (G : T_A = -40~+105)

この章では、G : 産業用途 (T_A = -40 ~ +105°C) の電気的特性を示します。

- 注意1. RL78マイクロコントローラには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品では本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。
2. EV_{DD0}, EV_{DD1}, EV_{SS0}, EV_{SS1}端子がない製品は、EV_{DD0}とEV_{DD1}をV_{DD}に、EV_{SS0}とEV_{SS1}をV_{SS}に置き換えてください。
3. 製品により搭載している端子が異なります。2.1 ポート機能 ~ 2.2.1 製品別の搭載機能を参照してください。

* G : 産業用途 (T_A = -40 ~ +105°C) は、“A : 民生用途, D : 産業用途” と次に示す機能が異なります。

用途区分	A : 民生用途, D : 産業用途	G : 産業用途
動作周囲温度	-40 ~ +85°C	-40 ~ +105°C
動作モード 動作電圧範囲	HS (高速メイン) モード : 2.7 V V _{DD} 5.5 V@1 MHz ~ 32 MHz 2.4 V V _{DD} 5.5 V@1 MHz ~ 16 MHz LS (低速メイン) モード : 1.8 V V _{DD} 5.5 V@1 MHz ~ 8 MHz LV (低電圧メイン) モード : 1.6 V V _{DD} 5.5 V@1 MHz ~ 4 MHz	HS (高速メイン) モードのみ : 2.7 V V _{DD} 5.5 V@1 MHz ~ 32 MHz 2.4 V V _{DD} 5.5 V@1 MHz ~ 16 MHz
高速オンチップ・オシレータ・クロック精度	1.8 V V _{DD} 5.5 V : ±1.0 % @ T _A = -20 ~ +85 ±1.5 % @ T _A = -40 ~ -20 1.6 V V _{DD} < 1.8 V : ±5.0 % @ T _A = -20 ~ +85 ±5.5 % @ T _A = -40 ~ -20	2.4 V V _{DD} 5.5 V : ±2.0 % @ T _A = +85 ~ +105 ±1.0 % @ T _A = -20 ~ +85 ±1.5 % @ T _A = -40 ~ -20
シリアル・アレイ・ユニット	UART CSI : f _{CLK} /2 (16Mbps対応) , f _{CLK} /4 簡易I ² C	UART CSI : f _{CLK} /4 簡易I ² C
IICA	標準モード ファースト・モード ファースト・モード・プラス	標準モード ファースト・モード
電圧検出回路	・立ち上がり : 1.67 V ~ 4.06 V (14段階) ・立ち下がり : 1.63 V ~ 3.98 V (14段階)	・立ち上がり : 2.61 V ~ 4.06 V (8段階) ・立ち下がり : 2.55 V ~ 3.98 V (8段階)

備考 G : 産業用途 (T_A = -40 ~ +105°C) の電気的特性は、“A : 民生用途, D : 産業用途” と異なります。詳細は、このページ以降の30.1~30.10を参照してください。

30.1 絶対最大定格

絶対最大定格 (T_A = 25) (1/2)

項目	略号	条件	定格	単位
電源電圧	V _{DD}		- 0.5 ~ + 6.5	V
	EV _{DD0} , EV _{DD1}	EV _{DD0} = EV _{DD1}	- 0.5 ~ + 6.5	V
	EV _{SS0} , EV _{SS1}	EV _{SS0} = EV _{SS1}	- 0.5 ~ + 0.3	V
REGC端子入力電圧	V _I REGC	REGC	- 0.3 ~ + 2.8 かつ - 0.3 ~ V _{DD} + 0.3 ^{注1}	V
入力電圧	V _{I1}	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P140-P147	- 0.3 ~ EV _{DD0} + 0.3 かつ - 0.3 ~ V _{DD} + 0.3 ^{注2}	V
	V _{I2}	P60-P63 (N-chオープン・ドレイン)	- 0.3 ~ + 6.5	V
	V _{I3}	P20-P27, P121-P124, P137, P150-P156, EXCLK, EXCLKS, $\overline{\text{RESET}}$	- 0.3 ~ V _{DD} + 0.3 ^{注2}	V
出力電圧	V _{O1}	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P60-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P130, P140-P147	- 0.3 ~ EV _{DD0} + 0.3 かつ - 0.3 ~ V _{DD} + 0.3 ^{注2}	V
	V _{O2}	P20-P27, P150-P156	- 0.3 ~ V _{DD} + 0.3 ^{注2}	V
アナログ入力電圧	V _{A11}	ANI16-ANI26	- 0.3 ~ EV _{DD0} + 0.3 かつ - 0.3 ~ AV _{REF(+)} + 0.3 ^{注2, 3}	V
	V _{A12}	ANI0-ANI14	- 0.3 ~ V _{DD} + 0.3 かつ - 0.3 ~ AV _{REF(+)} + 0.3 ^{注2, 3}	V

注1. REGC端子にはコンデンサ (0.47 ~ 1 μ F) を介してV_{SS}に接続してください。この値は、REGC端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

- 6.5 V以下であること。
- A/D変換対象の端子は、AV_{REF(+)} + 0.3を越えないでください。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 1. 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

- AV_{REF(+)}: A/Dコンバータの+側基準電圧
- V_{SS}を基準電圧とする。

絶対最大定格 (T_A = 25) (2/2)

項目	略号	条件		定格	単位
ハイ・レベル出力電流	IoH1	1端子	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P130, P140-P147	- 40	mA
		端子合計 - 170 mA	P00-P04, P07, P32-P37, P40-P47, P102-P106, P120, P125-P127, P130, P140-P145	- 70	mA
			P05, P06, P10-P17, P30, P31, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100, P101, P110-P117, P146, P147	- 100	mA
	IoH2	1端子	P20-P27, P150-P156	- 0.5	mA
		端子合計		- 2	mA
ロウ・レベル出力電流	IoL1	1端子	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P60-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P130, P140-P147	40	mA
		端子合計 170 mA	P00-P04, P07, P32-P37, P40-P47, P102-P106, P120, P125-P127, P130, P140-P145	70	mA
			P05, P06, P10-P17, P30, P31, P50-P57, P60-P67, P70-P77, P80-P87, P90-P97, P100, P101, P110-P117, P146, P147	100	mA
	IoL2	1端子	P20-P27, P150-P156	1	mA
		端子合計		5	mA
動作周囲温度	T _A	通常動作時		- 40 ~ + 105 ^注	
		フラッシュ・メモリ・プログラミング時			
保存温度	T _{stg}			- 65 ~ + 150	

注 T_A=+85°C~+105°Cでの動作時間 : 10,000時間

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

30.2 発振回路特性

30.2.1 X1, XT1発振回路特性

(T_A = -40 ~ +105 , 2.4 V V_{DD} 5.5 V, V_{SS} = 0 V)

項目	発振子	条件	MIN.	TYP.	MAX.	単位
X1クロック発振 周波数 (f _X) ^注	セラミック発振子 / 水晶振動子	2.7 V V _{DD} 5.5 V	1.0		20.0	MHz
		2.4 V V _{DD} < 2.7 V	1.0		16.0	
XT1クロック発振 周波数 (f _{XT}) ^注	水晶振動子		32	32.768	35	kHz

注 発振回路の周波数許容範囲のみを示すものです。命令実行時間は、AC特性を参照してください。

また、実装回路上での評価を発振子メーカーに依頼し、発振特性を確認してご使用ください。

注意 リセット解除後は、高速オンチップ・オシレータ・クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ (OSTC) でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ (OSTS) の発振安定時間を決定してください。

備考 X1, XT1発振回路を使用する場合は、5.4 システム・クロック発振回路を参照してください。

30.2.2 オンチップ・オシレータ特性

(T_A = -40 ~ +105 , 2.4 V V_{DD} 5.5 V, V_{SS} = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
高速オンチップ・オシレータ クロック周波数 ^{注1,2}	f _{ih}			1		32	MHz
高速オンチップ・オシレータ クロック周波数精度		-20 ~ +85	2.4 V ≤ V _{DD} ≤ 5.5 V	-1.0		+1.0	%
		-40 ~ -20	2.4 V ≤ V _{DD} ≤ 5.5 V	-1.5		+1.5	%
		+85 ~ +105	2.4 V ≤ V _{DD} ≤ 5.5 V	-2.0		+2.0	%
低速オンチップ・オシレータ クロック周波数	f _{il}				15		kHz
低速オンチップ・オシレータ クロック周波数精度				-15		+15	%

注 1. 高速オンチップ・オシレータの周波数は、オプション・バイト(000C2H/010C2H)のビット0-3およびHOCODIVレジスタのビット0-2によって選択します。

2. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

30.3 DC特性

30.3.1 端子特性

(T_A = -40 ~ +105 , 2.4 V EV_{DD0} = EV_{DD1} V_{DD} 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V) (1/5)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電流 ^{注1}	I _{OH1}	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P130, P140-P147 1端子	2.4 V EV _{DD0} 5.5 V			- 3.0 ^{注2}	mA
		P00-P04, P07, P32-P37, P40-P47, P102-P106, P120, P125-P127, P130, P140-P145 合計 (デューティ 70 %時 ^{注3})	4.0 V EV _{DD0} 5.5 V			- 30.0	mA
			2.7 V EV _{DD0} < 4.0 V			- 10.0	mA
			2.4 V EV _{DD0} < 2.7 V			- 5.0	mA
		P05, P06, P10-P17, P30, P31, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100, P101, P110-P117, P146, P147 合計 (デューティ 70 %時 ^{注3})	4.0 V EV _{DD0} 5.5 V			- 30.0	mA
	2.7 V EV _{DD0} < 4.0 V				- 19.0	mA	
	2.4 V EV _{DD0} < 2.7 V				- 10.0	mA	
	I _{OH2}	P20-P27, P150-P156 1端子	2.4 V V _{DD} 5.5 V			- 0.1 ^{注2}	mA
		全端子合計 (デューティ 70 %時 ^{注3})	2.4 V V _{DD} 5.5 V			- 1.5	mA

注 1. EV_{DD0}, EV_{DD1}, V_{DD}端子から出力端子に流れ出しても、デバイスの動作を保证する電流値です。

2. 合計の電流値を超えないください。

3. デューティ 70 %の条件での電流の値です。

デューティ > 70%に変更した出力電流の値は、次の計算式で求めることができます(デューティ比をn %に変更する場合)。

$$\cdot \text{端子合計の出力電流} = (I_{OH} \times 0.7) / (n \times 0.01)$$

< 計算例 > I_{OH} = - 10.0 mAの場合, n = 80 %

$$\text{端子合計の出力電流} = (- 10.0 \times 0.7) / (80 \times 0.01) = - 8.7 \text{ mA}$$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

注意 P00, P02-P04, P10-P15, P17, P43-P45, P50, P52-P55, P71, P74, P80-P82, P96, P142-P144は、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(T_A = -40 ~ +105 , 2.4 V EV_{DD0} = EV_{DD1} V_{DD} 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V) (2/5)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ロウ・レベル出力電流 ^{注1}	I _{OL1}	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P130, P140-P147 1端子			8.5 ^{注2}	mA
		P60-P63 1端子			15.0 ^{注2}	mA
		P00-P04, P07, P32-P37, P40-P47, P102-P106, P120, P125-P127, P130, P140-P145 合計 (デューティ 70% ^{注3})	4.0 V EV _{DD0} 5.5 V		40.0	mA
			2.7 V EV _{DD0} < 4.0 V		15.0	mA
			2.4 V EV _{DD0} < 2.7 V		9.0	mA
		P05, P06, P10-P17, P30, P31, P50-P57, P60-P67, P70-P77, P80-P87, P90-P97, P100, P101, P110-P117, P146, P147 合計 (デューティ 70% ^{注3})	4.0 V EV _{DD0} 5.5 V		40.0	mA
			2.7 V EV _{DD0} < 4.0 V		35.0	mA
	2.4 V EV _{DD0} < 2.7 V			20.0	mA	
	全端子合計 (デューティ 70% ^{注3})			80.0	mA	
	I _{OL2}	P20-P27, P150-P156 1端子			0.4 ^{注2}	mA
全端子合計 (デューティ 70% ^{注3})		2.4 V V _{DD} 5.5 V		5.0	mA	

注 1. 出力端子からEV_{SS0}, EV_{SS1}, V_{SS}端子に流れ込んでも、デバイスの動作を保证する電流値です。

2. 合計の電流値を超えないでください。

3. デューティ 70%の条件での出力電流の値です。

デューティ > 70%に変更した出力電流の値は、次の計算式で求めることができます(デューティ比をn%に変更する場合)。

$$\cdot \text{端子合計の出力電流} = (I_{OL} \times 0.7) / (n \times 0.01)$$

< 計算例 > I_{OL} = 10.0 mAの場合, n = 80 %

$$\text{端子合計の出力電流} = (10.0 \times 0.7) / (80 \times 0.01) = 8.7 \text{ mA}$$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(T_A = -40 ~ +105 °C, 2.4 V EV_{DD0} = EV_{DD1} V_{DD} 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V) (3/5)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル入力電圧	V _{IH1}	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P140-P147	通常入力バッファ	0.8EV _{DD0}		EV _{DD0}	V
	V _{IH2}	P01, P03, P04, P10, P11, P13-P17, P43, P44, P53-P55, P80, P81, P142, P143	TTL入力バッファ 4.0 V EV _{DD0} 5.5 V	2.2		EV _{DD0}	V
			TTL入力バッファ 3.3 V EV _{DD0} < 4.0 V	2.0		EV _{DD0}	V
			TTL入力バッファ 2.4 V EV _{DD0} < 3.3 V	1.5		EV _{DD0}	V
	V _{IH3}	P20-P27, P150-P156		0.7V _{DD}		V _{DD}	V
	V _{IH4}	P60-P63		0.7EV _{DD0}		6.0	V
V _{IH5}	P121-P124, P137, EXCLK, EXCLKS, RESET		0.8V _{DD}		V _{DD}	V	
ロウ・レベル入力電圧	V _{IL1}	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P140-P147	通常入力バッファ	0		0.2EV _{DD0}	V
	V _{IL2}	P01, P03, P04, P10, P11, P13-P17, P43, P44, P53-P55, P80, P81, P142, P143	TTL入力バッファ 4.0 V EV _{DD0} 5.5 V	0		0.8	V
			TTL入力バッファ 3.3 V EV _{DD0} < 4.0 V	0		0.5	V
			TTL入力バッファ 2.4 V EV _{DD0} < 3.3 V	0		0.32	V
	V _{IL3}	P20-P27, P150-P156		0		0.3V _{DD}	V
	V _{IL4}	P60-P63		0		0.3EV _{DD0}	V
V _{IL5}	P121-P124, P137, EXCLK, EXCLKS, RESET		0		0.2V _{DD}	V	

注意 P00, P02-P04, P10-P15, P17, P43-P45, P50, P52-P55, P71, P74, P80-P82, P96, P142-P144は、N-chオープン・ドレイン・モード時でもV_{IH}の最大値 (MAX.) はEV_{DD0}です。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

($T_A = -40 \sim +105$, 2.4 V $EV_{DD0} = EV_{DD1}$ $V_{DD} = 5.5$ V, $V_{SS} = EV_{SS0} = EV_{SS1} = 0$ V) (4/5)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電圧	V _{OH1}	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P130, P140-P147	4.0 V $EV_{DD0} = 5.5$ V, $I_{OH1} = -3.0$ mA	$EV_{DD0} - 0.7$			V
			2.7 V $EV_{DD0} = 5.5$ V, $I_{OH1} = -2.0$ mA	$EV_{DD0} - 0.6$			V
			2.4 V $EV_{DD0} = 5.5$ V, $I_{OH1} = -1.5$ mA	$EV_{DD0} - 0.5$			V
	V _{OH2}	P20-P27, P150-P156	2.4 V $V_{DD} = 5.5$ V, $I_{OH2} = -100$ μ A	$V_{DD} - 0.5$			V
ロウ・レベル出力電圧	V _{OL1}	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P130, P140-P147	4.0 V $EV_{DD0} = 5.5$ V, $I_{OL1} = 8.5$ mA			0.7	V
			2.7 V $EV_{DD0} = 5.5$ V, $I_{OL1} = 3.0$ mA			0.6	V
			2.7 V $EV_{DD0} = 5.5$ V, $I_{OL1} = 1.5$ mA			0.4	V
			2.4 V $EV_{DD0} = 5.5$ V, $I_{OL1} = 0.6$ mA			0.4	V
	V _{OL2}	P20-P27, P150-P156	2.4 V $V_{DD} = 5.5$ V, $I_{OL2} = 400$ μ A			0.4	V
	V _{OL3}	P60-P63	4.0 V $EV_{DD0} = 5.5$ V, $I_{OL3} = 15.0$ mA			2.0	V
			4.0 V $EV_{DD0} = 5.5$ V, $I_{OL3} = 5.0$ mA			0.4	V
			2.7 V $EV_{DD0} = 5.5$ V, $I_{OL3} = 3.0$ mA			0.4	V
			2.4 V $EV_{DD0} = 5.5$ V, $I_{OL3} = 2.0$ mA			0.4	V

注意 P00, P02-P04, P10-P15, P17, P43-P45, P50, P52-P55, P71, P74, P80-P82, P96, P142-P144は、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(T_A = -40 ~ +105 , 2.4 V EV_{DD0} = EV_{DD1} V_{DD} 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V) (5/5)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル入力リーク電流	I _{LIH1}	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P60-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P140-P147	V _I = EV _{DD0}			1	μA
	I _{LIH2}	P20-P27, P137, P150-P156, RESET	V _I = V _{DD}			1	μA
	I _{LIH3}	P121-P124 (X1, X2, XT1, XT2, EXCLK, EXCLKS)	V _I = V _{DD}	入力ポート時, 外部クロック入力時 発振子接続時		1	μA
ロウ・レベル入力リーク電流	I _{LIL1}	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P60-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P140-P147	V _I = EV _{SS0}			- 1	μA
	I _{LIL2}	P20-P27, P137, P150-P156, RESET	V _I = V _{SS}			- 1	μA
	I _{LIL3}	P121-P124 (X1, X2, XT1, XT2, EXCLK, EXCLKS)	V _I = V _{SS}	入力ポート時, 外部クロック入力時 発振子接続時		- 1	μA
内蔵プルアップ抵抗	R _U	P00-P07, P10-P17, P30-P37, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P90-P97, P100-P106, P110-P117, P120, P125-P127, P140-P147	V _I = EV _{SS0} , 入力ポート時	10	20	100	k

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

30.3.2 電源電流特性

(1) 20~64ピン製品のフラッシュROM16~64KBの製品

(T_A = -40~+105 , 2.4 V EV_{DD0} V_{DD} 5.5 V, V_{SS} = EV_{SS0} = 0 V)

(1/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位			
電源電流 ^{注1}	I _{DD1}	動作モード	HS (高速メイン)モード ^{注5}	f _{ih} = 32 MHz ^{注3}	基本動作	V _{DD} = 5.0 V		2.1		mA
						V _{DD} = 3.0 V		2.1		
				通常動作	V _{DD} = 5.0 V		4.6	7.5	mA	
					V _{DD} = 3.0 V		4.6	7.5		
				f _{ih} = 24 MHz ^{注3}	通常動作	V _{DD} = 5.0 V		3.7	5.8	mA
						V _{DD} = 3.0 V		3.7	5.8	
			f _{ih} = 16 MHz ^{注3}	通常動作	V _{DD} = 5.0 V		2.7	4.2	mA	
					V _{DD} = 3.0 V		2.7	4.2		
			HS (高速メイン)モード ^{注5}	f _{mx} = 20 MHz ^{注2} , V _{DD} = 5.0 V	通常動作	方形波入力		3.0	4.9	mA
						発振子接続		3.2	5.0	
				f _{mx} = 20 MHz ^{注2} , V _{DD} = 3.0 V	通常動作	方形波入力		3.0	4.9	mA
						発振子接続		3.2	5.0	
		f _{mx} = 10 MHz ^{注2} , V _{DD} = 5.0 V		通常動作	方形波入力		1.9	2.9	mA	
					発振子接続		1.9	2.9		
		f _{mx} = 10 MHz ^{注2} , V _{DD} = 3.0 V		通常動作	方形波入力		1.9	2.9	mA	
					発振子接続		1.9	2.9		
		サブシステム・クロック動作	f _{sub} = 32.768 kHz ^{注4} T _A = -40	通常動作	方形波入力		4.1	4.9	μA	
					発振子接続		4.2	5.0		
			f _{sub} = 32.768 kHz ^{注4} T _A = +25	通常動作	方形波入力		4.1	4.9	μA	
					発振子接続		4.2	5.0		
f _{sub} = 32.768 kHz ^{注4} T _A = +50	通常動作		方形波入力		4.2	5.5	μA			
			発振子接続		4.3	5.6				
f _{sub} = 32.768 kHz ^{注4} T _A = +70	通常動作		方形波入力		4.3	6.3	μA			
			発振子接続		4.4	6.4				
f _{sub} = 32.768 kHz ^{注4} T _A = +85	通常動作	方形波入力		4.6	7.7	μA				
		発振子接続		4.7	7.8					
f _{sub} = 32.768 kHz ^{注4} T _A = +105	通常動作	方形波入力		6.9	19.7	μA				
		発振子接続		7.0	19.8					

(注, 備考は次ページにあります。)

- 注 1. V_{DD} , EV_{DD0} に流れるトータル電流です。入力端子を V_{DD} , EV_{DD0} または V_{SS} , EV_{SS0} に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ, LVD回路, I/Oポート, 内蔵プルアップ/プルダウン抵抗, データ・フラッシュ書き換え時に流れる電流は含みません。
2. 高速オンチップ・オシレータ, サブシステム・クロックは停止時。
 3. 高速システム・クロック, サブシステム・クロックは停止時。
 4. 高速オンチップ・オシレータ, 高速システム・クロックは停止時。超低消費発振 (AMPHS1 = 1) 設定時。RTC, 12ビット・インターバル・タイマ, ウォッチドッグ・タイマに流れる電流は含みません。
 5. 動作電圧範囲, CPU動作周波数, 動作モードの関係を次に示します。
HS (高速メイン) モード : 2.7 V V_{DD} 5.5 V@1 MHz ~ 32 MHz
2.4 V V_{DD} 5.5 V@1 MHz ~ 16 MHz

- 備考1. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)
2. f_{IH} : 高速オンチップ・オシレータ・クロック周波数
 3. f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数)
 4. 「サブシステム・クロック動作」以外のTYP.値の温度条件は, $T_A = 25$ です。

(1) 20~64ピン製品のフラッシュROM16~64KBの製品

(T_A = -40~+105, 2.4 V EVDD VDD 5.5 V, VSS = EVSS0 = 0 V)

(2/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	I _{DD2} ^{注2}	HALT モード	HS(高速メイン)モード ^{注7}	f _{IH} = 32 MHz ^{注4}	V _{DD} = 5.0 V	0.54	2.90	mA
					V _{DD} = 3.0 V	0.54	2.90	
				f _{IH} = 24 MHz ^{注4}	V _{DD} = 5.0 V	0.44	2.30	mA
					V _{DD} = 3.0 V	0.44	2.30	
			f _{IH} = 16 MHz ^{注4}	V _{DD} = 5.0 V	0.40	1.70	mA	
				V _{DD} = 3.0 V	0.40	1.70		
			HS(高速メイン)モード ^{注7}	f _{MX} = 20 MHz ^{注3} , V _{DD} = 5.0 V	方形波入力 発振子接続	0.28	1.90	mA
				f _{MX} = 20 MHz ^{注3} , V _{DD} = 3.0 V	方形波入力 発振子接続	0.28	1.90	
		f _{MX} = 10 MHz ^{注3} , V _{DD} = 5.0 V		方形波入力 発振子接続	0.19	1.02	mA	
		f _{MX} = 10 MHz ^{注3} , V _{DD} = 3.0 V		方形波入力 発振子接続	0.19	1.02		
		サブシステム・クロック動作		f _{SUB} = 32.768 kHz ^{注5} T _A = -40	方形波入力 発振子接続	0.25	0.57	μA
				f _{SUB} = 32.768 kHz ^{注5} T _A = +25	方形波入力 発振子接続	0.30	0.57	
			f _{SUB} = 32.768 kHz ^{注5} T _A = +50	方形波入力 発振子接続	0.37	1.17	μA	
			f _{SUB} = 32.768 kHz ^{注5} T _A = +70	方形波入力 発振子接続	0.53	1.97		
	f _{SUB} = 32.768 kHz ^{注5} T _A = +85		方形波入力 発振子接続	0.82	3.37	μA		
	f _{SUB} = 32.768 kHz ^{注5} T _A = +105		方形波入力 発振子接続	3.01	15.37			
	I _{DD3} ^{注6}		STOP モード ^{注8}	T _A = -40		0.18	0.50	μA
				T _A = +25		0.23	0.50	
		T _A = +50			0.30	1.10		
		T _A = +70			0.46	1.90		
T _A = +85				0.75	3.30			
T _A = +105				2.94	15.30			

(注, 備考は次ページにあります。)

(2) 30 ~ 100ピン製品のフラッシュROM96 ~ 256 KBの製品

(T_A = -40 ~ +105 , 2.4 V EV_{DD0} = EV_{DD1} V_{DD} 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V) (1/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位			
電源電流 ^{注1}	I _{DD1}	動作モード HS (高速メイン)モード ^{注5}	f _{IH} = 32 MHz ^{注3}	基本動作	V _{DD} = 5.0 V	2.3		mA		
					V _{DD} = 3.0 V	2.3				
				通常動作	V _{DD} = 5.0 V	5.2	9.2	mA		
					V _{DD} = 3.0 V	5.2	9.2			
					通常動作	V _{DD} = 5.0 V	4.1		7.0	mA
						V _{DD} = 3.0 V	4.1		7.0	
			HS (高速メイン)モード ^{注5}	f _{MX} = 20 MHz ^{注2} , V _{DD} = 5.0 V	通常動作	方形波入力	3.4	5.9	mA	
						発振子接続	3.6	6.0		
				f _{MX} = 20 MHz ^{注2} , V _{DD} = 3.0 V	通常動作	方形波入力	3.4	5.9	mA	
						発振子接続	3.6	6.0		
				f _{MX} = 10 MHz ^{注2} , V _{DD} = 5.0 V	通常動作	方形波入力	2.1	3.5	mA	
						発振子接続	2.1	3.5		
		f _{MX} = 10 MHz ^{注2} , V _{DD} = 3.0 V	通常動作	方形波入力	2.1	3.5	mA			
				発振子接続	2.1	3.5				
		サブシステム・クロック動作	f _{SUB} = 32.768 kHz ^{注4} T _A = -40	通常動作	方形波入力	4.8	5.9	μA		
					発振子接続	4.9	6.0			
			f _{SUB} = 32.768 kHz ^{注4} T _A = +25	通常動作	方形波入力	4.9	5.9	μA		
					発振子接続	5.0	6.0			
			f _{SUB} = 32.768 kHz ^{注4} T _A = +50	通常動作	方形波入力	5.0	7.6	μA		
					発振子接続	5.1	7.7			
f _{SUB} = 32.768 kHz ^{注4} T _A = +70	通常動作		方形波入力	5.2	9.3	μA				
			発振子接続	5.3	9.4					
f _{SUB} = 32.768 kHz ^{注4} T _A = +85	通常動作	方形波入力	5.7	13.3	μA					
		発振子接続	5.8	13.4						
f _{SUB} = 32.768 kHz ^{注4} T _A = +105	通常動作	方形波入力	10.0	46.0	μA					
		発振子接続	10.0	46.0						

(注, 備考は次ページにあります。)

- 注 1. V_{DD} , EV_{DD0} , EV_{DD1} に流れるトータル電流です。入力端子を V_{DD} , EV_{DD0} , EV_{DD1} または V_{SS} , EV_{SS0} , EV_{SS1} に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵プルアップ/プルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。
2. 高速オンチップ・オシレータ、サブシステム・クロックは停止時。
 3. 高速システム・クロック、サブシステム・クロックは停止時。
 4. 高速オンチップ・オシレータ、高速システム・クロックは停止時。超低消費発振 (AMPHS1 = 1) 設定時。RTC、12ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。
 5. 動作電圧範囲、CPU動作周波数、動作モードの関係を次に示します。
HS (高速メイン) モード : 2.7 V V_{DD} 5.5 V@1 MHz ~ 32 MHz
2.4 V V_{DD} 5.5 V@1 MHz ~ 16 MHz

- 備考 1. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)
2. f_{IH} : 高速オンチップ・オシレータ・クロック周波数
 3. f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数)
 4. 「サブシステム・クロック動作」以外のTYP.値の温度条件は、 $T_A = 25$ です。

(2) 30 ~ 100ピン製品のフラッシュROM96 ~ 256 KBの製品

(TA = -40 ~ +105 , 2.4 V EVDD0 = EVDD1 VDD 5.5 V, VSS = EVSS0 = EVSS1 = 0 V) (2/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	IDD2 ^{注2}	HALT モード	HS (高速メイン)モード ^{注7}	f _{IH} = 32 MHz ^{注4}	V _{DD} = 5.0 V	0.62	3.40	mA
				V _{DD} = 3.0 V	0.62	3.40		
			f _{IH} = 24 MHz ^{注4}	V _{DD} = 5.0 V	0.50	2.70	mA	
			V _{DD} = 3.0 V	0.50	2.70			
			f _{IH} = 16 MHz ^{注4}	V _{DD} = 5.0 V	0.44	1.90	mA	
			V _{DD} = 3.0 V	0.44	1.90			
		HS (高速メイン)モード ^{注7}	f _{MX} = 20 MHz ^{注3} , V _{DD} = 5.0 V	方形波入力 発振子接続	0.31 0.48	2.10 2.20	mA	
			f _{MX} = 20 MHz ^{注3} , V _{DD} = 3.0 V	方形波入力 発振子接続	0.31 0.48	2.10 2.20		
			f _{MX} = 10 MHz ^{注3} , V _{DD} = 5.0 V	方形波入力 発振子接続	0.21 0.28	1.10 1.20	mA	
			f _{MX} = 10 MHz ^{注3} , V _{DD} = 3.0 V	方形波入力 発振子接続	0.21 0.28	1.10 1.20		
			サブシステム・クロック動作	f _{SUB} = 32.768 kHz ^{注5} TA = -40	方形波入力 発振子接続	0.28 0.47	0.61 0.80	μA
				f _{SUB} = 32.768 kHz ^{注5} TA = +25	方形波入力 発振子接続	0.34 0.53	0.61 0.80	
		f _{SUB} = 32.768 kHz ^{注5} TA = +50		方形波入力 発振子接続	0.41 0.60	2.30 2.49	μA	
		f _{SUB} = 32.768 kHz ^{注5} TA = +70		方形波入力 発振子接続	0.64 0.83	4.03 4.22		
	f _{SUB} = 32.768 kHz ^{注5} TA = +85	方形波入力 発振子接続		1.09 1.28	8.04 8.23	μA		
	f _{SUB} = 32.768 kHz ^{注5} TA = +105	方形波入力 発振子接続		5.50 5.50	41.00 41.00			
	IDD3 ^{注6}	STOP モード ^{注8}		TA = -40		0.19	0.52	μA
				TA = +25		0.25	0.52	
			TA = +50		0.32	2.21		
			TA = +70		0.55	3.94		
TA = +85				1.00	7.95			
TA = +105				5.00	40.00			

(注, 備考は次ページにあります。)

- 注 1. V_{DD} , EV_{DD0} , EV_{DD1} に流れるトータル電流です。入力端子を V_{DD} , EV_{DD0} , EV_{DD1} または V_{SS} , EV_{SS0} , EV_{SS1} に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵ブルアップ/ブルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。
2. フラッシュ・メモリでのHALT命令実行時。
 3. 高速オンチップ・オシレータ，サブシステム・クロックは停止時。
 4. 高速システム・クロック，サブシステム・クロックは停止時。
 5. 高速オンチップ・オシレータ，高速システム・クロックは停止時。RTCLPC = 1, かつ超低消費発振(AMPHS1 = 1) 設定時。RTCに流れる電流は含みます。ただし，12ビットインターバル・タイマ，ウォッチドッグ・タイマに流れる電流は含みません。
 6. RTC，12ビット・インターバル・タイマ，ウォッチドッグ・タイマに流れる電流は含みません。
 7. 動作電圧範囲，CPU動作周波数，動作モードの関係を次に示します。

HS (高速メイン) モード	:	2.7 V	V_{DD}	5.5 V@1 MHz ~ 32 MHz
		2.4 V	V_{DD}	5.5 V@1 MHz ~ 16 MHz
 8. STOPモード時にサブシステム・クロックを動作させる場合の電流値は、HALTモード時にサブシステム・クロックを動作させる場合の電流値を参照してください。

- 備考1. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)
2. f_{IH} : 高速オンチップ・オシレータ・クロック周波数
 3. f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数)
 4. 「サブシステム・クロック動作」，「STOPモード」以外のTYP.値の温度条件は， $T_A = 25$ です。

(3) 周辺機能 (全製品共通)

(T_A = -40 ~ +105 °C, V_{DD0} = EVDD0 = EVDD1, V_{DD} = 5.5 V, V_{SS} = EVSS0 = EVSS1 = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
低速オンチップ・オシレータ動作電流	I _{FIL} ^{注1}				0.20		μA
RTC動作電流	I _{RTC} ^{注1, 2, 3}				0.02		μA
12ビット・インターバル・タイマ動作電流	I _{IT} ^{注1, 2, 4}				0.02		μA
ウォッチドッグ・タイマ動作電流	I _{WDT} ^{注1, 2, 5}	f _{IL} = 15 kHz			0.22		μA
A/Dコンバータ動作電流	I _{ADC} ^{注1, 6}	最高速変換時	標準モード, AV _{REFP} = V _{DD} = 5.0 V		1.3	1.7	mA
			低電圧モード, AV _{REFP} = V _{DD} = 3.0 V		0.5	0.7	mA
A/Dコンバータ基準電圧電流	I _{ADREF} ^{注1}				75.0		μA
温度センサ動作電流	I _{TMPS} ^{注1}				75.0		μA
LVD動作電流	I _{LVI} ^{注1, 7}				0.08		μA
セルフ・プログラミング動作電流	I _{FSP} ^{注1, 9}				2.50	12.20	mA
BGO電流	I _{BGO} ^{注1, 8}				2.50	12.20	mA
SNOOZE動作電流	I _{SNOZ} ^{注1}	ADC	モード遷移中 ^{注10}		0.50	1.10	mA
		動作	変換動作中, 低電圧モード, AV _{REFP} = V _{DD} = 3.0 V		1.20	2.04	
		CSI/UART動作			0.70	1.54	

- 注 1. V_{DD}に流れる電流です。
- 高速オンチップ・オシレータ, 高速システム・クロックは停止時。
 - リアルタイム・クロック (RTC) にのみ流れる電流です (低速オンチップ・オシレータ, XT1発振回路の動作電流は含みません)。RTC動作時は, I_{DD1}, I_{DD2}またはI_{DD3}にI_{RTC}を加算した値が, RL78マイクロコントローラの電流値となります。また, 低速オンチップ・オシレータ選択時はI_{FIL}を加算してください。I_{DD2}のサブシステム・クロック動作にはRTC動作電流が含まれています。
 - 12ビット・インターバル・タイマにのみ流れる電流です (低速オンチップ・オシレータ, XT1発振回路の動作電流は含みません)。12ビット・インターバル・タイマ動作時は, I_{DD1}, I_{DD2}またはI_{DD3}にI_{IT}を加算した値が, RL78マイクロコントローラの電流値となります。また, 低速オンチップ・オシレータ選択時はI_{FIL}を加算してください。
 - ウォッチドッグ・タイマにのみ流れる電流です (低速オンチップ・オシレータの動作電流を含みます)。ウォッチドッグ・タイマ動作時は, I_{DD1}, I_{DD2}またはI_{DD3}にI_{WDT}を加算した値が, RL78マイクロコントローラの電流値となります。
 - A/Dコンバータにのみ流れる電流です。動作モードまたはHALTモードでのA/Dコンバータ動作時はI_{DD1}またはI_{DD2}にI_{ADC}を加算した値が, RL78マイクロコントローラの電流値となります。
 - LVD回路にのみ流れる電流です。LVD回路動作時は, I_{DD1}, I_{DD2}またはI_{DD3}にI_{LVD}を加算した値が, RL78マイクロコントローラの電流値となります。
 - データ・フラッシュ書き換え動作に流れる電流です。
 - セルフ・プログラミング動作に流れる電流です。
 - SNOOZEモードへの以降時間は, 18.3.3 SNOOZEモードを参照してください。

- 備考**
1. f_{IL} : 低速オンチップ・オシレータ・クロック周波数
 2. f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数)
 3. f_{CLK} : CPU / 周辺ハードウェア・クロック周波数
 4. TYP.値の温度条件は, $T_A = 25$ です。

30.4 AC特性

(T_A = -40 ~ +105 , 2.4 V EV_{DD0} = EV_{DD1} V_{DD} 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
命令サイクル (最小命令実行時間)	T _{CY}	メイン・システム・クロック (f _{MAIN}) 動作	HS (高速メイン) モード	2.7V ≤ V _{DD} ≤ 5.5V	0.03125		1	μs
				2.4V ≤ V _{DD} < 2.7V	0.0625		1	μs
		サブシステム・クロック (f _{SUB}) 動作		2.4V ≤ V _{DD} ≤ 5.5V	28.5	30.5	31.3	μs
		セルフ・プログラミング時	HS (高速メイン) モード	2.7V ≤ V _{DD} ≤ 5.5V	0.03125		1	μs
			2.4V ≤ V _{DD} < 2.7V	0.0625		1	μs	
外部システム・クロック 周波数	f _{EX}	2.7 V V _{DD} 5.5 V		1.0		20.0	MHz	
		2.4 V V _{DD} < 2.7 V		1.0		16.0	MHz	
	f _{EXS}			32		35	kHz	
外部システム・クロック入力 ハイ、ロウ・レベル幅	t _{EXH} ,	2.7 V V _{DD} 5.5 V		24			ns	
	t _{EXL}	2.4 V V _{DD} < 2.7 V		30			ns	
	t _{EXHS} ,			13.7			μs	
	t _{EXLS}							
TI00-TI07, TI10-TI17入力ハイ・ レベル幅, ロウ・レベル幅	t _{TIH} , t _{TIL}			1/f _{MCK} + 10			ns ^注	
TO00-TO07, TO10-TO17 出力周波数	f _{TO}	HS (高速メイン) モード	4.0 V EV _{DD0} 5.5 V			16	MHz	
			2.7 V EV _{DD0} < 4.0 V			8	MHz	
			2.4 V EV _{DD0} < 2.7 V			4	MHz	
PCLBUZ0, PCLBUZ1出力 周波数	f _{PCL}	HS (高速メイン) モード	4.0 V EV _{DD0} 5.5 V			16	MHz	
			2.7 V EV _{DD0} < 4.0 V			8	MHz	
			2.4 V EV _{DD0} < 2.7 V			4	MHz	
割り込み入力ハイ・レベル幅, ロウ・レベル幅	t _{INTH} ,	INTP0	2.4 V V _{DD} 5.5 V	1			μs	
	t _{INTL}	INTP1-INTP11	2.4 V EV _{DD0} 5.5 V	1			μs	
キー割り込み入力 ロウ・レベル幅	t _{KR}	KR0-KR7	2.4 V EV _{DD0} 5.5 V	250			ns	
RESETロウ・レベル幅	t _{RSL}			10			μs	

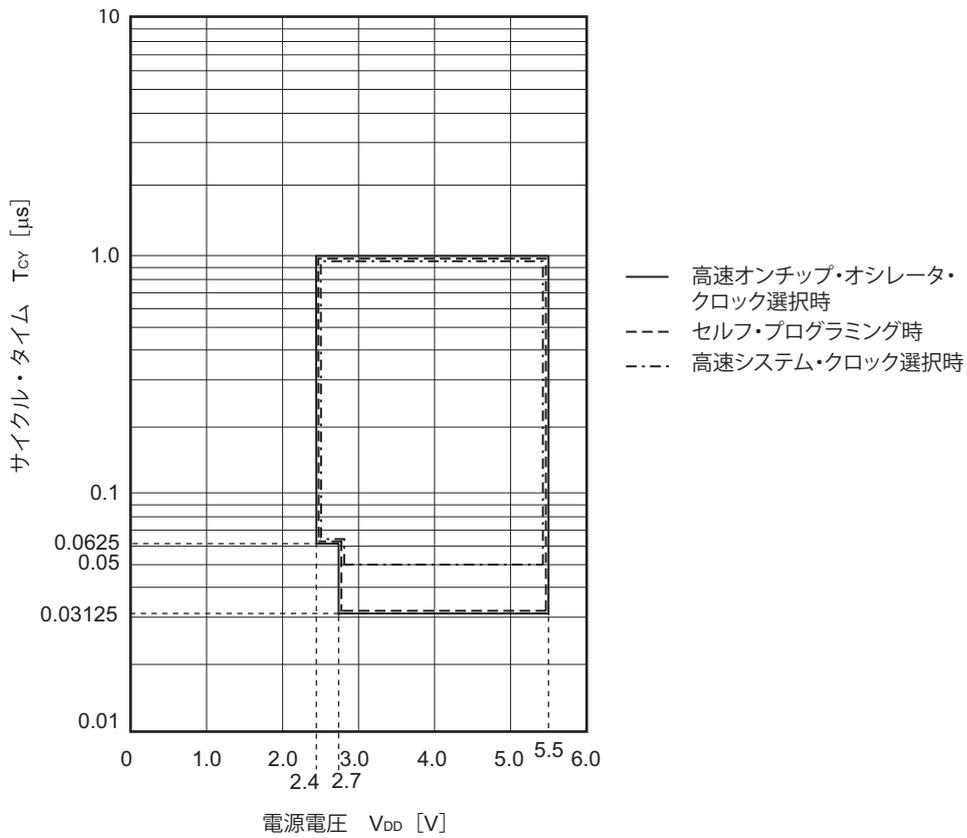
注 EV_{DD0} < V_{DD}となる低電圧インタフェース時は、次の条件も必要になります。2.4 V EV_{DD0} < 2.7 V : MIN. 125 ns備考 f_{MCK} : タイマ・アレイ・ユニットの動作クロック周波数。

(タイマ・モード・レジスタmn (TMRmn) のCKSmn0, CKSmn1ビットで設定する動作クロック。

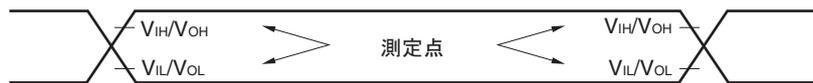
m : ユニット番号(m = 0, 1), n : チャネル番号 (n = 0-7))

メイン・システム・クロック動作時の最小命令実行時間

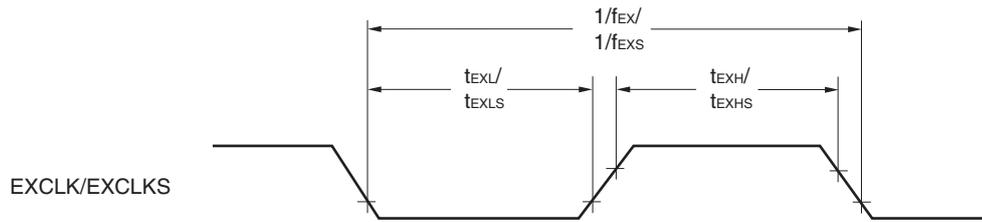
T_{CY} vs V_{DD} (HS (高速メイン) モード)



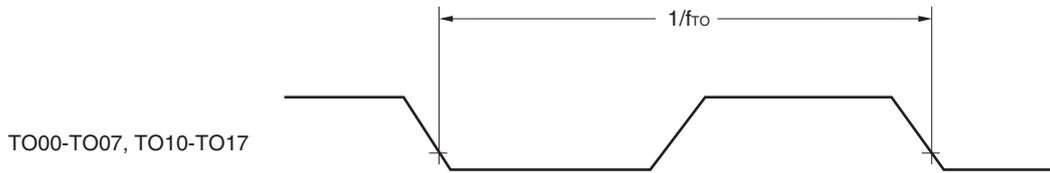
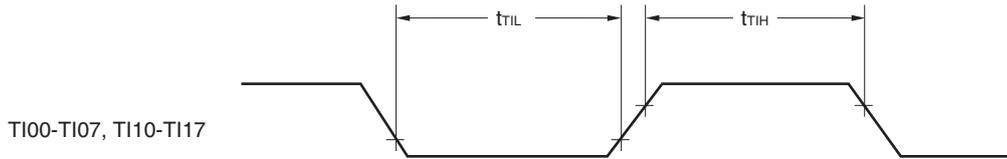
ACタイミング測定点



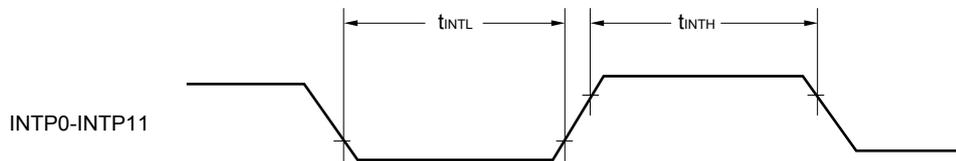
外部システム・クロック・タイミング



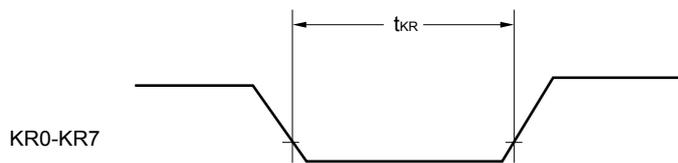
TI/TO タイミング



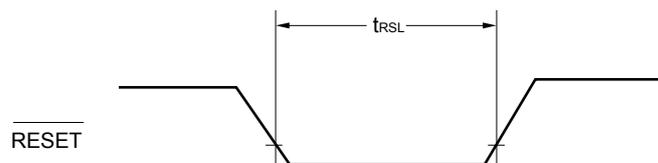
割り込み要求入力タイミング



キー割り込み入力タイミング

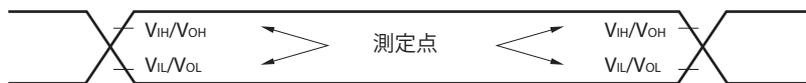


RESET 入力タイミング



30.5 周辺機能特性

ACタイミング測定点



30.5.1 シリアル・アレイ・ユニット

(1) 同電位通信時 (UARTモード)

(TA = -40 ~ +105 , 2.4 V EVDD0 = EVDD1 VDD 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件	HS (高速メイン) モード		単位
			MIN.	MAX.	
転送レート ^{注1}		最大転送レート理論値 f _{CLK} = 32 MHz, f _{MCK} = f _{CLK}		f _{MCK} /12 ^{注2}	bps
				2.6	Mbps

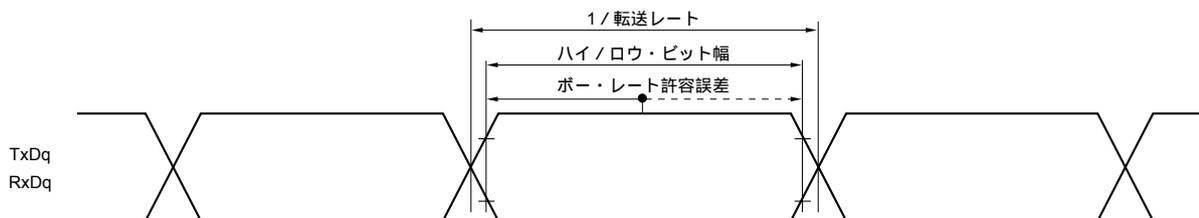
- 注 1. SNOOZEモードでの転送レートは、4800 bpsのみとなります。
- 2. EVDD0 < VDDとなる低電圧インタフェース時は、次の条件も必要になります。
2.4 V EVDD0 < 2.7 V : MAX. 1.3 Mbps

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、Rx/Dq端子は通常入力バッファを選択し、Tx/Dq端子は通常出力モードを選択します。

UARTモード接続図 (同電位通信時)



UARTモードのビット幅 (同電位通信時) (参考)



- 備考1. q : UART番号 (q = 0-3) , g : PIM, POM番号 (g = 0, 1, 8, 14)
- 2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。m : ユニット番号 , n : チャネル番号 (mn = 00-03, 10-13))

(2) 同電位通信時 (CSIモード) (マスタ・モード, SCKp...内部クロック出力)

(T_A = -40 ~ +105 , 2.4 V EV_{DD0} = EV_{DD1} V_{DD} 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V)

項目	略号	条件		HS (高速メイン) モード		単位
				MIN.	MAX.	
SCKpサイクル・タイム	t _{KCY1}	t _{KCY1} 4/f _{CLK}	2.7 V EV _{DD0} 5.5 V	250		ns
			2.4 V EV _{DD0} 5.5 V	500		ns
SCKpハイ, ロウ・レベル幅	t _{KH1} , t _{KL1}	4.0 V EV _{DD0} 5.5 V	t _{KCY1} /2-24		ns	
		2.7 V EV _{DD0} 5.5 V	t _{KCY1} /2-36		ns	
		2.4 V EV _{DD0} 5.5 V	t _{KCY1} /2-76		ns	
Slpセットアップ時間 (対SCKp) 注1	t _{SIK1}	4.0 V EV _{DD0} 5.5 V	66		ns	
		2.7 V EV _{DD0} 5.5 V	66		ns	
		2.4 V EV _{DD0} 5.5 V	113		ns	
Slpホールド時間 (対SCKp) 注1	t _{KSH1}		38		ns	
SCKp SOp出力 遅延時間注2	t _{KSO1}	C = 30 pF ^{注3}		50	ns	

注 1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp”となります。

2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp”となります。

3. Cは, SCKp, SOp出力ラインの負荷容量です。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で, Slp端子は通常入力バッファを選択し, SOp端子とSCKp端子は通常出力モードを選択します。

備考 1. p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31) , m : ユニット番号 (m = 0, 1) ,

n : チャネル番号 (n = 0-3) , g : PIM, POM番号 (g = 0, 1, 4, 5, 8, 14)

2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。m : ユニット番号, n : チャネル番号 (mn = 00-03, 10-13))

(3) 同電位通信時 (CSIモード) (スレーブ・モード, SCKp...外部クロック入力)

(T_A = -40 ~ +105 , 2.4 V EV_{DD0} = EV_{DD1} V_{DD} 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V)

項目	略号	条件		HS (高速メイン) モード		単位
				MIN.	MAX.	
SCKp サイクル・タイム ^{注4}	t _{KCY2}	4.0 V EV _{DD0} 5.5 V	20 MHz < f _{MCK}	16/f _{MCK}		ns
			f _{MCK} 20 MHz	12/f _{MCK}		ns
		2.7 V EV _{DD0} 5.5 V	16 MHz < f _{MCK}	16/f _{MCK}		ns
			f _{MCK} 16 MHz	12/f _{MCK}		ns
2.4 V EV _{DD0} 5.5 V	12/f _{MCK}	かつ1000		ns		
SCKp ハイ, ロウ・レベル幅	t _{KH2} ,	4.0 V EV _{DD0} 5.5 V		t _{KCY2} /2 - 14		ns
	t _{KL2}	2.7 V EV _{DD0} 5.5 V		t _{KCY2} /2 - 16		ns
		2.4 V EV _{DD0} 5.5 V		t _{KCY2} /2 - 36		ns
Slp セットアップ時間 (対SCKp) ^{注1}	t _{SIK2}	2.7 V EV _{DD0} 5.5 V		1/f _{MCK} + 40		ns
		2.4 V EV _{DD0} 5.5 V		1/f _{MCK} + 60		ns
Slp ホールド時間 (対SCKp) ^{注1}	t _{KS12}			1/f _{MCK} + 62		ns
SCKp SOp 出力 遅延時間 ^{注2}	t _{KSO2}	C = 30 pF ^{注3}			2/f _{MCK} + 66	ns
		2.4 V EV _{DD0} 5.5 V			2/f _{MCK} + 113	ns

注1. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは “対SCKp” となります。

2. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは “対SCKp” となります。

3. C は, SOp 出力ラインの負荷容量です。

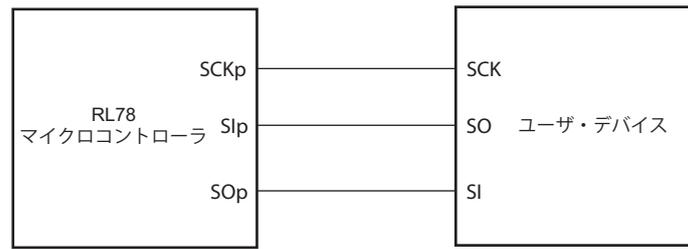
4. SNOOZE モードでの転送レートは, MAX. : 1 Mbps

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で, Slp 端子と SCKp 端子は通常入力バッファを選択し, SOp 端子は通常出力モードを選択します。

備考1. p: CSI 番号 (p = 00, 01, 10, 11, 20, 21, 30, 31), m: ユニット番号 (m = 0, 1), n: チャネル番号 (n = 0-3), g: PIM, POM 番号 (g = 0, 1, 4, 5, 8, 14)

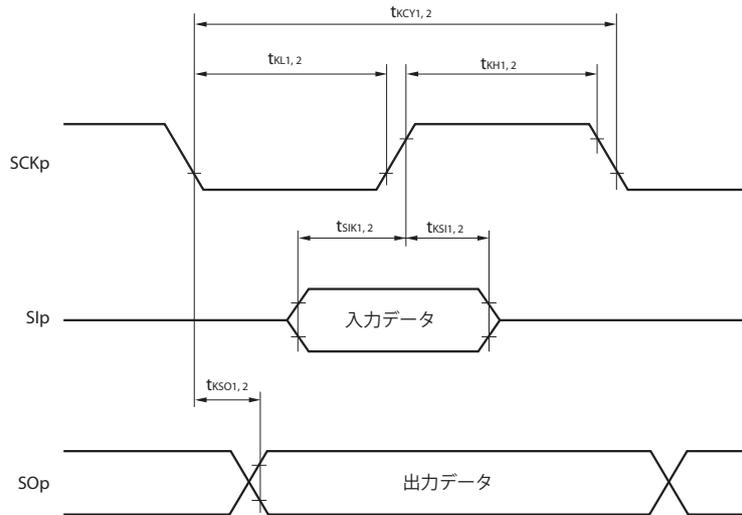
2. f_{MCK}: シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・モード・レジスタ mn (SMRmn) の CKSmn ビットで設定する動作クロック。m: ユニット番号, n: チャネル番号 (mn = 00-03, 10-13))

CSIモード接続図 (同電位通信時)



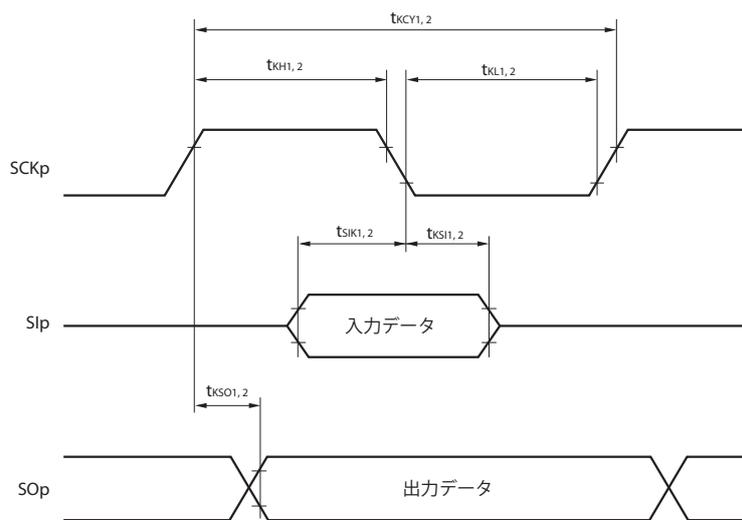
CSIモード・シリアル転送タイミング (同電位通信時)

(DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



CSIモード・シリアル転送タイミング (同電位通信時)

(DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



備考1. p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)

2. m : ユニット番号 , n : チャネル番号 (mn = 00-03, 10-13)

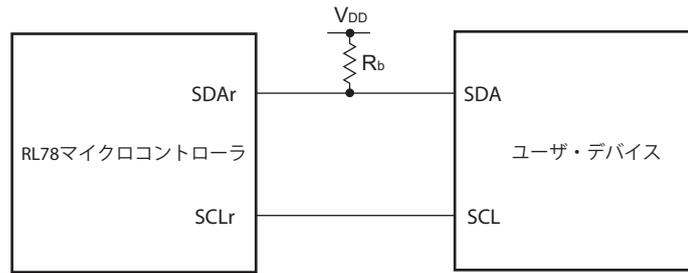
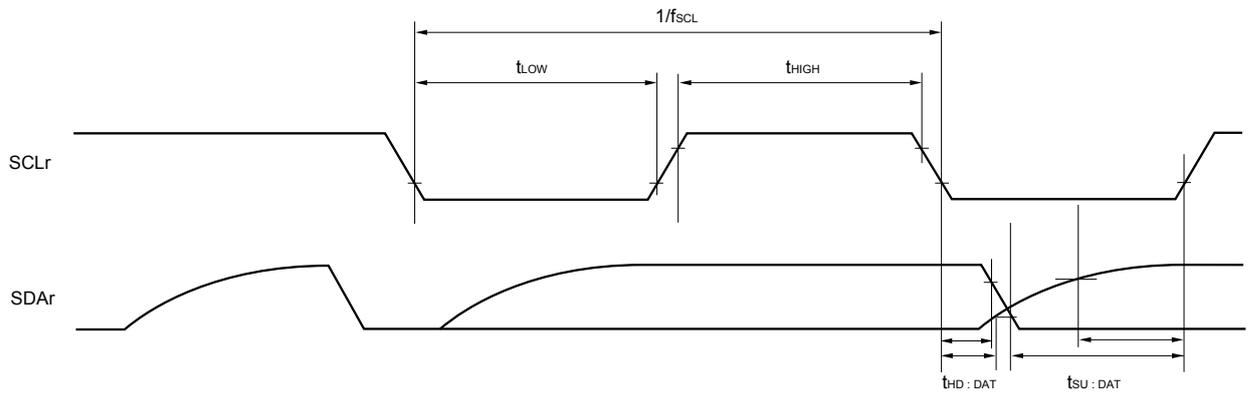
(4) 同電位通信時 (簡易I²Cモード)(T_A = -40 ~ +105 , 2.4 V EV_{DD0} = EV_{DD1} V_{DD} 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V)

項目	略号	条件	HS (高速メイン) モード		単位
			MIN.	MAX.	
SCLrクロック周波数	f _{SCL}	2.7 V EV _{DD0} 5.5 V, C _b = 50 pF, R _b = 2.7 kΩ		400 ^{注1}	kHz
		2.4 V EV _{DD0} 5.5 V, C _b = 100 pF, R _b = 3 kΩ		100 ^{注1}	
SCLr = "L"のホールド・ タイム	t _{LOW}	2.7 V EV _{DD0} 5.5 V, C _b = 50 pF, R _b = 2.7 kΩ	1200		ns
		2.4 V EV _{DD0} 5.5 V, C _b = 100 pF, R _b = 3 kΩ	4600		ns
SCLr = "H"のホールド・ タイム	t _{HIGH}	2.7 V EV _{DD0} 5.5 V, C _b = 50 pF, R _b = 2.7 kΩ	1200		ns
		2.4 V EV _{DD0} 5.5 V, C _b = 100 pF, R _b = 3 kΩ	4600		ns
データ・セットアップ 時間 (受信時)	t _{SU : DAT}	2.7 V EV _{DD0} 5.5 V, C _b = 50 pF, R _b = 2.7 kΩ	1/f _{MCK} + 220 ^{注2}		ns
		2.4 V EV _{DD0} 5.5 V, C _b = 100 pF, R _b = 3 kΩ	1/f _{MCK} + 580 ^{注2}		ns
データ・ホールド時間 (送信時)	t _{HD : DAT}	2.7 V EV _{DD0} 5.5 V, C _b = 50 pF, R _b = 2.7 kΩ	0	770	ns
		2.4 V EV _{DD0} 5.5 V, C _b = 100 pF, R _b = 3 kΩ	0	1420	ns

注 1. かつf_{MCK}/4以下に設定してください。2. f_{MCK}値は、SCLr = "L"とSCLr = "H"のホールド・タイムを越えない値に設定してください。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタh (POMh) で、SDArは通常入力バッファ、N-chオープン・ドレイン出力 (V_{DD}耐圧 (20~52ピン製品の場合) / EV_{DD0}耐圧 (64~100ピン製品の場合) モードを選択し、SCLrは通常出力モードを選択します。

(備考は次ページにあります。)

簡易I²Cモード接続図 (同電位通信時)簡易I²Cモード・シリアル転送タイミング (同電位通信時)

- 備考1. R_b [] : 通信ライン (SDAr) プルアップ抵抗値, C_b [F] : 通信ライン (SCLr, SDAr) 負荷容量値
2. r : IIC番号 ($r = 00, 01, 10, 11, 20, 21, 30, 31$), g : PIM番号 ($g = 0, 1, 4, 5, 8, 14$),
 h : POM番号 ($h = 0, 1, 4, 5, 7-9, 14$)
3. f_{mck} : シリアル・アレイ・ユニットの動作クロック周波数
 (SMRmnレジスタのCKSmnビットで設定する動作クロック。 m : ユニット番号 ($m = 0, 1$), n : チャネル番号 ($n = 0, 2$), $mn = 00-03, 10-13$)

(5) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信時 (UARTモード) (1/2)

(T_A = -40 ~ +105 , 2.4 V EV_{DD0} = EV_{DD1} V_{DD} 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V)

項目	略号	条件	HS (高速メイン) モード		単位
			MIN.	MAX.	
転送レート	受 信	4.0 V EV _{DD0} 5.5 V, 2.7 V V _b 4.0 V		f _{MCK} /12 ^{注1}	bps
		最大転送レート理論値 f _{CLK} = 32MHz, f _{MCK} = f _{CLK}		2.6	Mbps
		2.7 V EV _{DD0} < 4.0 V, 2.3 V V _b 2.7 V		f _{MCK} /12 ^{注1}	bps
		最大転送レート理論値 f _{CLK} = 32MHz, f _{MCK} = f _{CLK}		2.6	Mbps
		2.4 V EV _{DD0} < 3.3 V, 1.6 V V _b 2.0 V		f _{MCK} /12 ^{注1,2}	bps
		最大転送レート理論値 f _{CLK} = 32MHz, f _{MCK} = f _{CLK}		2.6	Mbps

注 1. SNOOZEモードでの転送レートは、4800 bpsのみとなります。

2. EV_{DD0} < V_{DD}となる低電圧インタフェース時は、次の条件も必要になります。

2.4 V EV_{DD0} < 2.7 V : MAX. 1.3 Mbps

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、RxDq端子はTTL入力バッファを選択し、TxDq端子はN-chオープン・ドレイン出力 (V_{DD}耐圧 (20~52ピン製品の場合) / EV_{DD}耐圧 (64~100ピン製品の場合) モードを選択します。なおV_{IH}, V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。

備考1. V_b [V]: 通信ライン電圧

2. q: UART番号 (q = 0-3), g: PIM, POM番号 (g = 0, 1, 8, 14)

3. f_{MCK}: シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。m: ユニット番号, n: チャネル番号 (mn = 00-03, 10-13))

4. 周辺I/Oリダイレクション・レジスタ (PIOR) のビット1 (PIOR1) が1のとき、UART2の異電位通信は使用できません。

(5) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信時 (UARTモード) (2/2)

(T_A = -40 ~ +105, 2.4 V EV_{DD0} = EV_{DD1} V_{DD} 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V)

項目	略号	条件	HS (高速メイン) モード		単位
			MIN.	MAX.	
転送レート	送 信	4.0 V EV _{DD0} 5.5 V, 2.7 V V _b 4.0 V		注1	bps
		最大転送レート理論値 C _b = 50 pF, R _b = 1.4 kΩ, V _b = 2.7 V		2.6 ^{注2}	Mbps
		2.7 V EV _{DD0} < 4.0 V, 2.3 V V _b 2.7 V		注3	bps
		最大転送レート理論値 C _b = 50 pF, R _b = 2.7 kΩ, V _b = 2.3 V		1.2 ^{注4}	Mbps
		2.4 V EV _{DD0} < 3.3 V, 1.6 V V _b 2.0 V		注5	bps
		最大転送レート理論値 C _b = 50 pF, R _b = 5.5 kΩ, V _b = 1.6 V		0.43 ^{注6}	Mbps

注1. f_{MCK}/12または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

4.0 V EV_{DD0} 5.5 V, 2.7 V V_b 4.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\left\{ -C_b \times R_b \times \ln \left(1 - \frac{2.2}{V_b} \right) \right\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \left\{ -C_b \times R_b \times \ln \left(1 - \frac{2.2}{V_b} \right) \right\}}{\left(\frac{1}{\text{転送レート}} \right) \times \text{転送ビット数}} \times 100 \text{ [%]}$$

この値は送信側と受信側の相対差の理論値となります。

2. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注1により算出してください。

3. f_{MCK}/12または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

2.7 V EV_{DD0} < 4.0 V, 2.3 V V_b 2.7 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\left\{ -C_b \times R_b \times \ln \left(1 - \frac{2.0}{V_b} \right) \right\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \left\{ -C_b \times R_b \times \ln \left(1 - \frac{2.0}{V_b} \right) \right\}}{\left(\frac{1}{\text{転送レート}} \right) \times \text{転送ビット数}} \times 100 \text{ [%]}$$

この値は送信側と受信側の相対差の理論値となります。

4. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注4により算出してください。

注5. f_{MCK}/12または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

2.4 V EV_{DD0} < 3.3 V, 1.6 V V_b 2.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{ - C_b \times R_b \times \ln (1 - \frac{1.5}{V_b}) \} \times 3} \quad [\text{bps}]$$

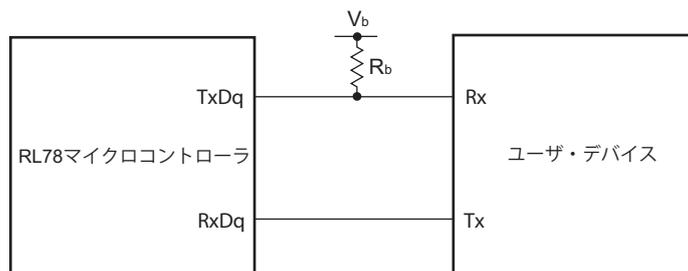
$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{ - C_b \times R_b \times \ln (1 - \frac{1.5}{V_b}) \}}{\left(\frac{1}{\text{転送レート}} \right) \times \text{転送ビット数}} \times 100 \quad [\%]$$

この値は送信側と受信側の相対差の理論値となります。

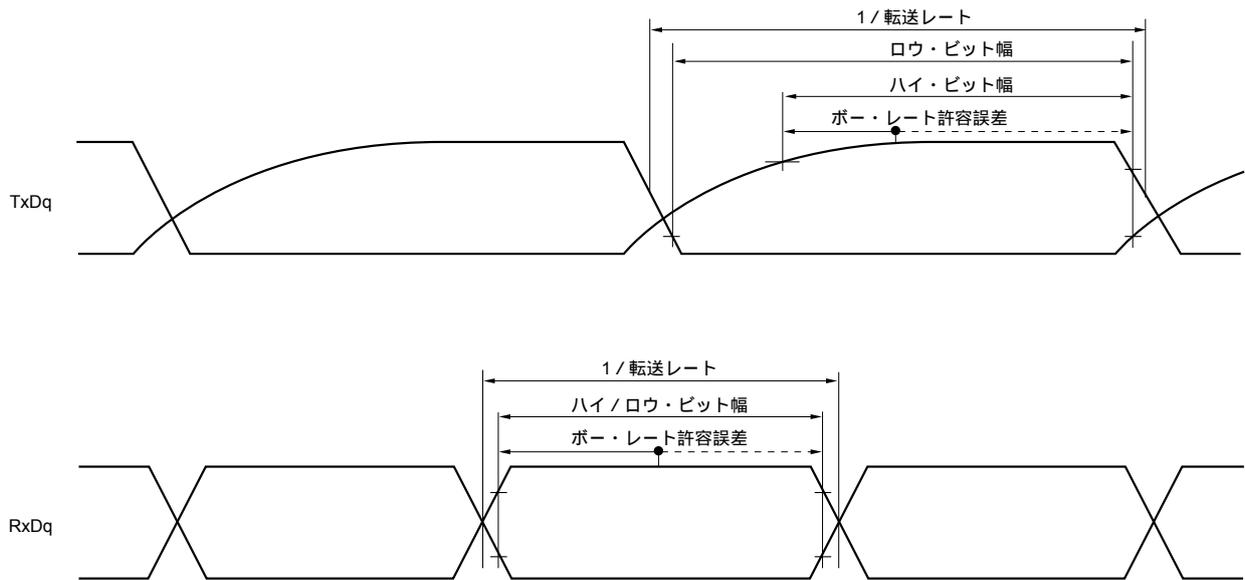
6. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注7により算出してください。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、RxDq端子はTTL入力バッファを選択し、TxDq端子はN-chオープン・ドレイン出力 (V_{DD}耐圧 (20 ~ 52ピン製品の場合) / EV_{DD}耐圧 (64 ~ 100ピン製品の場合) モード) を選択します。なおV_{IH}, V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。

UARTモード接続図 (異電位通信時)



UARTモードのビット幅 (異電位通信時) (参考)



- 備考1.** R_b [] : 通信ライン (TxDq) プルアップ抵抗値, C_b [F] : 通信ライン (TxDq) 負荷容量値, V_b [V] : 通信ライン電圧
2. q : UART番号 ($q = 0-3$), g : PIM, POM番号 ($g = 0, 1, 8, 14$)
 3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・モード・レジスタ mn (SMR mn)のCKSM n ビットで設定する動作クロック。 m : ユニット番号, n : チャネル番号 ($mn = 00-03, 10-13$))
 4. 周辺I/Oリダイレクション・レジスタ (PIOR) のビット1 (PIOR1) が1のとき, UART2の異電位通信は使用できません。

(6) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信時 (CSIモード) (マスタ・モード, SCKp...内部クロック出力) (1/3)

(T_A = -40 ~ +105 , 2.4 V EV_{DD0} = EV_{DD1} V_{DD} 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V)

項目	略号	条件	HS (高速メイン) モード		単位
			MIN.	MAX.	
SCKpサイクル・タイム	t _{KCY1}	t _{KCY1} 4f _{CLK} 4.0 V EV _{DD0} 5.5 V, 2.7 V V _b 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ	600		ns
		2.7 V EV _{DD0} < 4.0 V, 2.3 V V _b 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ	1000		ns
		2.4 V EV _{DD0} < 3.3 V, 1.6 V V _b 2.0 V, C _b = 30 pF, R _b = 5.5 kΩ	2300		ns
SCKpハイ・レベル幅	t _{KH1}	4.0 V EV _{DD0} 5.5 V, 2.7 V V _b 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ	t _{KCY1} /2-150		ns
		2.7 V EV _{DD0} < 4.0 V, 2.3 V V _b 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ	t _{KCY1} /2-340		ns
		2.4 V EV _{DD0} < 3.3 V, 1.6 V V _b 2.0 V, C _b = 30 pF, R _b = 5.5 kΩ	t _{KCY1} /2-916		ns
SCKpロウ・レベル幅	t _{KL1}	4.0 V EV _{DD0} 5.5 V, 2.7 V V _b 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ	t _{KCY1} /2-24		ns
		2.7 V EV _{DD0} < 4.0 V, 2.3 V V _b 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ	t _{KCY1} /2-36		ns
		2.4 V EV _{DD0} < 3.3 V, 1.6 V V _b 2.0 V, C _b = 30 pF, R _b = 5.5 kΩ	t _{KCY1} /2-100		ns

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で, Slp端子はTTL入力バッファを選択し, SOp端子とSCKp端子はN-chオープン・ドレイン出力 (V_{DD}耐圧 (20~52ピン製品の場合) / EV_{DD}耐圧 (64~100ピン製品の場合) モード) を選択します。なおV_{IH}, V_{IL}は, TTL入力バッファ選択時のDC特性を参照してください。

(備考は次々々ページにあります。)

(6) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信時 (CSIモード) (マスタ・モード, SCKp...内部クロック出力) (2/3)

(T_A = -40 ~ +105 °C, 2.4 V EV_{DD0} = EV_{DD1} V_{DD} 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V)

項目	略号	条件	HS (高速メイン) モード		単位
			MIN.	MAX.	
Slpセットアップ時間 (対SCKp) 注	t _{SIK1}	4.0 V EV _{DD0} 5.5 V, 2.7 V V _b 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ	162		ns
		2.7 V EV _{DD0} < 4.0 V, 2.3 V V _b 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ	354		ns
		2.4 V EV _{DD0} < 3.3 V, 1.6 V V _b 2.0 V, C _b = 30 pF, R _b = 5.5 kΩ	958		ns
Slpホールド時間 (対SCKp) 注	t _{KS11}	4.0 V EV _{DD0} 5.5 V, 2.7 V V _b 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ	38		ns
		2.7 V EV _{DD0} < 4.0 V, 2.3 V V _b 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ	38		ns
		2.4 V EV _{DD0} < 3.3 V, 1.6 V V _b 2.0 V, C _b = 30 pF, R _b = 2.7 kΩ	38		ns
SCKp SOp出力遅延 時間注	t _{KS01}	4.0 V EV _{DD0} 5.5 V, 2.7 V V _b 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ		200	ns
		2.7 V EV _{DD0} < 4.0 V, 2.3 V V _b 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ		390	ns
		2.4 V EV _{DD0} < 3.3 V, 1.6 V V _b 2.0 V, C _b = 30 pF, R _b = 5.5 kΩ		966	ns

注 DAP_mn = 0, CKP_mn = 0またはDAP_mn = 1, CKP_mn = 1のとき。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で, Slp端子はTTL入力バッファを選択し, SOp端子とSCKp端子はN-chオープン・ドレイン出力 (V_{DD}耐圧 (20~52ピン製品の場合) / EV_{DD}耐圧 (64~128ピン製品の場合) モード) を選択します。なおV_{IH}, V_{IL}は, TTL入力バッファ選択時のDC特性を参照してください。

(備考は次々ページにあります。)

(6) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信時 (CSIモード) (マスタ・モード, SCKp...内部クロック出力) (3/3)

(T_A = -40 ~ +105 , 2.4 V EV_{DD0} = EV_{DD1} V_{DD} 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V)

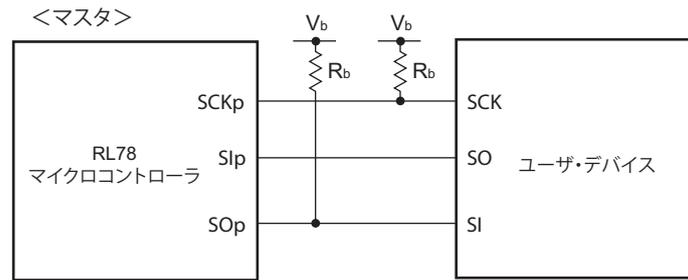
項目	略号	条件	HS (高速メイン) モード		単位
			MIN.	MAX.	
Slpセットアップ時間 (対SCKp) 注	t _{SIK1}	4.0 V EV _{DD0} 5.5 V, 2.7 V V _b 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ	88		ns
		2.7 V EV _{DD0} < 4.0 V, 2.3 V V _b 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ	88		ns
		2.4 V EV _{DD0} < 3.3 V, 1.6 V V _b 2.0 V, C _b = 30 pF, R _b = 5.5 kΩ	220		ns
Slpホールド時間 (対SCKp) 注	t _{KS1}	4.0 V EV _{DD0} 5.5 V, 2.7 V V _b 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ	38		ns
		2.7 V EV _{DD0} < 4.0 V, 2.3 V V _b 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ	38		ns
		2.4 V EV _{DD0} < 3.3 V, 1.6 V V _b 2.0 V, C _b = 30 pF, R _b = 5.5 kΩ	38		ns
SCKp SOp出力遅延 時間注	t _{KS01}	4.0 V EV _{DD0} 5.5 V, 2.7 V V _b 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ		50	ns
		2.7 V EV _{DD0} < 4.0 V, 2.3 V V _b 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ		50	ns
		2.4 V EV _{DD0} < 3.3 V, 1.6 V V _b 2.0 V, C _b = 30 pF, R _b = 5.5 kΩ		50	ns

注 DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で, Slp端子はTTL入力バッファを選択し, SOp端子とSCKp端子はN-chオープン・ドレイン出力 (V_{DD}耐圧 (20~52ピン製品の場合) / EV_{DD}耐圧 (64~128ピン製品の場合) モードを選択します。なおV_{IH}, V_{IL}は, TTL入力バッファ選択時のDC特性を参照してください。

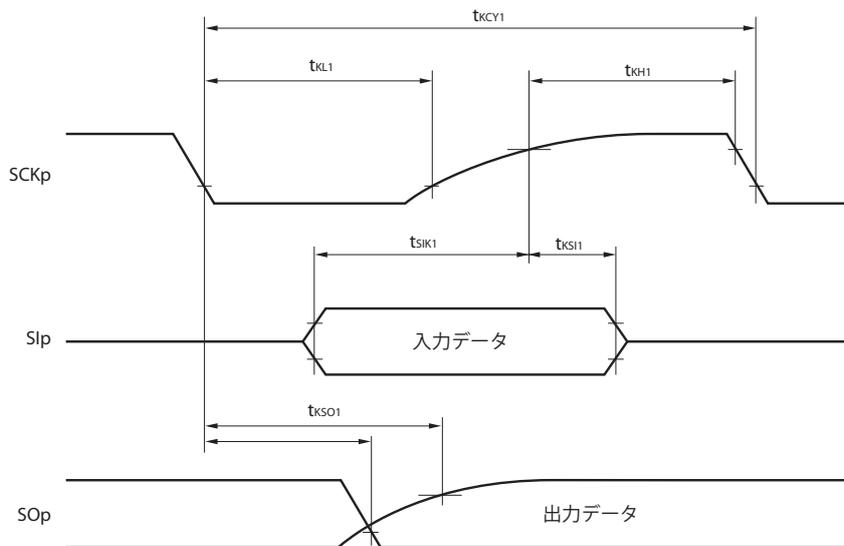
(備考は次ページにあります。)

CSIモード接続図 (異電位通信時)

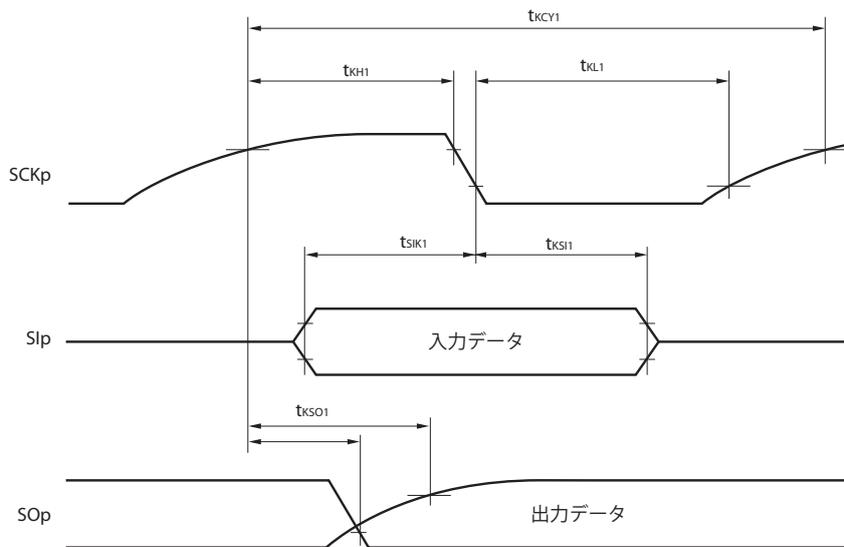


- 備考1. R_b [] : 通信ライン (SCKp, SOp) プルアップ抵抗値, C_b [F] : 通信ライン (SCKp, SOp) 負荷容量値, V_b [V] : 通信ライン電圧
2. p : CSI番号 ($p = 00, 01, 10, 20, 30, 31$), m : ユニット番号, n : チャネル番号 ($mn = 00, 01, 02, 10, 12, 13$), g : PIM, POM番号 ($g = 0, 1, 4, 5, 8, 14$)
 3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
シリアル・モード・レジスタ mn (SMR mn) のCKSmnビットで設定する動作クロック。 m : ユニット番号, n : チャネル番号 ($mn = 00$)
 4. CSI11, CSI21と, 48, 52, 64ピン製品のCSI01は異電位通信できません。異電位通信をする場合は, それ以外のCSIを使用してください。

CSIモード・シリアル転送タイミング：マスタ・モード（異電位通信時）
 (DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



CSIモード・シリアル転送タイミング：マスタ・モード（異電位通信時）
 (DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



- 備考1. p : CSI番号 (p = 00, 01, 10, 20, 30, 31) , m : ユニット番号 , n : チャネル番号 (mn = 00, 01, 02, 10, 12, 13) , g : PIM, POM番号 (g = 0, 1, 4, 5, 8, 14)
2. CSI11, CSI21と, 48, 52, 64ピン製品のCSI01は異電位通信できません。異電位通信をする場合は, それ以外のCSIを使用してください。

(7) 異電位 (1.8 V系, 2.5 V系, 3 V系) 通信時 (CSIモード) (スレーブ・モード, SCKp...外部ク
ロック入力)

(T_A = -40 ~ +105 , 2.4 V EV_{DD0} = EV_{DD1} V_{DD} 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V)

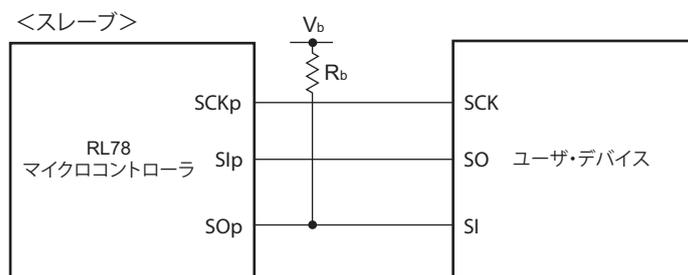
項目	略号	条件	HS (高速メイン) モード		単位	
			MIN.	MAX.		
SCKpサイクル・タイム ^{注1}	t _{KCY2}	4.0 V EV _{DD0} 5.5 V, 2.7 V V _b 4.0 V	24 MHz < f _{MCK}	28/f _{MCK}		ns
			20 MHz < f _{MCK} 24 MHz	24/f _{MCK}		ns
			8 MHz < f _{MCK} 20 MHz	20/f _{MCK}		ns
			4 MHz < f _{MCK} 8 MHz	16/f _{MCK}		ns
			f _{MCK} 4 MHz	12/f _{MCK}		ns
		2.7 V EV _{DD0} < 4.0 V, 2.3 V V _b 2.7 V	24 MHz < f _{MCK}	40/f _{MCK}		ns
			20 MHz < f _{MCK} 24 MHz	32/f _{MCK}		ns
			16 MHz < f _{MCK} 20 MHz	28/f _{MCK}		ns
			8 MHz < f _{MCK} 16 MHz	24/f _{MCK}		ns
			4 MHz < f _{MCK} 8 MHz	16/f _{MCK}		ns
		2.4 V EV _{DD0} < 3.3 V, 1.6 V V _b 2.0 V	24 MHz < f _{MCK}	96/f _{MCK}		ns
			20 MHz < f _{MCK} 24 MHz	72/f _{MCK}		ns
			16 MHz < f _{MCK} 20 MHz	64/f _{MCK}		ns
			8 MHz < f _{MCK} 16 MHz	52/f _{MCK}		ns
			4 MHz < f _{MCK} 8 MHz	32/f _{MCK}		ns
f _{MCK} 4 MHz	20/f _{MCK}		ns			
	SCKpハイ, ロウ・レベル幅		t _{KCY2} /2 - 24		ns	
	t _{KH2} , t _{KL2}	4.0 V EV _{DD0} 5.5 V, 2.7 V V _b 4.0 V				
		2.7 V EV _{DD0} < 4.0 V, 2.3 V V _b 2.7 V				t _{KCY2} /2 - 36
	t _{KH2} , t _{KL2}	2.4 V EV _{DD0} < 3.3 V, 1.6 V V _b 2.0 V	t _{KCY2} /2 - 100	ns		
Slpセットアップ時間 (対SCKp) ^{注2}	t _{SIK2}	4.0 V EV _{DD0} 5.5 V, 2.7 V V _b 4.0 V	1/f _{MCK} + 40		ns	
		2.7 V EV _{DD0} 4.0 V, 2.3 V V _b 2.7 V	1/f _{MCK} + 40		ns	
		2.4 V EV _{DD0} 3.3 V, 1.6 V V _b 2.0 V	1/f _{MCK} + 60		ns	
Slpホールド時間 (対SCKp) ^{注2}	t _{KSI2}		1/f _{MCK} + 62		ns	
SCKp SOp出力 遅延時間 ^{注3}	t _{KSO2}	4.0 V EV _{DD0} 5.5 V, 2.7 V V _b 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ		2/f _{MCK} + 240	ns	
		2.7 V EV _{DD0} < 4.0 V, 2.3 V V _b 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ		2/f _{MCK} + 428	ns	
		2.4 V EV _{DD0} < 3.3 V, 1.6 V V _b 2.0 V, C _b = 30 pF, R _b = 5.5 kΩ		2/f _{MCK} + 1146	ns	

(注、注意、備考は次ページにあります。)

- 注1. SNOOZEモードでの転送レートは、MAX. : 1 Mbps
2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp”となります。
3. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp”となります。

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、Slp端子とSCKp端子はTTL入力バッファを選択し、SOp端子はN-chオープン・ドレイン出力 (V_{DD}耐圧 (20~52ピン製品の場合) / EV_{DD}耐圧 (64~128ピン製品の場合) モードを選択します。なおV_{IH}, V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。

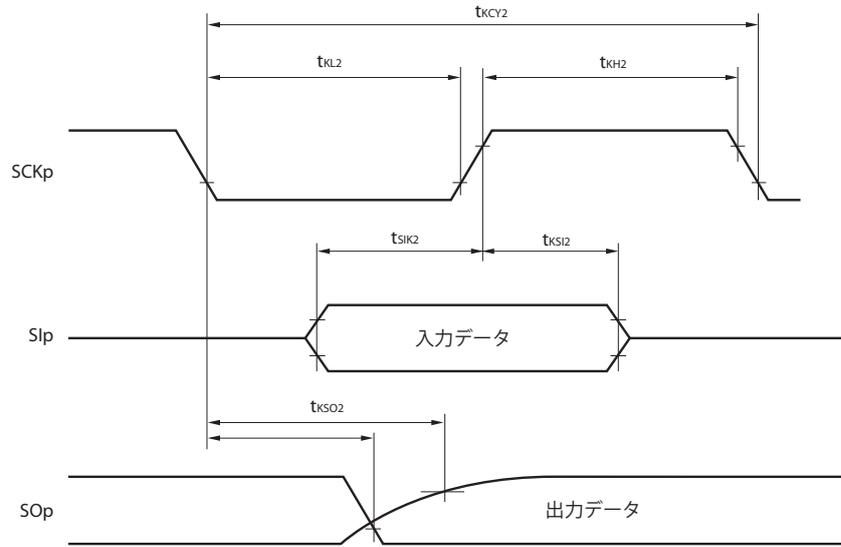
CSIモード接続図 (異電位通信時)



- 備考1. R_b [] : 通信ライン (SOp) プルアップ抵抗値, C_b [F] : 通信ライン (SOp) 負荷容量値,
V_b [V] : 通信ライン電圧
2. p: CSI番号 (p = 00, 01, 10, 20, 30, 31), m: ユニット番号, n: チャネル番号 (mn = 00, 01, 02, 10, 12, 13),
g: PIM, POM番号 (g = 0, 1, 4, 5, 8, 14)
3. f_{MCK}: シリアル・アレイ・ユニットの動作クロック周波数
(シリアル・モード・レジスタmn (SMRmn) のCKSmnビットで設定する動作クロック。m: ユニット番号,
n: チャネル番号 (mn = 00, 01, 02, 10, 12, 13))
4. CSI11, CSI21と、48, 52, 64ピン製品のCSI01は異電位通信できません。異電位通信をする場合は、それ以外のCSIを使用してください。

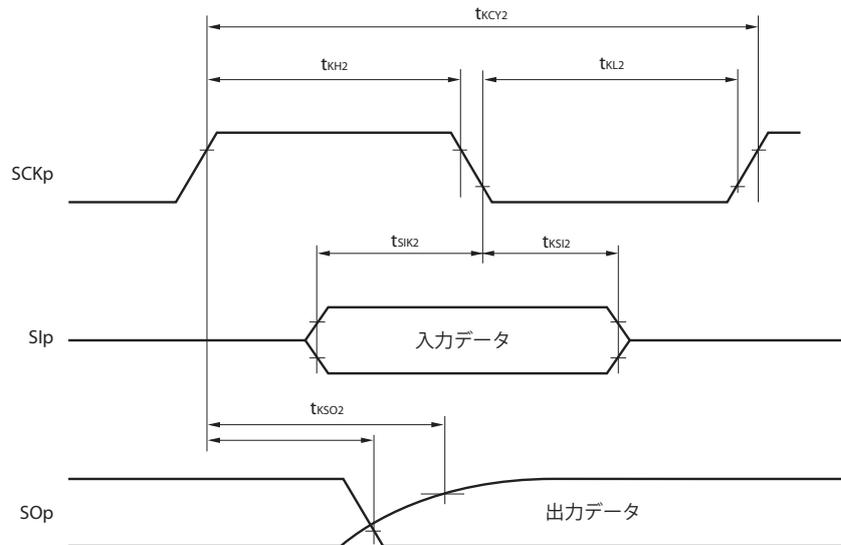
CSIモード・シリアル転送タイミング：スレーブ・モード（異電位通信時）

(DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



CSIモード・シリアル転送タイミング：スレーブ・モード（異電位通信時）

(DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



- 備考1. p : CSI番号 (p = 00, 01, 10, 20, 30, 31) , m : ユニット番号 , n : チャネル番号 (mn = 00, 01, 02, 10, 12, 13) , g : PIM, POM番号 (g = 0, 1, 4, 5, 8, 14)
2. CSI11, CSI21と、48, 52, 64ピン製品のCSI01は異電位通信できません。異電位通信をする場合は、それ以外のCSIを使用してください。

(8) 異電位通信時 (1.8 V系, 2.5 V系, 3 V系) 通信時 (簡易¹Cモード) (1/2)(T_A = -40 ~ +105 °C, 2.4 V EV_{DD0} = EV_{DD1} V_{DD} 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V)

項目	略号	条件	HS (高速メイン) モード		単位
			MIN.	MAX.	
SCLrクロック周波数	f _{SCL}	4.0 V EV _{DD0} 5.5 V, 2.7 V V _b 4.0 V, C _b = 50 pF, R _b = 2.7 kΩ		400 ^{注1}	kHz
		2.7 V EV _{DD0} < 4.0 V, 2.3 V V _b 2.7 V, C _b = 50 pF, R _b = 2.7 kΩ		400 ^{注1}	
		4.0 V EV _{DD0} 5.5 V, 2.7 V V _b 4.0 V, C _b = 100 pF, R _b = 2.8 kΩ		100 ^{注1}	
		2.7 V EV _{DD0} < 4.0 V, 2.3 V V _b 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ		100 ^{注1}	
		2.4 V EV _{DD0} < 3.3 V, 1.6 V V _b 2.0 V, C _b = 100 pF, R _b = 5.5 kΩ		100 ^{注1}	
SCLr = "L" のホールド・タイム	t _{LOW}	4.0 V EV _{DD0} 5.5 V, 2.7 V V _b 4.0 V, C _b = 50 pF, R _b = 2.7 kΩ	1200		ns
		2.7 V EV _{DD0} < 4.0 V, 2.3 V V _b 2.7 V, C _b = 50 pF, R _b = 2.7 kΩ	1200		
		4.0 V EV _{DD0} 5.5 V, 2.7 V V _b 4.0 V, C _b = 100 pF, R _b = 2.8 kΩ	4600		
		2.7 V EV _{DD0} < 4.0 V, 2.3 V V _b 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ	4600		
		2.4 V EV _{DD0} < 3.3 V, 1.6 V V _b 2.0 V, C _b = 100 pF, R _b = 5.5 kΩ	4650		
SCLr = "H" のホールド・タイム	t _{HIGH}	4.0 V EV _{DD0} 5.5 V, 2.7 V V _b 4.0 V, C _b = 50 pF, R _b = 2.7 kΩ	620		ns
		2.7 V EV _{DD0} < 4.0 V, 2.3 V V _b 2.7 V, C _b = 50 pF, R _b = 2.7 kΩ	500		
		4.0 V EV _{DD0} 5.5 V, 2.7 V V _b 4.0 V, C _b = 100 pF, R _b = 2.8 kΩ	2700		
		2.7 V EV _{DD0} < 4.0 V, 2.3 V V _b 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ	2400		
		2.4 V EV _{DD0} < 3.3 V, 1.6 V V _b 2.0 V, C _b = 100 pF, R _b = 5.5 kΩ	1830		

(注, 注意は次ページ, 備考は次々ページにあります。)

(8) 異電位通信時 (1.8 V系, 2.5 V系, 3 V系) 通信時 (簡易I²Cモード) (2/2)(T_A = -40 ~ +105 , 2.4 V EVDD0 = EVDD1 VDD 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

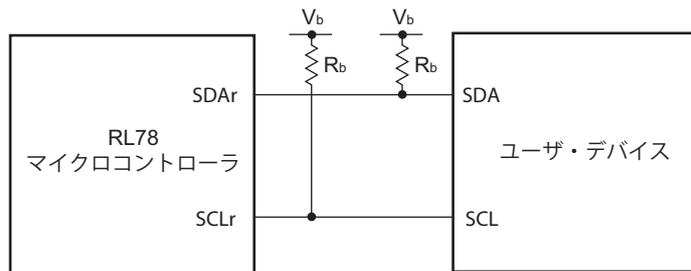
項目	略号	条件	HS (高速メイン) モード		単位
			MIN.	MAX.	
データ・セットアップ時間 (受信時)	t _{SU} : DAT	4.0 V EVDD0 5.5 V, 2.7 V V _b 4.0 V, C _b = 50 pF, R _b = 2.7 kΩ	1/f _{MCK} + 340 ^{注2}		ns
		2.7 V EVDD0 < 4.0 V, 2.3 V V _b 2.7 V, C _b = 50 pF, R _b = 2.7 kΩ	1/f _{MCK} + 340 ^{注2}		ns
		4.0 V EVDD0 5.5 V, 2.7 V V _b 4.0 V, C _b = 100 pF, R _b = 2.8 kΩ	1/f _{MCK} + 760 ^{注2}		ns
		2.7 V EVDD0 < 4.0 V, 2.3 V V _b 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ	1/f _{MCK} + 760 ^{注2}		ns
		2.4 V EVDD0 < 3.3 V, 1.6 V V _b 2.0 V C _b = 100 pF, R _b = 5.5 kΩ	1/f _{MCK} + 570 ^{注2}		ns
データ・ホールド時間 (送信時)	t _{HD} : DAT	4.0 V EVDD0 5.5 V, 2.7 V V _b 4.0 V, C _b = 50 pF, R _b = 2.7 kΩ	0	770	ns
		2.7 V EVDD0 < 4.0 V, 2.3 V V _b 2.7 V, C _b = 50 pF, R _b = 2.7 kΩ	0	770	ns
		4.0 V EVDD0 5.5 V, 2.7 V V _b 4.0 V, C _b = 100 pF, R _b = 2.8 kΩ	0	1420	ns
		2.7 V EVDD0 < 4.0 V, 2.3 V V _b 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ	0	1420	ns
		2.4 V EVDD0 < 3.3 V, 1.6 V V _b 2.0 V, C _b = 100 pF, R _b = 5.5 kΩ	0	1215	ns

注 1. かつ f_{MCK}/4以下に設定してください。2. f_{MCK}値は, SCLr = "L"とSCLr = "H"のホールド・タイムを超えない設定にしてください。

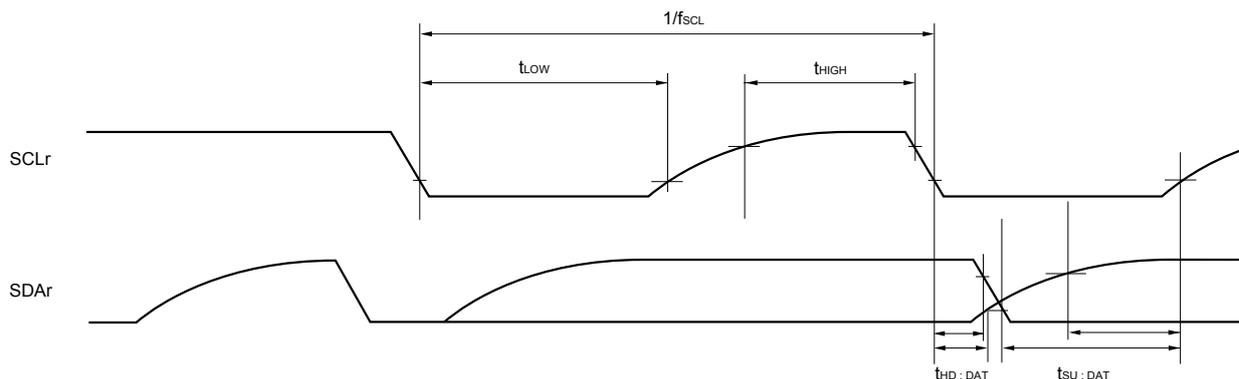
注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で, SDArはTTL入力バッファ, N-chオープン・ドレイン出力 (V_{DD}耐圧 (20~52ピン製品の場合) / EV_{DD}耐圧 (64~100ピン製品の場合) モードを選択し, SCLrはN-chオープン・ドレイン出力 (V_{DD}耐圧 (20~52ピン製品の場合) / EV_{DD}耐圧 (64~100ピン製品の場合) モードを選択します。なお V_{IH}, V_{IL}は, TTL入力バッファ選択時のDC特性を参照してください。

(備考は次ページにあります。)

簡易I²Cモード接続図 (異電位通信時)



簡易I²Cモード・シリアル転送タイミング (異電位通信時)



注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で, SDArはTTL入力バッファ, N-chオープン・ドレイン出力 (V_{DD}耐圧 (20~52ピン製品の場合) / EV_{DD}耐圧 (64~100ピン製品の場合) モードを選択し, SCLrはN-chオープン・ドレイン出力 (V_{DD}耐圧 (20~52ピン製品の場合) / EV_{DD}耐圧 (64~100ピン製品の場合) モードを選択します。なおV_{IH}, V_{IL}は, TTL入力バッファ選択時のDC特性を参照してください。

- 備考1.** R_b [Ω]: 通信ライン (SDAr, SCLr) プルアップ抵抗値, C_b [F]: 通信ライン (SDAr, SCLr) 負荷容量値, V_b [V]: 通信ライン電圧
2. r : IIC番号 (r = 00, 01, 10, 20, 30, 31), g : PIM, POM番号 (g = 0, 1, 4, 5, 8, 14)
3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
(SMRmnレジスタのCKSmnビットで設定する動作クロック。m : ユニット番号, n : チャネル番号 (mn = 00, 01, 02, 10, 12, 13))

30.5.2 シリアル・インタフェースIIICA

(T_A = -40~+105, 2.4 V EVDD0 = EVDD1 VDD 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件	HS (高速メイン) モード				単位
			標準モード		ファースト・モード		
			MIN.	MAX.	MIN.	MAX.	
SCLA0クロック周波数	f _{SCL}	ファースト・モード : f _{CLK} 3.5 MHz	-	-	0	400	kHz
		標準モード : f _{CLK} 1MHz	0	100	-	-	kHz
リスタート・コンディションのセットアップ時間	t _{SU : STA}		4.7		0.6		μs
ホールド時間 ^{注1}	t _{HD : STA}		4.0		0.6		μs
SCLA0 = "L" のホールド・タイム	t _{LOW}		4.7		1.3		μs
SCLA0 = "H" のホールド・タイム	t _{HIGH}		4.0		0.6		μs
データ・セットアップ時間 (受信時)	t _{SU : DAT}		250		100		ns
データ・ホールド時間 (送信時) ^{注2}	t _{HD : DAT}		0	3.45	0	0.9	μs
ストップ・コンディションのセットアップ時間	t _{SU : STO}		4.0		0.6		μs
パス・フリー時間	t _{BUF}		4.7		1.3		μs

注 1. スタート・コンディション, リスタート・コンディション時は, この期間のあと最初のクロック・パルスが生成されます。

2. t_{HD : DAT}の最大値 (MAX.) は, 通常転送時の数値であり, $\overline{\text{ACK}}$ (アクノリッジ) タイミングでは, ウェイトがかかります。

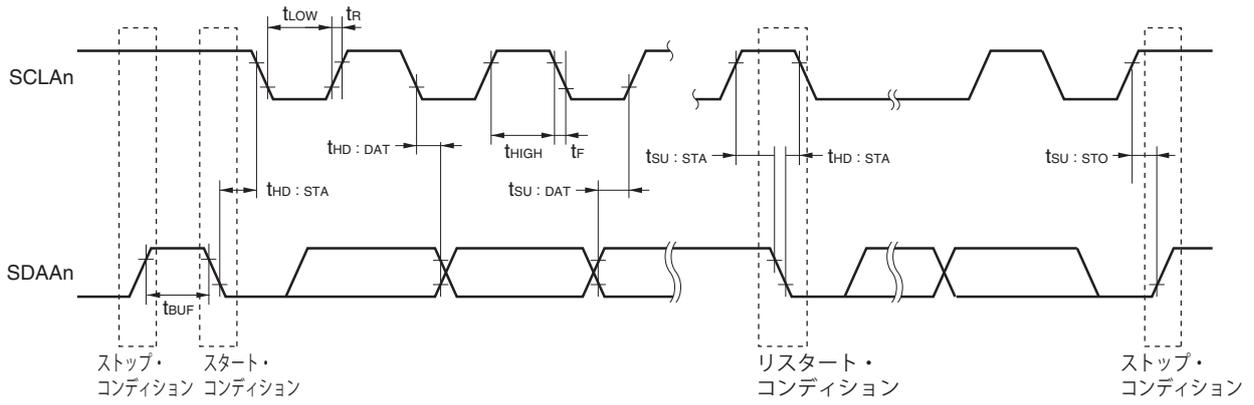
注意 周辺I/Oリダイレクション・レジスタ (PIOR) のビット2 (PIOR2) が1の場合も, 上記の値を適用できます。ただし, 端子特性 (IOH1, IOL1, VOH1, VOL1) はリダイレクト先の値を満たしてください。

備考 各モードにおけるC_b (通信ライン容量) のMAX.値と, そのときのR_b (通信ライン・プルアップ抵抗値) の値は, 次のとおりです。

標準モード : C_b = 400 pF, R_b = 2.7 k

ファースト・モード : C_b = 320 pF, R_b = 1.1 k

I²Cシリアル転送タイミング



備考 n = 0, 1

30.6 アナログ特性

30.6.1 A/Dコンバータ特性

A/Dコンバータ特性の区分

基準電圧 入力チャネル	基準電圧 (+) = AV _{REFP} 基準電圧 (-) = AV _{REFM}	基準電圧 (+) = V _{DD} 基準電圧 (-) = V _{SS}	基準電圧 (+) = V _{BGR} 基準電圧 (-) = AV _{REFM}
ANI0-ANI14	30.6.1 (1) 参照	30.6.1 (3) 参照	30.6.1 (3) 参照
ANI16-ANI26	30.6.1 (2) 参照		
内部基準電圧 温度センサ出力電圧	30.6.1 (1) 参照		

(1) 基準電圧 (+) = AV_{REFP}/ANI0 (ADREFP1 = 0, ADREFP0 = 1), 基準電圧 (-) = AV_{REFM}/ANI1 (ADREFM = 1) 選択時, 変換対象: ANI2-ANI14, 内部基準電圧, 温度センサ出力電圧

(T_A = -40 ~ +105 °C, V_{DD} = 2.4 V, AV_{REFP} = V_{DD} = 5.5 V, V_{SS} = 0 V, 基準電圧 (+) = AV_{REFP}, 基準電圧 (-) = AV_{REFM} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		8		10	bit
総合誤差 ^{注1}	AINL	10ビット分解能 AV _{REFP} = V _{DD} ^{注3}	2.4 V AV _{REFP} 5.5 V		1.2	±3.5 LSB
変換時間	t _{CONV}	10ビット分解能 変換対象: ANI2-ANI14	3.6 V V _{DD} 5.5 V	2.125		39 μs
			2.7 V V _{DD} 5.5 V	3.1875		39 μs
			2.4 V V _{DD} 5.5 V	17		39 μs
		10ビット分解能 変換対象: 内部基準電圧 温度センサ出力電圧 (HS(高速メイン)モード)	3.6 V V _{DD} 5.5 V	2.375		39 μs
			2.7 V V _{DD} 5.5 V	3.5625		39 μs
			2.4 V V _{DD} 5.5 V	17		39 μs
ゼロスケール誤差 ^{注1,2}	E _{ZS}	10ビット分解能 AV _{REFP} = V _{DD} ^{注3}	2.4 V AV _{REFP} 5.5 V			±0.25 %FSR
フルスケール誤差 ^{注1,2}	E _{FS}	10ビット分解能 AV _{REFP} = V _{DD} ^{注3}	2.4 V AV _{REFP} 5.5 V			±0.25 %FSR
積分直線性誤差 ^{注1}	ILE	10ビット分解能 AV _{REFP} = V _{DD} ^{注3}	2.4 V AV _{REFP} 5.5 V			±2.5 LSB
微分直線性誤差 ^{注1}	DLE	10ビット分解能 AV _{REFP} = V _{DD} ^{注3}	2.4 V AV _{REFP} 5.5 V			±1.5 LSB
アナログ入力電圧	V _{AIN}	ANI2-14	0		AV _{REFP}	V
		内部基準電圧 (2.4 V V _{DD} 5.5 V, HS(高速メイン)モード)			V _{BGR} ^{注4}	V
		温度センサ出力電圧 (2.4 V V _{DD} 5.5 V, HS(高速メイン)モード)			V _{TMP25} ^{注4}	V

注1. 量子化誤差 (±1/2 LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

3. AV_{REFP} < V_{DD} の場合, MAX. 値は次のようになります。

総合誤差 : AV_{REFP} = V_{DD} の MAX. 値に ±1.0 LSB を加算してください

ゼロスケール誤差 / フルスケール誤差 : AV_{REFP} = V_{DD} の MAX. 値に ±0.05 %FSR を加算してください

積分直線性誤差 / 微分直線性誤差 : AV_{REFP} = V_{DD} の MAX. 値に ±0.5 LSB を加算してください

4. 30.6.2 温度センサ / 内部基準電圧特性を参照してください。

(2) 基準電圧 (+) = $AV_{REFP}/ANI0$ ($ADREFP1 = 0, ADREFP0 = 1$), 基準電圧 (-) = $AV_{REFM}/ANI1$
($ADREFM = 1$) 選択時, 変換対象: ANI16-ANI26

($T_A = -40 \sim +105$, 2.4 V $EV_{DD0} = EV_{DD1}$ $V_{DD} = 5.5\text{ V}$, 2.4 V AV_{REFP} $V_{DD} = 5.5\text{ V}$, $V_{SS} = EV_{SS0} = EV_{SS1} = 0\text{ V}$, 基準電圧 (+) = AV_{REFP} , 基準電圧 (-) = $AV_{REFM} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
分解能	RES		8		10	bit	
総合誤差 ^{注1}	AINL	10ビット分解能 EV_{DD0} $AV_{REFP} = V_{DD}$ ^{注3, 4}	2.4 V AV_{REFP} 5.5 V		1.2	± 5.0 LSB	
変換時間	t_{CONV}	10ビット分解能 変換対象: ANI16-ANI26	3.6 V V_{DD} 5.5 V		2.125	39	μs
			2.7 V V_{DD} 5.5 V		3.1875	39	μs
			2.4 V V_{DD} 5.5 V		17	39	μs
ゼロスケール誤差 ^{注1, 2}	EZS	10ビット分解能 EV_{DD0} $AV_{REFP} = V_{DD}$ ^{注3, 4}	2.4 V AV_{REFP} 5.5 V			± 0.35 %FSR	
フルスケール誤差 ^{注1, 2}	EFS	10ビット分解能 EV_{DD0} $AV_{REFP} = V_{DD}$ ^{注3, 4}	2.4 V AV_{REFP} 5.5 V			± 0.35 %FSR	
積分直線性誤差 ^{注1}	ILE	10ビット分解能 EV_{DD0} $AV_{REFP} = V_{DD}$ ^{注3, 4}	2.4 V AV_{REFP} 5.5 V			± 3.5 LSB	
微分直線性誤差 ^{注1}	DLE	10ビット分解能 EV_{DD0} $AV_{REFP} = V_{DD}$ ^{注3, 4}	2.4 V AV_{REFP} 5.5 V			± 2.0 LSB	
アナログ入力電圧	V_{AIN}	ANI16-ANI26	0		AV_{REFP} かつ EV_{DD0}	V	

注1. 量子化誤差 ($\pm 1/2$ LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

3. EV_{DD0} $AV_{REFP} < V_{DD}$ の場合, MAX.値は次のようになります。

総合誤差 : $AV_{REFP} = V_{DD}$ のMAX.値に ± 1.0 LSBを加算してください

ゼロスケール誤差 / フルスケール誤差 : $AV_{REFP} = V_{DD}$ のMAX.値に ± 0.05 %FSRを加算してください

積分直線性誤差 / 微分直線性誤差 : $AV_{REFP} = V_{DD}$ のMAX.値に ± 0.5 LSBを加算してください

4. $AV_{REFP} < EV_{DD0}$ V_{DD} の場合, MAX.値は次のようになります。

総合誤差 : $AV_{REFP} = V_{DD}$ のMAX.値に ± 4.0 LSBを加算してください

ゼロスケール誤差 / フルスケール誤差 : $AV_{REFP} = V_{DD}$ のMAX.値に ± 0.20 %FSRを加算してください

積分直線性誤差 / 微分直線性誤差 : $AV_{REFP} = V_{DD}$ のMAX.値に ± 2.0 LSBを加算してください

(3) 基準電圧 (+) = V_{DD} (ADREFP1 = 0, ADREFP0 = 0), 基準電圧 (-) = V_{SS} (ADREFM = 0)
 選択時, 変換対象 : ANI0-ANI14, ANI16-ANI26, 内部基準電圧, 温度センサ出力電圧

($T_A = -40 \sim +105$, $2.4\text{ V} \leq V_{DD0} = EV_{DD1} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = EV_{SS0} = EV_{SS1} = 0\text{ V}$, 基準電圧 (+) = V_{DD} , 基準電圧 (-) = V_{SS})

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		8		10	bit
総合誤差 ^{注1}	AINL	10ビット分解能 2.4 V V_{DD} 5.5 V		1.2	± 7.0	LSB
変換時間	t_{CONV}	10ビット分解能 変換対象 : ANI0-ANI14, ANI16-ANI26	3.6 V V_{DD} 5.5 V	2.125	39	μs
			2.7 V V_{DD} 5.5 V	3.1875	39	μs
			2.4 V V_{DD} 5.5 V	17	39	μs
		10ビット分解能 変換対象 : 内部基準電圧、 温度センサ出力電圧 (HS (高速メイン) モード)	3.6 V V_{DD} 5.5 V	2.375	39	μs
			2.7 V V_{DD} 5.5 V	3.5625	39	μs
			2.4 V V_{DD} 5.5 V	17	39	μs
ゼロスケール誤差 ^{注1, 2}	EZS	10ビット分解能 2.4 V V_{DD} 5.5 V			± 0.60	%FSR
フルスケール誤差 ^{注1, 2}	EFS	10ビット分解能 2.4 V V_{DD} 5.5 V			± 0.60	%FSR
積分直線性誤差 ^{注1}	ILE	10ビット分解能 2.4 V V_{DD} 5.5 V			± 4.0	LSB
微分直線性誤差 ^{注1}	DLE	10ビット分解能 2.4 V V_{DD} 5.5 V			± 2.0	LSB
アナログ入力電圧	V_{AIN}	ANI0-ANI14		0	V_{DD}	V
		ANI16-ANI26		0	EV_{DD0}	V
		内部基準電圧 (2.4 V V_{DD} 5.5 V, HS (高速メイン) モード)		V_{BGR} ^{注3}		V
		温度センサ出力電圧 (2.4 V V_{DD} 5.5 V, HS (高速メイン) モード)		V_{TMS25} ^{注3}		V

注1. 量子化誤差 ($\pm 1/2$ LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

3. 30. 6. 2 温度センサ / 内部基準電圧特性を参照してください。

(4) 基準電圧 (+) = 内部基準電圧 (ADREFP1 = 1, ADREFP0 = 0), 基準電圧 (-) = $AV_{REFM}/ANI1$
(ADREFM = 1) 選択時, 変換対象: ANI0, ANI2-ANI14, ANI16-ANI26

($T_A = -40 \sim +105$, 2.4 V $EV_{DD0} = EV_{DD1}$ $V_{DD} = 5.5$ V, $V_{SS} = EV_{SS0} = EV_{SS1} = 0$ V, 基準電圧 (+) = $VBGR$ ^{注3}, 基準電圧 (-) = AV_{REFM} ^{注4} = 0 V, HS (高速メイン) モード)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		8			bit
変換時間	t_{CONV}	8ビット分解能 2.4 V $V_{DD} = 5.5$ V	17		39	μs
ゼロスケール誤差 ^{注1, 2}	E_{ZS}	8ビット分解能 2.4 V $V_{DD} = 5.5$ V			± 0.60	%FSR
積分直線性誤差 ^{注1}	ILE	8ビット分解能 2.4 V $V_{DD} = 5.5$ V			± 2.0	LSB
微分直線性誤差 ^{注1}	DLE	8ビット分解能 2.4 V $V_{DD} = 5.5$ V			± 1.0	LSB
アナログ入力電圧	V_{AIN}		0		$VBGR$ ^{注3}	V

注1. 量子化誤差 ($\pm 1/2$ LSB) を含みません。

- フルスケール値に対する比率 (%FSR) で表します。
30. 6. 2 温度センサ / 内部基準電圧特性を参照してください。
- 基準電圧 (-) = V_{SS} の場合, MAX. 値は次のようになります。

ゼロスケール誤差 : 基準電圧 (-) = AV_{REFM} 時の MAX. 値に ± 0.35 %FSR を加算してください

積分直線性誤差 : 基準電圧 (-) = AV_{REFM} 時の MAX. 値に ± 0.5 LSB を加算してください

微分直線性誤差 : 基準電圧 (-) = AV_{REFM} 時の MAX. 値に ± 0.2 LSB を加算してください

30.6.2 温度センサ / 内部基準電圧特性

($T_A = -40 \sim +105$, $V_{DD} = 2.4 \sim 5.5 \text{ V}$, $V_{SS} = 0 \text{ V}$, HS (高速メイン) モード)

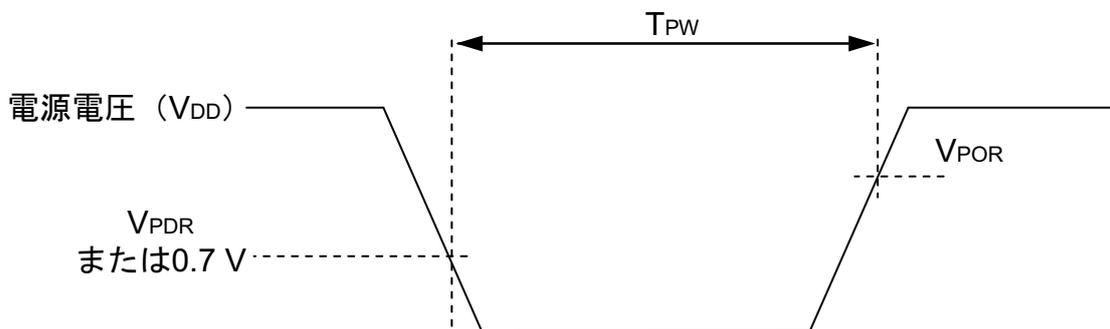
項目	略号	条件	MIN.	TYP.	MAX.	単位
温度センサ出力電圧	V_{TMS25}	ADSレジスタ = 80H設定, $T_A = +25$		1.05		V
内部基準電圧	V_{BGR}	ADSレジスタ = 81H設定	1.38	1.45	1.5	V
温度係数	F_{VTMS}	温度センサ電圧の温度依存		-3.6		mV/
動作安定待ち時間	t_{AMP}		5			μs

30.6.3 POR回路特性

($T_A = -40 \sim +105$, $V_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V_{POR}	電源立ち上がり時	1.45	1.51	1.57	V
	V_{PDR}	電源立ち下がり時	1.44	1.50	1.56	V
最小パルス幅	T_{PW}		300			μs

注 V_{DD} が V_{PDR} を下回った場合に、PORによるリセット動作に必要な時間です。またSTOPモードに移行時および、クロック動作ステータス制御レジスタ (CSC) のビット0 (HIOSTOP) とビット7 (MSTOP) の設定によりメイン・システム・クロック (f_{MAIN}) を停止時は、 V_{DD} が0.7 Vを下回ってから、 V_{POR} を上回るまでのPORによるリセット動作に必要な時間です。



30.6.4 LVD回路特性

リセット・モード, 割り込みモードのLVD検出電圧

(T_A = -40 ~ +105 , V_{PDR} V_{DD} 5.5 V , V_{SS} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
検出電圧	V _{LVD0}	電源立ち上がり時	3.90	4.06	4.22	V	
		電源立ち下がり時	3.83	3.98	4.13	V	
	V _{LVD1}	電源立ち上がり時	3.60	3.75	3.90	V	
		電源立ち下がり時	3.53	3.67	3.81	V	
	V _{LVD2}	電源立ち上がり時	3.01	3.13	3.25	V	
		電源立ち下がり時	2.94	3.06	3.18	V	
	V _{LVD3}	電源立ち上がり時	2.90	3.02	3.14	V	
		電源立ち下がり時	2.85	2.96	3.07	V	
	V _{LVD4}	電源立ち上がり時	2.81	2.92	3.03	V	
		電源立ち下がり時	2.75	2.86	2.97	V	
	V _{LVD5}	電源立ち上がり時	2.70	2.81	2.92	V	
		電源立ち下がり時	2.64	2.75	2.86	V	
	V _{LVD6}	電源立ち上がり時	2.61	2.71	2.81	V	
		電源立ち下がり時	2.55	2.65	2.75	V	
	V _{LVD7}	電源立ち上がり時	2.51	2.61	2.71	V	
		電源立ち下がり時	2.45	2.55	2.65	V	
	最小パルス幅	t _{LW}		300			μs
	検出遅延					300	μs

割り込み&リセット・モードのLVD検出電圧

(T_A = -40 ~ +105 , V_{PDR} V_{DD} 5.5 V , V_{SS} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
割り込み& リセット・モード	V _{LVD5}	V _{POC2} , V _{POC1} , V _{POC0} = 0, 1, 1, 立ち下がりリセット電圧	2.64	2.75	2.86	V	
	V _{LVD4}	LVIS1, LVIS0 = 1, 0	立ち上がりリセット解除電圧	2.81	2.92	3.03	V
			立ち下がり割り込み電圧	2.75	2.86	2.97	V
	V _{LVD3}	LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	2.90	3.02	3.14	V
			立ち下がり割り込み電圧	2.85	2.96	3.07	V
	V _{LVD0}	LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	3.90	4.06	4.22	V
立ち下がり割り込み電圧			3.83	3.98	4.13	V	

30.6.5 電源電圧立ち上がり傾き特性

(T_A = -40 ~ +105 , V_{SS} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧立ち上がり傾き	S _{VDD}				54	V/ms

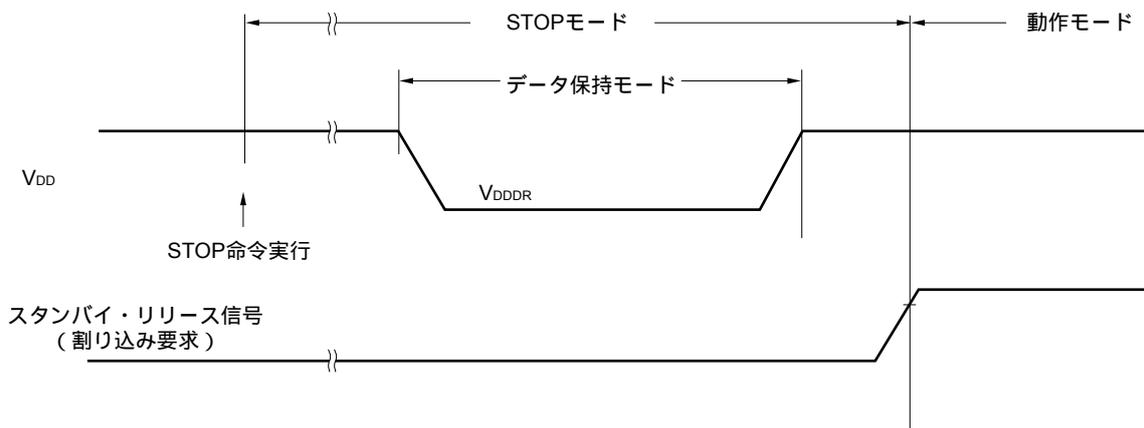
注意 V_{DD}が30.4 AC特性に示す動作電圧範囲内に達するまで, LVD回路か外部リセットで内部リセット状態を保ってください。

30.7 データ・メモリSTOPモード低電源電圧データ保持特性

(TA = -40 ~ +105 , VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	VDDDR		1.44 ^注		5.5	V

注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではデータを保持しますが、PORリセットがかかった場合のデータは保持されません。



30.8 フラッシュ・メモリ・プログラミング特性

(TA = -40 ~ +105 , 2.4 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
システム・クロック周波数	fCLK	2.4 V ≤ VDD ≤ 5.5 V	1		32	MHz
コード・フラッシュの書き換え回数 <small>注1,2,3</small>	C _{enwr}	保持年数：20年 TA = 85 ^{注3}	1,000			回
データ・フラッシュの書き換え回数 <small>注1,2,3</small>		保持年数：1年 TA = 25 ^{注3}		1,000,000		
		保持年数：5年 TA = 85 ^{注3}	100,000			
		保持年数：20年 TA = 85 ^{注3}	10,000			

注1. 消去1回+消去後の書き込み1回を書き換え回数1回とする。保持年数は、1度書き換えた後、次に書き換えを行うまでの期間とする。

2. フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリを使用時
3. この特性はフラッシュ・メモリの特性を示すものであり、当社の信頼性試験から得られた結果です。

30.9 専用フラッシュ・メモリ・プログラマ通信 (UART)

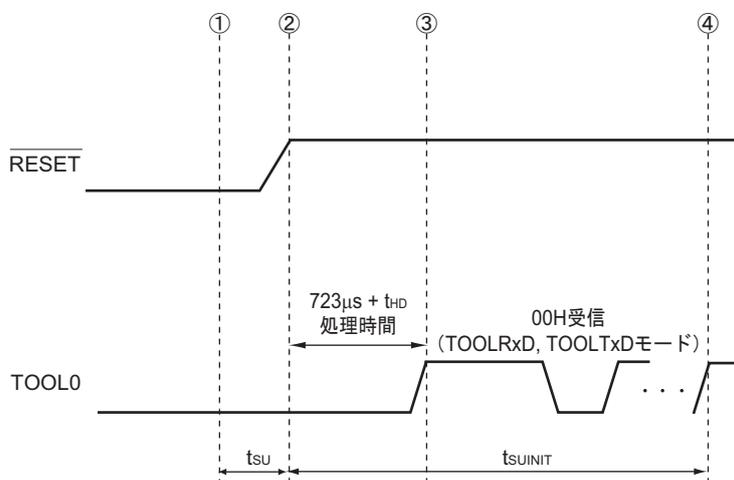
(TA = -40 ~ +105 , 2.4 V ≤ VDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート		フラッシュ・メモリ・プログラミング時	115,200		1,000,000	bps

30. 10 フラッシュ・メモリ・プログラミング・モード引き込みタイミング

(TA = -40 ~ +105 , 2.4 V EVDD0 = EVDD1 VDD 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
外部リセット解除から初期設定通信を完了する時間	t _{SUINIT}	外部リセット解除前にPOR, LVDリセットは解除			100	ms
TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間	t _{SU}	外部リセット解除前にPOR, LVDリセットは解除	10			μs
外部リセット解除から、TOOL0端子をロウ・レベルにホールドする時間 (フラッシュ・ファーム処理時間を除く)	t _{HD}	外部リセット解除前にPOR, LVDリセットは解除	1			ms



- TOOL0端子にロウ・レベルを入力
- 外部リセットを解除 (その前にPOR, LVDリセットが解除されていること)
- TOOL0端子のロウ・レベルを解除
- UART受信によるボー・レート設定完了

備考 t_{SUINIT} : この区間では、リセット解除から100 ms 以内に初期設定通信を完了してください。
 t_{SU} : TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間
 t_{HD} : 外部リセット解除から、TOOL0端子をロウ・レベルに保持する時間 (フラッシュ・ファーム処理時間を除く)