

RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシア
ルネサス エレクトロニクス株式会社問合せ窓口 <http://japan.renesas.com/contact/>E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-RL*-A0139A/J	Rev.	第1版
題名	誤記訂正通知 RL78/F23, F24 ユーザーズマニュアル Rev.1.00 の記載変更		情報分類	技術情報	
適用製品	RL78/F23, F24 グループ	対象ロット等 全ロット	関連資料	RL78/F23, F24 グループ ユーザーズマニュアル ハードウェア編 Rev.1.00 (R01UH0944JJ0100)	

RL78/F23, F24 ユーザーズマニュアル ハードウェア編 Rev.1.00 (R01UH0944JJ0100) において、下記訂正がございます。
本訂正内容については、RL78/F23, F24 ユーザーズマニュアル ハードウェア編 Rev.1.10 (R01UH0944JJ0110) で修正を行います。

今回通知する訂正内容

(1/3)

No	訂正内容	R01UH0944JJ0100 の該当ページ	本通知の 該当ページ
1	図 3-1, 図 3-2 メモリ・マップの注記修正	P.70, 71	P.4
2	表 4-5 P32 端子の入力／出力の備考記載の誤りを修正	P.140	P.6
3	図 4-96 PMS0 ビットの予約語定義の誤りを修正	P.263	P.7
4	表 4-26 POMm, PIMm および PITHLm レジスタの対応端子の誤記修正	P.267 – 274	P.8
5	「4.6.4 周辺 I/O リダイレクション・レジスタ設定時の注意事項」章追加	–	P.9
6	図 6-54 動作再開を示す矢印の開始位置の誤記修正	P.420	P.10
7	図 6-66 動作再開を示す矢印の開始位置の誤記修正	P.432	P.12
8	図 6-71 図内の「動作中：ソフトウェア操作」の不要な説明を削除	P.439	P.14
9	図 6-80 図内のレジスタ・シンボル名称の誤記修正	P.451	P.16
10	図 9-8 (2/2) RWAIT ビットの説明追加	P.671	P.17
11	図 9-23 図下部の「注意」の記載変更	P.684	P.18
12	図 9-24 図下部の「注意 1」の記載変更	P.685	P.19
13	図 12-14 ADSSTRn レジスタのリセット値の誤記修正	P.729	P.20
14	図 12-16 ADNDIS[4]に注 1 を、ADNDIS[3:0]に注 2 を付加し、注記を分けて記載	P.731	P.21
15	表 12-20 下部 本文の記載修正（参照先の章 No の誤記修正）	P.750	P.23
16	表 14-4 表題および表内の端子、端子機能名称の誤記修正	P.794	P.24
17	15.1.2 割り込み機能に「受信の転送完了割り込み」を追加	P.802	P.24
18	図 15-7 SCRmn レジスタのビット配置図のビット・シンボルの誤記修正	P.815 – 817	P.25
19	図 15-8 図下部の備考 1 のレジスタ・シンボルの誤記修正	P.818	P.25
20	図 15-9 図下部の注意 2 のレジスタ・シンボルの誤記修正	P.819	P.25
21	図 15-10 図下部の注意のビット・シンボルの誤記修正	P.820	P.26
22	図 15-15 SOm レジスタのビット配置図のビット・シンボルの誤記修正	P.826	P.26
23	15.3.19 本文の記載に「シリアル・データ入出力 (SDAmn)」の記載を追加。および SDAmn 機能使用時の設定例を追加	P.834	P.27
24	図 15-26 (d) のレジスタ・シンボル、ビット・シンボルの誤記修正	P.840	P.27
25	図 15-35 (e) SOm レジスタの設定を削除	P.854	P.28
26	図 15-75 SOmn 端子の出力を修正	P.901	P.29
27	図 15-80 SSIp 端子をスレーブ選択信号出力端子に変更	P.907	P.31
28	図 15-82 SSIp 端子をスレーブ選択信号出力端子に変更	P.909	P.32
29	図 15-85 (全体) 図を修正	P.914	P.33

(2/3)

No	訂正内容	R01UH0944JJ0100 の該当ページ	本通知の 該当ページ
30	図 15-88 スレーブ選択信号出力端子を追加	P.916	P.35
31	図 15-90 スレーブ選択信号出力端子を追加	P.918	P.36
32	図 15-96 スレーブ選択信号出力端子を追加	P.925	P.37
33	図 15-98 (全体) 図を修正	P.927	P.38
34	図 15-100 スレーブ送信の初期設定手順 (図 15-101) と合わせ、図内のレジスタ設定順を変更	P.931	P.39
35	図 15-102 図下部の備考 1 の説明を変更	P.932	P.41
36	図 15-104 SSIp 端子を追加、および SOp 端子の出力を修正	P.934	P.41
37	図 15-106 SSIp 端子を追加、および SOp 端子の出力を修正	P.936	P.42
38	図 15-108 スレーブ受信の初期設定手順 (図 15-109) と合わせ、図内のレジスタ設定順を変更	P.940	P.43
39	図 15-112 SSIp 端子を追加	P.943	P.44
40	図 15-114 スレーブ送受信の初期設定手順 (図 15-115) と合わせ、図内のレジスタ設定順を変更	P.947	P.45
41	図 15-118 SSIp 端子を追加、および SOp 端子の出力を修正	P.950	P.46
42	図 15-120 SSIp 端子を追加、および SOp 端子の出力を修正	P.952	P.47
43	15.7 割り込み機能に「受信完了割り込み」を追加	P.957	P.48
44	図 15-123 SCRmn レジスタの DLSmn[3:0]ビット設定時の誤記修正	P.960	P.48
45	図 15-131 SCRmn レジスタの DLSmn[3:0]ビット設定時の誤記修正	P.969	P.49
46	図 15-156 CKOmn ビット設定部にコメントを追加	P.1007	P.50
47	17.2.1 (16) LIN リセット・モード遷移に関する注記を追加	P.1122	P.51
48	17.2.2 (3) 表下部の注意の誤記修正	P.1136	P.51
49	17.2.2 (15) LIN リセット・モード遷移に関する注記を追加	P.1150	P.52
50	17.2.3 (3) 表下部の注意の誤記修正	P.1167	P.52
51	17.3.1 タイムアウト・エラー検出許可時に LIN リセット・モードに遷移する際の注意記載を追加	P.1198	P.53
52	18.3.5 DBRP[7:0]ビットの設定値の誤記修正	P.1289	P.53
53	表 19-1 転送モード／リピート・モード時の仕様説明に高速 DTC の記載を追加	P.1502	P.54
54	19.3.4 DTCCR23 レジスタの注記を追加	P.1532	P.54
55	19.4.2 汎用レジスタのアドレス誤記を修正	P.1534	P.54
56	図 21-9 ISC0, ISC2 および ISC3 ビットの予約語定義の誤りを修正	P.1575	P.55
57	21.4.5 割り込み要求保留命令が連続した場合の状態説明の例を追加	P.1586	P.55
58	表 24-4 注 2 のビット・シンボルの誤記修正	P.1621	P.55
59	図 24-6 注のビット・シンボルの誤記修正	P.1623	P.56
60	26.1 箇条書きの 4 つ目の説明文を修正	P.1630	P.56
61	図 27-37 (a) の処理フローを修正	P.1672	P.57
62	27.3.2.4 内部計算式の誤記修正	P.1677	P.58
63	27.3.2.5 内部計算式の誤記修正	P.1679	P.59
64	27.3.2.14 内部計算式の誤記修正	P.1696	P.60
65	図 28-3 判定部の誤記修正	P.1704	P.61
66	28.3.5 動作の説明：1 の表内のシンドローム・コードのレジスタ・シンボルの誤記修正	P.1729	P.63
67	図 28-24 AEDST, BEDST および OVFSST ビットの説明を修正	P.1731	P.64
68	図 28-30 FLWH, FLWL レジスタのアドレス記載の誤記修正	P.1737	P.65
69	図 28-43 端子名の誤記修正	P.1752	P.66
70	図 31-4 オンチップ・デバッグ動作の説明表に FLPEN ビットを追加。および図下部の注 1 のアドレス誤記を修正	P.1763	P.67
71	32.7 注意 3 の「(T.B.D.)」を削除	P.1781	P.68
72	図 32-8 フローの注釈部に「HALT モードの遷移禁止」の記載追加	P.1782	P.69
73	図 32-13 DCLR ビットの説明を修正	P.1788	P.70
74	32.7.2.12 FSSQ レジスタの DCLR ビットの条件記載の誤記修正	P.1795	P.70
75	32.7.6.2 フラッシュ領域選択レジスタのレジスタ・シンボルの誤記修正	P.1804	P.70
76	32.9.1 箇条書きのモード遷移の記載に「HALT モードへの遷移禁止」を追加	P.1821	P.71

(3/3)

No	訂正内容	R01UH0944JJ0100 の該当ページ	本通知の 該当ページ
77	36.3.1 ハイ・レベル入力電圧の略号「V _{IH4} 」に付加された注を削除	P.1864	P.71
78	36.10 表下部の注 4 の記載を 38.10 章の記載と合わせる	P.1905	P.71
79	36.10 (1) コード・フラッシュ・メモリ処理時間、(2) データ・フラッシュ・メモリ処理時間の記載追加	P.1905	P.72
80	37.3.1 ハイ・レベル入力電圧の略号「V _{IH4} 」に付加された注を削除	P.1917	P.71
81	37.10 表下部の注 4 の記載を 38.10 章の記載と合わせる	P.1958	P.71
82	37.10 (1) コード・フラッシュ・メモリ処理時間、(2) データ・フラッシュ・メモリ処理時間の記載追加	P.1958	P.72
83	38.3.1 ハイ・レベル入力電圧の略号「V _{IH4} 」に付加された注を削除	P.1969	P.71
84	38.10 (1) コード・フラッシュ・メモリ処理時間、(2) データ・フラッシュ・メモリ処理時間の記載追加	P.2010	P.72
85	39.1 32 ピン製品の端子断面図の値を修正	P.2012	P.73

誤記訂正の該当箇所は、誤) 太字下線、正) グレー・ハッチングで記載します。

No.1: 図 3-1, 図 3-2 メモリ・マップの注記修正

対象ページ：P.70, 71

誤) セキュリティ ID 領域 (000C6H – 000E5H) に付加した注記：注 3.7

図 3-1 メモリ・マップ (RL78/F24)

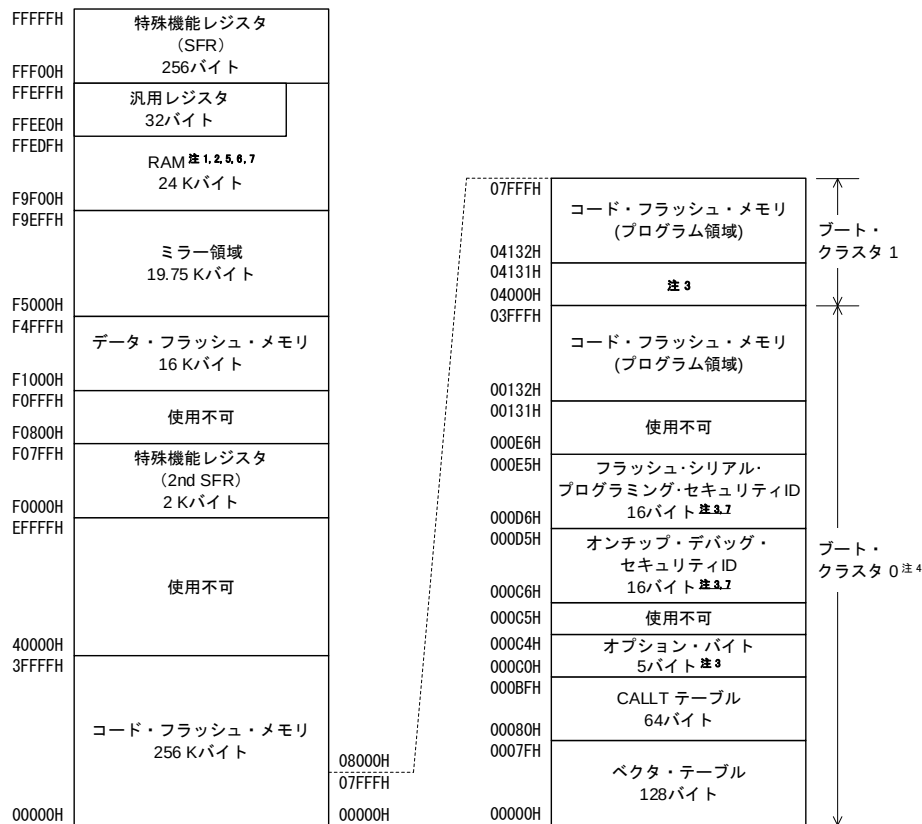
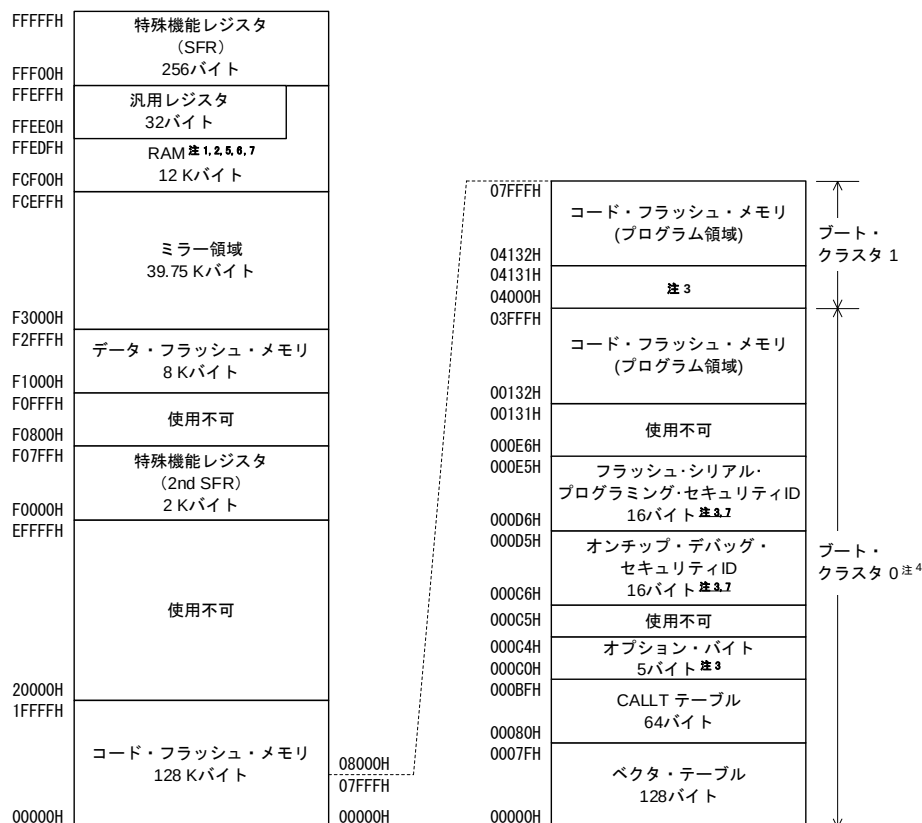


図 3-2 メモリ・マップ (RL78/F23)



正) セキュリティ ID 領域 (000C6H – 000E5H) に付加した注記：注 3, 8

図 3-1 メモリ・マップ (RL78/F24)

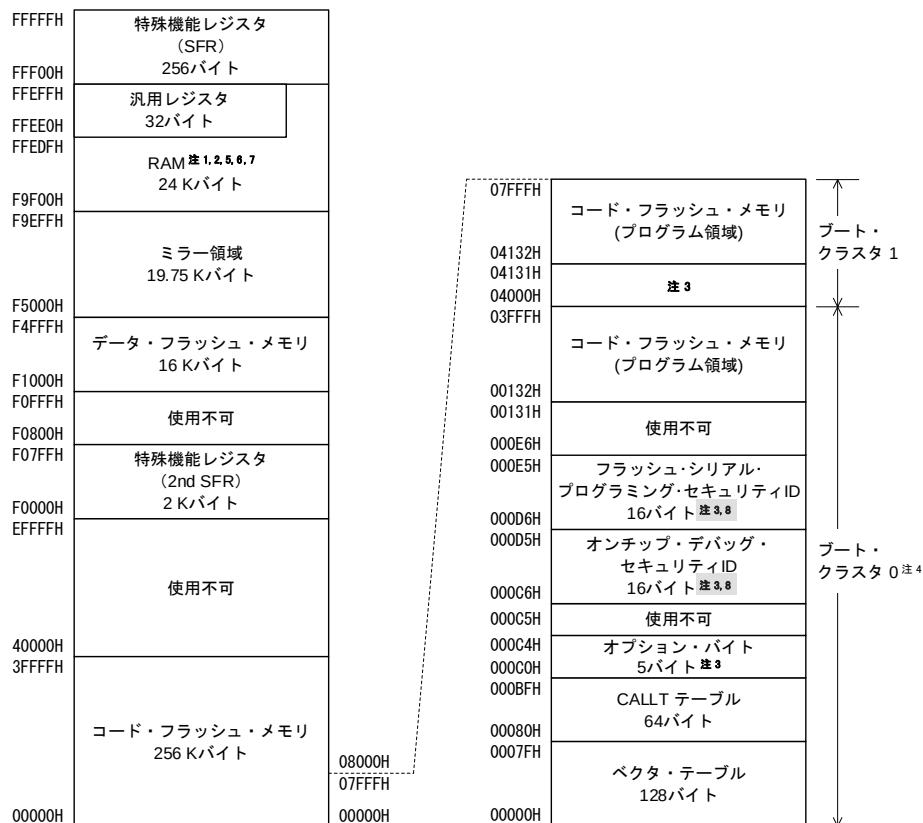
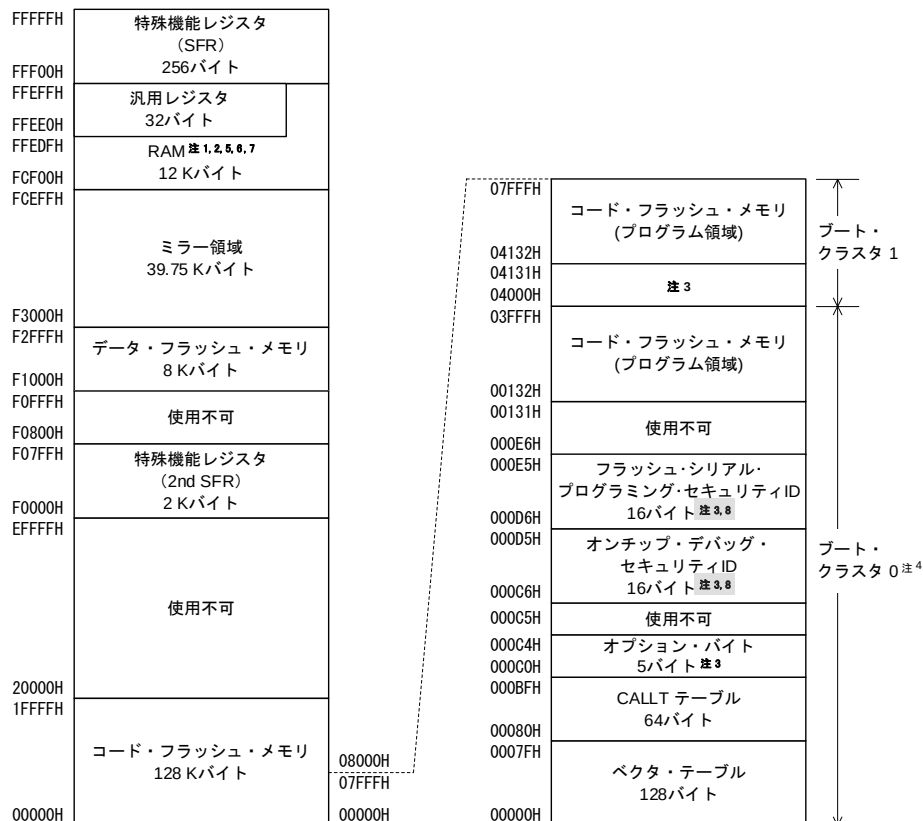


図 3-2 メモリ・マップ (RL78/F23)



No.2: 表 4-5 P32 端子の入力／出力の備考記載の誤りを修正

対象ページ：P.140

誤)

表 4-5 ポート 3 (P30-P32) 使用時のレジスタ設定 (1)

端子名称		PM3x	PIM3x	POM3x	PITHL3x	兼用機能設定	備考
名称	入出力						
P30	入力	1	0	–	0	×	CMOS入力 (Schmitt1入力)
				–	1		CMOS入力 (Schmitt3入力)
			1	–	×	×	TTL入力
	出力	0	×	–	×	TRDIOD1出力 = 0 注1 TO01出力 = 0 注2 SNZOUT0出力 = 0 注3	
P31	入力	1	–	–	–	×	
	出力	0	–	–	–	TO14出力 = 0 注2 STOPST出力 = 0 注4	
P32	入力	1	–	×	–	×	CMOS出力
	出力	0	–	0	–	TO16出力 = 0 注2 (SO11出力 = 1) 注5	N-ch O.D出力
				1			

正)

表 4-5 ポート 3 (P30-P32) 使用時のレジスタ設定 (1)

端子名称		PM3x	PIM3x	POM3x	PITHL3x	兼用機能設定	備考
名称	入出力						
P30	入力	1	0	–	0	×	CMOS入力 (Schmitt1入力)
				–	1		CMOS入力 (Schmitt3入力)
			1	–	×	×	TTL入力
	出力	0	×	–	×	TRDIOD1出力 = 0 注1 TO01出力 = 0 注2 SNZOUT0出力 = 0 注3	
P31	入力	1	–	–	–	×	
	出力	0	–	–	–	TO14出力 = 0 注2 STOPST出力 = 0 注4	
P32	入力	1	–	×	–	×	
	出力	0	–	0	–	TO16出力 = 0 注2 (SO11出力 = 1) 注5	CMOS出力
				1			N-ch O.D出力

No.3: 図 4-96 PMS0 ビットの予約語定義の誤りを修正

対象ページ：P.263

誤)

図 4-96 ポート・モード選択レジスタ (PMS)

アドレス：F0077H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PMS	0	0	0	0	0	0	0	PMS0

正)

図 4-96 ポート・モード選択レジスタ (PMS)

アドレス：F0077H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PMS	0	0	0	0	0	0	0	PMS0

No.4: 表 4-26 POMm, PIMm および PITHLm レジスタの対応端子の誤記修正

対象ページ：P.267 – P.274

誤)

表 4-26 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定

端子名称	兼用機能		PIORx	POMm	PMCm	PMm	Pm	PIMm	PITHLm
	名称	入出力							
P10	LTxD1	出力	PIOR45=0	<u>0</u>	—	0	1	×	×
P11	LRxD1	入力	PIOR45=0	×	—	1	×	<u>0</u>	0/1
	CRxD0	入力	PIOR46=0	×	—	1	×	0	<u>0/1</u>
P13	LTxD0	出力	PIOR44=0	<u>0</u>	—	0	1	×	×
P14	LRxD0	入力	PIOR44=0	×	—	1	×	<u>0</u>	0/1
P41	TI10	入力	PIOR20=0	—	—	1	×	—	<u>0</u>
	TRJIO0	入力	—	—	—	1	×	—	<u>0</u>
P52	(STOPST) 注	出力	—	—	—	0	0	—	<u>0/1</u>
P60	(SCK00)	出力	PIOR40=1	<u>0</u>	—	0	1	—	×
P62	(SO00)	出力	PIOR40=1	<u>0</u>	—	0	1	×	×
	(TXD0)	出力	PIOR40=1	<u>0</u>	—	0	1	×	×
P63	(SSI00)	入力	PIOR40=1	×	—	1	×	<u>0</u>	0/1
P73	(CRxD0)	入力	PIOR46=1	—	0	1	×	0	<u>0/1</u>
P120	(LTxD1)	出力	PIOR45=1, PIOR93=1	<u>0</u>	0	0	1	—	×
P125	(LRxD1)	入力	PIOR45=1, PIOR93=1	—	0	1	×	<u>0</u>	0/1

正)

表 4-26 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定

端子名称	兼用機能		PIORx	POMm	PMCm	PMm	Pm	PIMm	PITHLm
	名称	入出力							
P10	LTxD1	出力	PIOR45=0	<u>0/1</u>	—	0	1	×	×
P11	LRxD1	入力	PIOR45=0	×	—	1	×	<u>0/1</u>	0/1
	CRxD0	入力	PIOR46=0	×	—	1	×	0	<u>0</u>
P13	LTxD0	出力	PIOR44=0	<u>0/1</u>	—	0	1	×	×
P14	LRxD0	入力	PIOR44=0	×	—	1	×	<u>0/1</u>	0/1
P41	TI10	入力	PIOR20=0	—	—	1	×	—	<u>0/1</u>
	TRJIO0	入力	—	—	—	1	×	—	<u>0/1</u>
P52	(STOPST) 注	出力	—	—	—	0	0	—	×
P60	(SCK00)	出力	PIOR40=1	<u>0/1</u>	—	0	1	—	×
P62	(SO00)	出力	PIOR40=1	<u>0/1</u>	—	0	1	×	×
	(TXD0)	出力	PIOR40=1	<u>0/1</u>	—	0	1	×	×
P63	(SSI00)	入力	PIOR40=1	×	—	1	×	<u>0/1</u>	0/1
P73	(CRxD0)	入力	PIOR46=1	—	0	1	×	0	<u>0</u>
P120	(LTxD1)	出力	PIOR45=1, PIOR93=1	<u>0/1</u>	0	0	1	—	×
P125	(LRxD1)	入力	PIOR45=1, PIOR93=1	—	0	1	×	<u>0/1</u>	0/1

No.5: 「4.6.4 周辺 I/O リダイレクション・レジスタ設定時の注意事項」章追加

対象ページ：－（新規追加）

正)

4.6.4 周辺 I/O リダイレクション・レジスタ設定時の注意事項

いくつかの端子機能は、ポートに割り当てられる際、複数の周辺 I/O リダイレクション・レジスタ（PIORx）の設定が必要な場合があります。設定時は、その組み合わせに注意してください。

- TO01, TO02, TO03, TO07（タイマ・アレイ・ユニット 0 のタイマ出力端子）

PIOR90 ビットは、複数の端子機能（TO01, TO02, TO03, TO07）をまとめて選択することに注意してください。

端子機能	ポートの割り当て（PIORx レジスタの設定）		
TO01	P30 (PIOR11 = 0)	P126 (PIOR11 = 1, PIOR90 = 0)	P60 (PIOR11 = 1, PIOR90 = 1)
TO02	P16 (PIOR12 = 0)	P67 (PIOR12 = 1, PIOR90 = 0)	P61 (PIOR12 = 1, PIOR90 = 1)
TO03	P125 (PIOR13 = 0)	P127 (PIOR13 = 1, PIOR90 = 0)	P62 (PIOR13 = 1, PIOR90 = 1)
TO07	P120 (PIOR17 = 0)	P44 (PIOR17 = 1, PIOR90 = 0)	P63 (PIOR17 = 1, PIOR90 = 1)

以下については、同時に使用される端子機能にも注意してください。

- SCK10, SI10, SO11（シリアル・アレイ・ユニット 1 の CSI10, CSI11 入出力端子）

端子機能	ポートの割り当て（PIORx レジスタの設定）		
SCK10	P10 (PIOR42 = 0, PIOR91 = 0)	P76 (PIOR42 = 1)	P120 (PIOR42 = 0, PIOR91 = 1)
SI10	P11 (PIOR42 = 0, PIOR91 = 0)	P75 (PIOR42 = 1)	P41 (PIOR42 = 0, PIOR91 = 1)
SO10 注	P12 (PIOR42 = 0)	P74 (PIOR42 = 1)	
SSI10 注	P54 (PIOR42 = 0)	P77 (PIOR42 = 1)	
SCK11 注	P71 (PIOR43 = 0)		P153 (PIOR43 = 1)
SI11 注	P70 (PIOR43 = 0)		P152 (PIOR43 = 1)
SO11	P72 (PIOR43 = 0, PIOR92 = 0)	P32 (PIOR43 = 0, PIOR92 = 1)	P151 (PIOR43 = 1)
SSI11 注	P73 (PIOR43 = 0)		P150 (PIOR43 = 1)

- RXD1（シリアル・アレイ・ユニット 1 の UART1 入力端子）

端子機能	ポートの割り当て（PIORx レジスタの設定）		
RXD1	P11 (PIOR42 = 0, PIOR91 = 0)	P41 (PIOR42 = 0, PIOR91 = 1)	P75 (PIOR42 = 1)
TXD1 注	P12 (PIOR42 = 0)		P74 (PIOR42 = 1)

- LRXD1, LTXD1（RLIN3 チャンネル 1 の LIN/UART 入出力端子）

端子機能	ポートの割り当て（PIORx レジスタの設定）		
LRXD1	P11 (PIOR45 = 0)	P107 (PIOR45 = 1, PIOR93 = 0)	P125 (PIOR45 = 1, PIOR93 = 1)
LTXD1	P10 (PIOR45 = 0)	P106 (PIOR45 = 1, PIOR93 = 0)	P120 (PIOR45 = 1, PIOR93 = 1)

注 対象の端子と同時に使用される端子機能を示します。

No.6: 図 6-54 動作再開を示す矢印の開始位置の誤記修正

対象ページ：P.420

誤) 動作再開の矢印は、TAU 停止 → 動作開始

図 6-54 分周器機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期設定		パワーオフ状態 (クロック供給停止、各レジスタへの書き込み不可)
	周辺イネーブル・レジスタ0 (PER0) のTAUmENビットに1を設定する。→	パワーオン状態、各チャネルは動作停止状態 (クロック供給開始、各レジスタへの書き込み可能)
	タイマ・クロック選択レジスタm (TPSm) を設定する。 CKm0-CKm3のクロック周波数を確定する。	
チャネル 初期設定	ノイズフィル許可レジスタ1,2 (NFEN1, NFEN2) の対応ビットを0 (オフ) または1 (オン) に設定する。 タイマ・モード・レジスタmn (TMRmn) を設定する (チャネルの動作モード確定、検出エッジの選択)。 タイマ・データ・レジスタmn (TDRmn) にインターバル (周期) 値を設定する。	チャネルは動作停止状態 (クロック供給されており、多少の電力を消費する)
	タイマ出力モード・レジスタm (TOMm) のTOMmnビットに0 (マスタ・チャネル出力モード) を設定する。 TOLmnビットに0を設定する。 TOmnビットを設定し、TOmn出力の初期レベルを確定する。→	TOmn端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は、TOmn初期設定レベルが出力される。
	TOEmnビットに1を設定し、TOmnの動作を許可。→ ポート・レジスタとポート・モード・レジスタに0を設定する。→	チャネルは動作停止状態なので、TO00は変化しない TOmn端子はTOmn設定レベルを出力
動作再開	動作開始	TOEmnビットに1を設定する (動作再開時のみ)。 TSmnビットに1を設定する。→ TSmnビットはトリガ・ビットなので、自動的に0に戻る。
		TEmn = 1になり、カウント動作開始 カウント・クロック入力でタイマ・カウンタ・レジスタmn (TCRmn) はTDRmnレジスタの値をロードする。 TMRmn レジスタのMDmn0ビットが1の場合は、INTTMmnを発生し、TOmnもトグル動作する。
	動作中	TDRmnレジスタは、任意に設定値変更が可能 TCRmnレジスタは、常に読み出し可能 TSRmnレジスタは、使用しない TOm, TOEmレジスタは、設定値変更可能 TMRmnレジスタ、TOMmn, TOLmnビットの設定値は変更不可
		カウンタ (TCRmn) はダウン・カウント動作を行い、0000Hまでカウントしたら、再びTCRmnレジスタはTDRmnレジスタの値をロードし、カウント動作を継続する。TCRmn = 0000H検出でINTTMmnを発生し、TOmnはトグル動作する。 以降、この動作を繰り返す。
動作停止	動作停止	TTmnビットに1を設定する。→ TTmnビットはトリガ・ビットなので、自動的に0に戻る。
		TEmn = 0になり、カウント動作停止 TCRmnレジスタはカウント値を保持して停止 TOmn出力は初期化されず、状態保持
	TOEmnビットに0を設定し、TOmnビットに値を設定する。→	TOmn端子はTOmn設定レベルを出力
TAU 停止	TOmn端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOmnビットに0を設定する。→	TOmn端子出力レベルはポート機能により保持される。
	TOmn端子の出力レベルを保持不要の場合 設定不要 PER0レジスタのTAUmENビットに0を設定する。→	パワーオフ状態 全回路が初期化され、各チャネルのSFRも初期化される (TOmnビットが0になり、TOmn端子はポート機能となる)。

- 備考 1. m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0-7)
2. RL78/F23 製品では、ユニット 1 のチャネル 4-7 は非搭載です。

正) 動作再開の矢印は、動作停止 → 動作開始

図 6-54 分周器機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期設定		パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	周辺イネーブル・レジスタ0 (PER0) のTAUmENビットに1を設定する。→	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
	タイマ・クロック選択レジスタm (TPSm) を設定する。 CKm0-CKm3のクロック周波数を確定する。	
チャンネル 初期設定	ノイズフィル許可レジスタ1, 2 (NFEN1, NFEN2) の対応ビットを0 (オフ) または1 (オン) に設定する。 タイマ・モード・レジスタmn (TMRmn) を設定する (チャンネルの動作モード確定, 検出エッジの選択)。 タイマ・データ・レジスタmn (TDRmn) にインターバル (周期) 値を設定する。	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	タイマ出力モード・レジスタm (TOMm) のTOMmnビットに0 (マスタ・チャンネル出力モード) を設定する。 TOLmnビットに0を設定する。 TOmnビットを設定し, TOmn出力の初期レベルを確定する。→	TOmn端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TOmn初期設定レベルが出力される。
	TOEmnビットに1を設定し, TOmnの動作を許可。→ ポート・レジスタとポート・モード・レジスタに0を設定する。→	チャンネルは動作停止状態なので, TO00は変化しない TOmn端子はTOmn設定レベルを出力
動作再開	動作開始	TOEmnビットに1を設定する (動作再開時のみ)。 TSmnビットに1を設定する。→ TSmnビットはトリガ・ビットなので, 自動的に0に戻る。
		TEmn = 1になり, カウント動作開始 カウント・クロック入力タイマ・カウンタ・レジスタmn (TCRmn) はTDRmnレジスタの値をロードする。 TMRmnレジスタのMDmn0ビットが1の場合は, INTTMmnを発生し, TOmnもトグル動作する。
	動作中	カウンタ (TCRmn) はダウン・カウント動作を行い, 0000Hまでカウントしたら, 再びTCRmnレジスタはTDRmnレジスタの値をロードし, カウント動作を継続する。TCRmn = 0000H検出でINTTMmnを発生し, TOmnはトグル動作する。 以降, この動作を繰り返す。
	動作停止	TEmn = 0になり, カウント動作停止 TCRmnレジスタはカウント値を保持して停止 TOmn出力は初期化されず, 状態保持
TAU 停止	TOEmnビットに0を設定し, TOmnビットに値を設定する。→	TOmn端子はTOmn設定レベルを出力
	TOmn端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後, TOmnビットに0を設定する。→	TOmn端子出力レベルはポート機能により保持される。
	TOmn端子の出力レベルを保持不要の場合 設定不要 PER0レジスタのTAUmENビットに0を設定する。→	パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される (TOmnビットが0になり, TOmn端子はポート機能となる)。

備考 1. m : ユニット番号 (m = 0, 1) , n : チャンネル番号 (n = 0-7)

2. RL78/F23 製品では, ユニット 1 のチャンネル 4-7 は非搭載です。

No.7: 図 6-66 動作再開を示す矢印の開始位置の誤記修正

対象ページ：P.432

誤) 動作再開の矢印は、TAU 停止 → 動作開始

図 6-66 ディレイ・カウンタ機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期設定		パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	周辺イネーブル・レジスタ 0 (PER0) の TAUmEN ビットに 1 を設定する。 →	パワーオン状態, 各チャネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
	タイマ・クロック選択レジスタ m (TPSm) を設定する。 CKm0-CKm3 のクロック周波数を確定する。	
チャネル初期設定	ノイズフィル許可レジスタ 1, 2 (NFEN1, NFEN2) の対応ビットを 0 (オフ) または 1 (オン) に設定する。 タイマ・モード・レジスタ mn (TMRmn) を設定する (チャネル n の動作モード確定)。 タイマ・データ・レジスタ mn (TDRmn) に遅延時間を設定する。 TOEmn ビットに 0 を設定し, T0mn の動作を停止	チャネルは動作停止状態 (クロック供給されており, 多少の電力を消費する。)
動作開始	TSmn ビットに 1 を設定する。 → TSmn ビットはトリガ・ビットなので, 自動的に 0 に戻る。	TEmn = 1 になり, TImn 端子入力の有効エッジ検出待ち状態になる。
	TImn 端子入力の有効エッジ検出 →	タイマ・カウンタ・レジスタ mn (TCRmn) は TDRmn レジスタの値をロードする。
動作中	TDRmn レジスタは, 任意に設定値変更が可能 TCRmn レジスタは, 常に読み出し可能 TSRmn レジスタは, 使用しない	カウンタ (TCRmn) はダウン・カウント動作を行う。 TCRmn = 0000H までカウントしたら INTTMmn 出力を発生し, 次の TImn 端子入力まで TCRmn = 0000H でカウント動作を停止する。
動作停止	TTmn ビットに 1 を設定する。 → TTmn ビットはトリガ・ビットなので, 自動的に 0 に戻る。	TEmn = 0 になり, カウント動作停止 TCRmn レジスタはカウント値を保持して停止
TAU 停止	PER0 レジスタの TAUmEN ビットに 0 を設定する。 →	パワーオフ状態 全回路が初期化され, 各チャネルの SFR も初期化される。

動作再開

- 備考 1. m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0-7)
2. RL78/F23 製品では, ユニット 1 のチャネル 4-7 は非搭載です。

正) 動作再開の矢印は、動作停止 → 動作開始

図 6-66 ディレイ・カウンタ機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期設定		パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	周辺イネーブル・レジスタ 0 (PER0) の TAUmEN ビットに 1 を設定する。 →	パワーオン状態, 各チャネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
	タイマ・クロック選択レジスタ m (TPSm) を設定する。 CKm0-CKm3 のクロック周波数を確定する。	
チャネル初期設定	ノイズフィル許可レジスタ 1, 2 (NFEN1, NFEN2) の対応ビットを 0 (オフ) または 1 (オン) に設定する。 タイマ・モード・レジスタ mn (TMRmn) を設定する (チャネル n の動作モード確定)。 タイマ・データ・レジスタ mn (TDRmn) に遅延時間を設定する。 TOEmn ビットに 0 を設定し, TOmn の動作を停止	チャネルは動作停止状態 (クロック供給されており, 多少の電力を消費する。)
動作開始	TSmn ビットに 1 を設定する。 → TSmn ビットはトリガ・ビットなので, 自動的に 0 に戻る。	TEmn = 1 になり, TIImn 端子入力の有効エッジ検出待ち状態になる。
	TIImn 端子入力の有効エッジ検出 →	タイマ・カウンタ・レジスタ mn (TCRmn) は TDRmn レジスタの値をロードする。
動作中	TDRmn レジスタは, 任意に設定値変更が可能 TCRmn レジスタは, 常に読み出し可能 TSRmn レジスタは, 使用しない	カウンタ (TCRmn) はダウン・カウント動作を行う。 TCRmn = 0000H までカウントしたら INTTMmn 出力を発生し, 次の TIImn 端子入力まで TCRmn = 0000H でカウント動作を停止する。
動作停止	TTmn ビットに 1 を設定する。 → TTmn ビットはトリガ・ビットなので, 自動的に 0 に戻る。	TEmn = 0 になり, カウント動作停止 TCRmn レジスタはカウント値を保持して停止
TAU 停止	PER0 レジスタの TAUmEN ビットに 0 を設定する。 →	パワーオフ状態 全回路が初期化され, 各チャネルの SFR も初期化される。

- 備考 1. m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0-7)
2. RL78/F23 製品では, ユニット 1 のチャネル 4-7 は非搭載です。

No.8: 図 6-71 図内の「動作中：ソフトウェア操作」の不要な説明を削除

対象ページ：P.439

誤)

図 6-71 ワンショット・パルス出力機能時の操作手順 (2/2)

	ソフトウェア操作	ハードウェアの状態
動作再開	動作開始 TOEmp (スレーブ) ビットに 1 を設定する (動作再開時のみ)。 タイマ・チャンネル開始レジスタ m (TSm) の TSmn (マスタ), TSmp (スレーブ) ビットに同時に 1 を設定する。→ TSmn, TSmp ビットはトリガ・ビットなので、自動的に 0 に戻る。	TEmn = 1, TEm = 1 となり、マスタ・チャンネルは TImn 入力のエッジ検出待ち状態となる。 カウンタはまだ停止状態のまま。
	マスタ・チャンネルの TImn 端子入力の有効エッジ検出 →	マスタ・チャンネルがカウント動作開始
	動作中 TMRmn レジスタは、CISmn1, CISmn0 ビットのみ設定値変更可能 <u>ノイズ・フィルタ許可レジスタ 1, 2 (NFEN1, NFEN2) の対応するビットに 1 を設定する。</u> TMRmp, TDRmn, TDRmp レジスタ, TOMmn, TOMmp, TOLmn, TOLmp ビットの設定値は変更不可 TCRmn, TCRmp レジスタは、常に読み出し可能 TSRmn, TSRmp レジスタは、使用しない。 スレーブ・チャンネルの TOm, TOEm レジスタは、設定値変更可能	マスタ・チャンネルでは、TImn 端子入力の有効エッジが検出されたら、タイマ・カウンタ・レジスタ mn (TCRmn) は TDRmn レジスタの値をロードし、ダウン・カウント動作を行う。TCRmn = 0000H までカウントしたら INTTMmn 出力を発生し、次の TImn 端子入力までカウント動作を停止する。 スレーブ・チャンネルでは、マスタ・チャンネルの INTTMmn をトリガとして、TCRmp レジスタは TDRmp レジスタの値をロードし、カウンタはダウン・カウントを開始する。マスタ・チャンネルの INTTMmn 出力から 1 カウント・クロック経過後に TOmp 出力レベルをアクティブ・レベルとする。そして TCRmp = 0000H までカウントしたら TOmp 出力レベルをインアクティブ・レベルにして、カウント動作を停止する。 以降、この動作を繰り返す。
	動作停止 TTmn (マスタ), TTmp (スレーブ) ビットに同時に 1 を設定する。→ TTmn, TTmp ビットはトリガ・ビットなので、自動的に 0 に戻る。	TEmn, TEm = 0 になり、カウント動作停止 TCRmn, TCRmp レジスタは、カウント値を保持して停止 TOmp 出力は初期化されず、状態保持
TAU 停止	スレーブ・チャンネルの TOEmp ビットに 0 を設定し、TOmp ビットに値を設定する。→	TOmp 端子は TOmp 設定レベルを出力
	TOmp 端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOmp ビットに 0 を設定する。→ TOmp 端子の出力レベルを保持不要の場合 設定不要 PER0 レジスタの TAUMEN ビットに 0 を設定する。→	TOmp 端子出力レベルはポート機能により保持される。 パワーオフ状態 全回路が初期化され、各チャンネルの SFR も初期化される。 (TOmp ビットが 0 になり、TOmp 端子はポート機能となる。)

備考 1. m : ユニット番号 (m = 0, 1), n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)

p : スレーブ・チャンネル番号 (n < p ≤ 7)

2. RL78/F23 製品では、ユニット 1 のチャンネル 4-7 は非搭載です。

正) 「ノイズ・フィルタ許可レジスタ 1, 2 (NFEN1, NFEN2) の対応するビットに 1 を設定する。」の記載を削除。

図 6-71 ワンショット・パルス出力機能時の操作手順 (2/2)

	ソフトウェア操作	ハードウェアの状態
動作再開	動作開始 TOEmp (スレーブ) ビットに 1 を設定する (動作再開時のみ)。 タイマ・チャンネル開始レジスタ m (TSm) の TSmn (マスタ), TSmp (スレーブ) ビットに同時に 1 を設定する。→ TSmn, TSmp ビットはトリガ・ビットなので、自動的に 0 に戻る。	TEmn = 1, TEmn = 1 となり、マスタ・チャンネルは TImn 入力のエッジ検出待ち状態となる。 カウンタはまだ停止状態のまま。
	マスタ・チャンネルの TImn 端子入力の有効エッジ検出 →	マスタ・チャンネルがカウント動作開始
	動作中 TMRmn レジスタは、CISmn1, CISmn0 ビットのみ設定値変更可能 TMRmp, TDRmn, TDRmp レジスタ, TOMmn, TOMmp, TOLmn, TOLmp ビットの設定値は変更不可 TCRmn, TCRmp レジスタは、常に読み出し可能 TSRmn, TSRmp レジスタは、使用しない。 スレーブ・チャンネルの TOM, TOEm レジスタは、設定値変更可能	マスタ・チャンネルでは、TImn 端子入力の有効エッジが検出されたら、タイマ・カウンタ・レジスタ mn (TCRmn) は TDRmn レジスタの値をロードし、ダウン・カウント動作を行う。TCRmn = 0000H までカウントしたら INTTMmn 出力を発生し、次の TImn 端子入力までカウント動作を停止する。 スレーブ・チャンネルでは、マスタ・チャンネルの INTTMmn をトリガとして、TCRmp レジスタは TDRmp レジスタの値をロードし、カウンタはダウン・カウントを開始する。マスタ・チャンネルの INTTMmn 出力から 1 カウント・クロック経過後に TOmp 出力レベルをアクティブ・レベルとする。そして TCRmp = 0000H までカウントしたら TOmp 出力レベルをインアクティブ・レベルにして、カウント動作を停止する。 以降、この動作を繰り返す。
	動作停止 TTmn (マスタ), TTmp (スレーブ) ビットに同時に 1 を設定する。→ TTmn, TTmp ビットはトリガ・ビットなので、自動的に 0 に戻る。	TEmn, TEmn = 0 になり、カウント動作停止 TCRmn, TCRmp レジスタは、カウント値を保持して停止 TOmp 出力は初期化されず、状態保持
TAU 停止	スレーブ・チャンネルの TOEmp ビットに 0 を設定し、TOmp ビットに値を設定する。→	TOmp 端子は TOmp 設定レベルを出力
	TOmp 端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOmp ビットに 0 を設定する。→ TOmp 端子の出力レベルを保持不要の場合 設定不要 PER0 レジスタの TAUmEN ビットに 0 を設定する。→	TOmp 端子出力レベルはポート機能により保持される。 パワーオフ状態 全回路が初期化され、各チャンネルの SFR も初期化される。 (TOmp ビットが 0 になり、TOmp 端子はポート機能となる。)

備考 1. m : ユニット番号 (m = 0, 1), n : マスタ・チャンネル番号 (n = 0, 2, 4, 6)

p : スレーブ・チャンネル番号 (n < p ≤ 7)

2. RL78/F23 製品では、ユニット 1 のチャンネル 4-7 は非搭載です。

No.9: 図 6-80 図内のレジスタ・シンボル名称の誤記修正

対象ページ：P.451

誤)

図 6-80 多重 PWM 機能時 (スレーブ・チャネル) のレジスタ設定内容例 (2 種類の PWM を出力する場合)

(b) タイマ出力レジスタ m (TOm)

ビット q ビット p		
TOmq	TOmp	0 : TOmp, TOmq より 0 を出力する
1/0	1/0	1 : TOmp, TOmq より 1 を出力する

(c) タイマ出力許可レジスタ m (TOEm)

ビット q ビット p		
TOEmq	TOEmp	0 : カウント動作による TOmp, TOmq 出力動作停止
1/0	1/0	1 : カウント動作による TOmp, TOmq 出力動作許可

(d) タイマ出力レベル・レジスタ m (TOLm)

ビット q ビット p		
TOLmq	TOLmp	0 : 正論理出力 (アクティブ・ハイ)
1/0	1/0	1 : 負論理出力 (アクティブ・ロウ)

(e) タイマ出力モード・レジスタ m (TOMm)

ビット q ビット p		
TOMmq	TOMmp	1 : スレーブ・チャネル出力モードを設定
1	1	

正)

図 6-80 多重 PWM 機能時 (スレーブ・チャネル) のレジスタ設定内容例 (2 種類の PWM を出力する場合)

(b) タイマ出力レジスタ m (TOm)

ビット q ビット p		
TOmq	TOmp	0 : TOmp, TOmq より 0 を出力する
1/0	1/0	1 : TOmp, TOmq より 1 を出力する

(c) タイマ出力許可レジスタ m (TOEm)

ビット q ビット p		
TOEmq	TOEmp	0 : カウント動作による TOmp, TOmq 出力動作停止
1/0	1/0	1 : カウント動作による TOmp, TOmq 出力動作許可

(d) タイマ出力レベル・レジスタ m (TOLm)

ビット q ビット p		
TOLmq	TOLmp	0 : 正論理出力 (アクティブ・ハイ)
1/0	1/0	1 : 負論理出力 (アクティブ・ロウ)

(e) タイマ出力モード・レジスタ m (TOMm)

ビット q ビット p		
TOMmq	TOMmp	1 : スレーブ・チャネル出力モードを設定
1	1	

No.10: 図 9-8 (2/2) RWAIT ビットの説明追加

対象ページ：P.671

正) RWAIT ビットの説明に、アラーム割り込み使用時の説明を追加します。(TN-RL*-A0123A/J)

図 9-8 リアルタイム・クロック・コントロール・レジスタ 1 (RTCC1) のフォーマット (2/2)

RWAIT	リアルタイム・クロックのウェイト制御
0	カウンタ動作設定
1	SEC~YEARカウンタ停止設定。カウンタ値読み出し、書き込みモード。

カウンタの動作を制御します。

カウンタ値の読み出し、書き込みを行う際は必ず1を書き込んでください。

内部カウンタ（16ビット）は動作を継続するので、1秒以内に読み出しや書き込みを終了し、0に戻してください。

RWAIT = 1に設定後、カウンタ値の読み出し、書き込みが可能（RWST = 1）となるまで動作クロック（ f_{RTC} ）の最大1クロック時間がかかります。^{注1, 注2}

アラーム割り込みを使用するときに、カウンタの読み出し／書き込みを行う場合は、RTCC0レジスタのCT2-CT0ビットを010B（1秒毎に定周期割り込み発生）にして、RWAIT = 1からRWAIT = 0までの処理を次の定周期割り込みが発生するまでに行ってください。

内部カウンタ（16ビット）のオーバーフローがRWAIT = 1のときに起きた場合は、オーバーフローが起きたことを保持してRWAIT = 0になったあと、カウント・アップします。

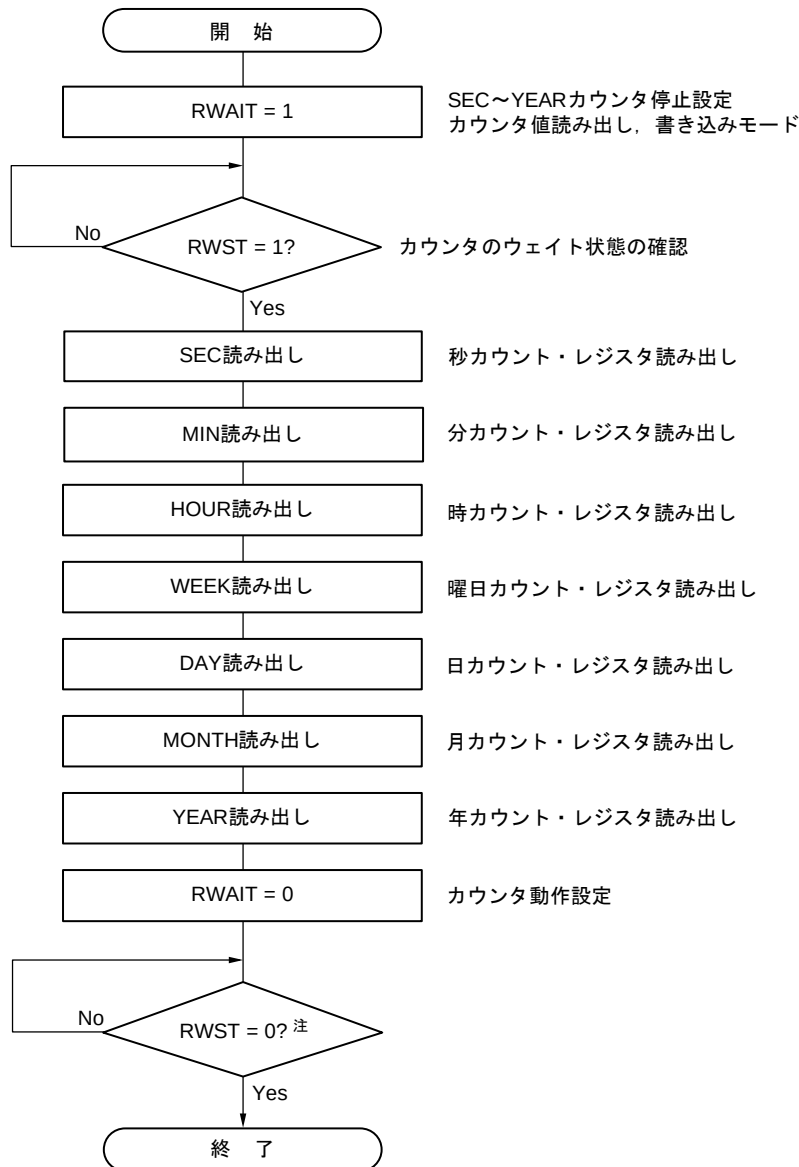
ただし、秒カウント・レジスタへの書き込みを行った場合は、オーバーフローが起きたことを保持しません。

No.11: 図 9-23 図下部の「注意」の記載変更

対象ページ：P.684

正) アラーム割り込み使用時の説明を追加します。(TN-RL*-A0123A/J)

図 9-23 リアルタイム・クロックの読み出し手順



注 HALT/STOP モードに移行する前には、必ず RWST = 0 であることを確認してください。

注意 RWAIT = 1 から RWAIT = 0 までの処理を 1 秒以内で行ってください。アラーム割り込みを使用するときに、カウンタ読み出しを行う場合は、RTCC0 レジスタの CT2-CT0 ビットを 010B (1 秒毎に定周期割り込み発生) にして、RWAIT = 1 から RWAIT = 0 までの処理を次の定周期割り込みが発生するまでに行ってください。

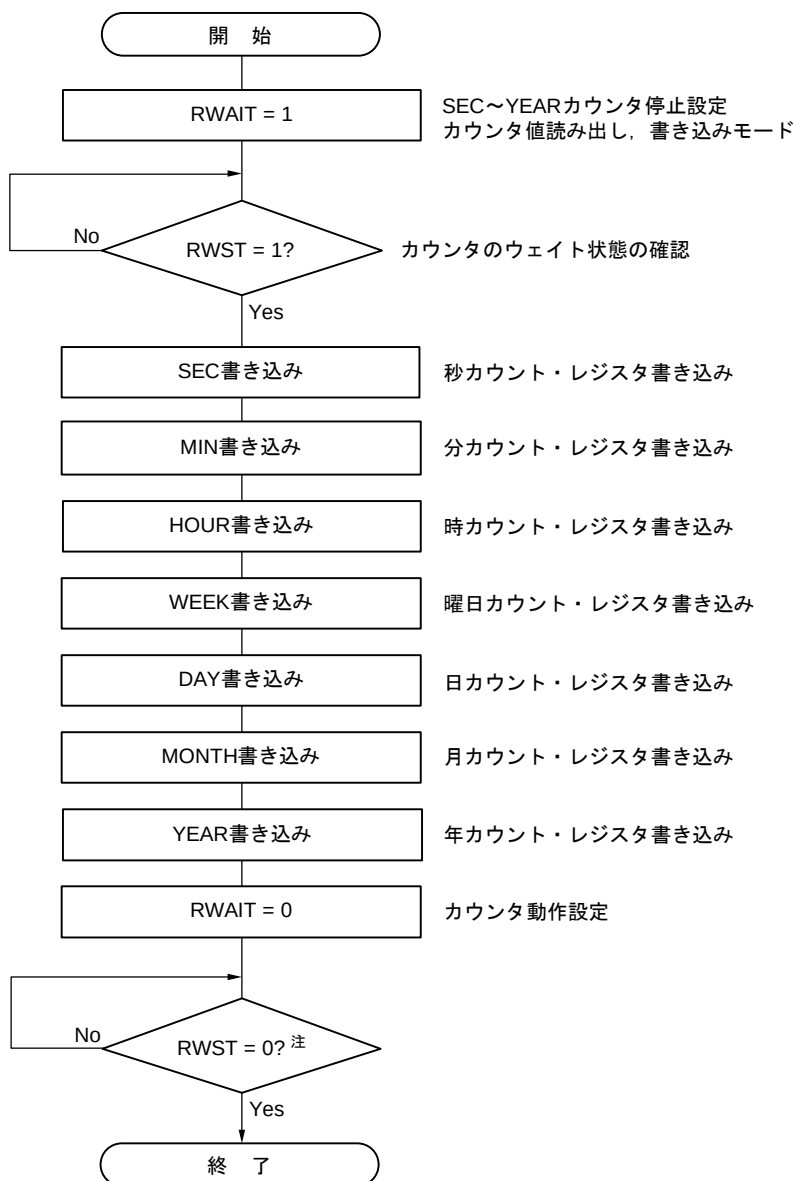
備考 秒カウント・レジスタ (SEC)、分カウント・レジスタ (MIN)、時カウント・レジスタ (HOUR)、曜日カウント・レジスタ (WEEK)、日カウント・レジスタ (DAY)、月カウント・レジスタ (MONTH)、年カウント・レジスタ (YEAR) の読み出しの順番に制限はありません。
また、すべてのレジスタを読み出す必要はなく、一部のレジスタのみを読み出しても構いません。

No.12: 図 9-24 図下部の「注意 1」の記載変更

対象ページ：P.685

正) アラーム割り込み使用時の説明を追加します。(TN-RL*-A0123A/J)

図 9-24 リアルタイム・クロックの書き込み手順



注 HALT/STOP モードに移行する前には、必ず RWST = 0 であることを確認してください。

- 注意 1. RWAIT = 1 から RWAIT = 0 とするまでを 1 秒以内で行ってください。アラーム割り込みを使用するときに、カウンタ書き込みを行う場合は、RTCC0 レジスタの CT2-CT0 ビットを 010B (1 秒毎に定周期割り込み発生) にして、RWAIT = 1 から RWAIT = 0 までの処理を次の定周期割り込みが発生するまでに行ってください。
2. カウンタ動作中 (RTCE = 1) に SEC, MIN, HOUR, WEEK, DAY, MONTH, YEAR レジスタを書き換える場合は、INTRTC を割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また、書き換え後に WAFG フラグ, RIFG フラグ, RTCIF フラグをクリアしてください。

備考 秒カウント・レジスタ (SEC), 分カウント・レジスタ (MIN), 時カウント・レジスタ (HOUR), 曜日カウント・レジスタ (WEEK), 日カウント・レジスタ (DAY), 月カウント・レジスタ (MONTH), 年カウント・レジスタ (YEAR) の書き込みの順番に制限はありません。
また、すべてのレジスタを設定する必要はなく、一部のレジスタのみを書き換えても構いません。

No.13: 図 12-14 ADSSTRn レジスタのリセット値の誤記修正

対象ページ：P.729

誤) リセット時の値：00H

図 12-14 A/D サンプリング・ステート・レジスタ n (ADSSTRn) (n = 0-15, L, O) のフォーマット

アドレス：ADSSTR0: F06BDH, ADSSTR1: F06BFH, ADSSTR2: F06B0H, ADSSTR3: F06B1H, ADSSTR4: F06B2H, ADSSTR5: F06B3H, ADSSTR6: F06B4H, ADSSTR7: F06B5H, ADSSTR8: F06B6H, ADSSTR9: F06B7H, ADSSTR10: F06B8H, ADSSTR11: F06B9H, ADSSTR12: F06BAH, ADSSTR13: F06BAH, ADSSTR14: F06BBH, ADSSTR15: F06BCH, ADSSTR16: F06BDH, ADSSTR17: F06BEH, ADSSTR18: F06BFH

(ADSSTR0: ADWINR = 0DH, ADSSTR1: ADWINR = 0DH, ADSSTR2-ADSSTR18: ADWINR = 0EH)

リセット時：00H R/W

略号 7 6 5 4 3 2 1 0

ADSSTRn

正) リセット時の値：0DH

図 12-14 A/D サンプリング・ステート・レジスタ n (ADSSTRn) (n = 0-15, L, O) のフォーマット

アドレス：ADSSTR0: F06BDH, ADSSTR1: F06BFH, ADSSTR2: F06B0H, ADSSTR3: F06B1H, ADSSTR4: F06B2H, ADSSTR5: F06B3H, ADSSTR6: F06B4H, ADSSTR7: F06B5H, ADSSTR8: F06B6H, ADSSTR9: F06B7H, ADSSTR10: F06B8H, ADSSTR11: F06B9H, ADSSTR12: F06BAH, ADSSTR13: F06BAH, ADSSTR14: F06BBH, ADSSTR15: F06BCH, ADSSTR16: F06BDH, ADSSTR17: F06BEH, ADSSTR18: F06BFH

(ADSSTR0: ADWINR = 0DH, ADSSTR1: ADWINR = 0DH, ADSSTR2-ADSSTR18: ADWINR = 0EH)

リセット時：0DH R/W

略号 7 6 5 4 3 2 1 0

ADSSTRn

No.14: 図 12-16 ADNDIS[4]に注 1 を、ADNDIS[3:0]に注 2 を付加し、注記を分けて記載

対象ページ：P.731

誤)

図 12-16 A/D 断線検出コントロール・レジスタ (ADDISCR) のフォーマット

ADNDIS[4]	ディスチャージ／プリチャージ選択
0	ディスチャージ
1	プリチャージ

A/D 断線検出アシスト機能のプリチャージ／ディスチャージの選択を設定します。
ADNDIS[4] ビットの設定は、ADCSR レジスタの ADST ビットが“0”のときに行ってください。

ADNDIS[3:0]	ディスチャージ／プリチャージ期間設定
0H	A/D 断線検出アシスト機能を使用しない
1H	設定禁止
2H	2 サイクル (2/ADCLK)
3H	3 サイクル (3/ADCLK)
4H	4 サイクル (4/ADCLK)
5H	5 サイクル (5/ADCLK)
6H	6 サイクル (6/ADCLK)
7H	7 サイクル (7/ADCLK)
8H	8 サイクル (8/ADCLK)
9H	9 サイクル (9/ADCLK)
AH	10 サイクル (10/ADCLK)
BH	11 サイクル (11/ADCLK)
CH	12 サイクル (12/ADCLK)
DH	13 サイクル (13/ADCLK)
EH	14 サイクル (14/ADCLK)
FH	15 サイクル (15/ADCLK)

ADNDIS[3:0] ビットで、プリチャージ／ディスチャージ期間を設定します。
自己診断動作時は断線検出アシスト機能は使用できません。ADNDIS[3:0] ビット = 0000B に設定してください。
ADNDIS[3:0] ビット = 0000B の場合は、断線検出アシスト機能は無効です。
ADNDIS[3:0] ビットが 0000B および 0001B 以外の値に設定され、断線検出アシスト機能が有効になっている場合、アナログ入力に使用されるチャネル専用サンプル&ホールド回路の断線検出アシスト機能も有効になります。
ADNDIS[3:0] ビットの設定は、ADCSR レジスタの ADST ビットが“0”のときに行ってください。

注 内部基準電圧の A/D 変換時には自動的にディスチャージが実行されます。ADEXICR レジスタの OCSA ビットを“1”にすると、ADNDIS[4:0] ビットが自動的に 0FH (15 サイクル) に設定されます。ディスチャージ後サンプリングが開始します。

正)

図 12-16 A/D 断線検出コントロール・レジスタ (ADDISCR) のフォーマット

ADNDIS[4]	ディスチャージ／プリチャージ選択 注1
0	ディスチャージ
1	プリチャージ

A/D 断線検出アシスト機能のプリチャージ／ディスチャージの選択を設定します。
ADNDIS[4] ビットの設定は、ADCSR レジスタの ADST ビットが“0”のときに行ってください。

ADNDIS[3:0]	ディスチャージ／プリチャージ期間設定 注2
0000B	A/D 断線検出アシスト機能を使用しない
0001B	設定禁止
0010B	2 サイクル (2/ADCLK)
0011B	3 サイクル (3/ADCLK)
0100B	4 サイクル (4/ADCLK)
0101B	5 サイクル (5/ADCLK)
0110B	6 サイクル (6/ADCLK)
0111B	7 サイクル (7/ADCLK)
1000B	8 サイクル (8/ADCLK)
1001B	9 サイクル (9/ADCLK)
1010B	10 サイクル (10/ADCLK)
1011B	11 サイクル (11/ADCLK)
1100B	12 サイクル (12/ADCLK)
1101B	13 サイクル (13/ADCLK)
1110B	14 サイクル (14/ADCLK)
1111B	15 サイクル (15/ADCLK)

ADNDIS[3:0] ビットで、プリチャージ／ディスチャージ期間を設定します。
自己診断動作時に断線検出アシスト機能は使用できません。ADNDIS[3:0] ビット= 0000B に設定してください。
ADNDIS[3:0] ビットが 0000B および 0001B 以外の値に設定され、断線検出アシスト機能が有効になっている場合、チャンネル専用サンプル&ホールド回路の断線検出アシスト機能も有効になります。
ADNDIS[3:0] ビットの設定は、ADCSR レジスタの ADST ビットが“0”のときに行ってください。

注 1. 内部基準電圧の A/D 変換時には、自動的にディスチャージが実行されます。

2. ADEXICR レジスタの OCSA ビットを“1”にすると、ADNDIS[4:0] ビットが自動的に 0FH (15 サイクル) に設定されます。ディスチャージ後サンプリングが開始します。

No.15: 表 12-20 下部 本文の記載修正（参照先の章 No の誤記修正）

対象ページ：P.750

誤)

動作例 1～3（~~12.1.1.1.1~~～~~12.1.1.1.3~~）は、グループ A にチャンネル 0 が選択され、グループ B にチャンネル 1～3 が選択された場合のグループ・スキャン・モード（ADGSPCR.GBRSCN = 1, ADGSPCR.LGRRS = 0, ADGSPCR.GBRP = 0）におけるグループ優先動作を示します。

動作例 4（~~12.1.1.1.4~~）は、グループ A にチャンネル 0 が選択され、グループ B にチャンネル 1～3 が選択された場合のグループ・スキャン・モード（ADGSPCR.GBRSCN = 0, ADGSPCR.LGRRS = 0, ADGSPCR.GBRP = 0）におけるグループ優先動作を示します。

動作例 5（~~12.1.1.1.5~~）は、グループ A にチャンネル 0 が選択され、グループ B にチャンネル 1～2 が選択された場合のグループ・スキャン・モード（ADGSPCR.LGRRS = 0, ADGSPCR.GBRP = 0）におけるグループ優先動作を示します。

正)

動作例 1～3（12.3.4.2.1～12.3.4.2.3）は、グループ A にチャンネル 0 が選択され、グループ B にチャンネル 1～3 が選択された場合のグループ・スキャン・モード（ADGSPCR.GBRSCN = 1, ADGSPCR.LGRRS = 0, ADGSPCR.GBRP = 0）におけるグループ優先動作を示します。

動作例 4（12.3.4.2.4）は、グループ A にチャンネル 0 が選択され、グループ B にチャンネル 1～3 が選択された場合のグループ・スキャン・モード（ADGSPCR.GBRSCN = 0, ADGSPCR.LGRRS = 0, ADGSPCR.GBRP = 0）におけるグループ優先動作を示します。

動作例 5（12.3.4.2.5）は、グループ A にチャンネル 0 が選択され、グループ B にチャンネル 1～2 が選択された場合のグループ・スキャン・モード（ADGSPCR.LGRRS = 0, ADGSPCR.GBRP = 0）におけるグループ優先動作を示します。

No.16: 表 14-4 表題および表内の端子、端子機能名称の誤記修正

対象ページ：P.794

誤)

表 14-4 P81/ANI3/IVCMP00-P85/ANI7/IVREF0 端子機能の設定

PMC8レジスタ	PM8レジスタ	ADANSA0, ADANSB0 レジスタ	P82/ANI2/IVCMP00 - P85/ANI5/IVCMP03/IVREF0端子
デジタル入出力選択	入力モード	—	デジタル入力
	出力モード	—	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力（変換対象）
		ANI非選択	アナログ入力（非変換対象）
	出力モード	ANI選択	設定禁止
		ANI非選択	

正)

表 14-4 P82/ANI2/IVCMP00-P85/ANI5/IVREF0 端子機能の設定

PMC8レジスタ	PM8レジスタ	ADANSA0, ADANSB0 レジスタ	P82/ANI2/IVCMP00 - P85/ANI5/IVCMP03/IVREF0端子
デジタル入出力選択	入力モード	—	デジタル入力
	出力モード	—	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力（変換対象）
		ANI非選択	アナログ入力（非変換対象）
	出力モード	ANI選択	設定禁止
		ANI非選択	

No.17: 15.1.2 割り込み機能に「受信の転送完了割り込み」を追加

対象ページ：P.802

誤)

15.1.2 UART（UART0, UART1）

[割り込み機能]

- 転送完了割り込み／バッファ空き割り込み

~~~~~

正)

15.1.2    UART（UART0, UART1）

[割り込み機能]

- 転送完了割り込み／バッファ空き割り込み
- 受信の転送完了割り込み



**No.18: 図 15-7 SCRmn レジスタのビット配置図のビット・シンボルの誤記修正**

対象ページ：P.815 – P.817

誤) ビット 4 のビット・シンボル：SLCmn01

図 15-7 シリアル通信動作設定レジスタ mn (SCRmn) のフォーマット

アドレス：F010CH, F010DH (SCR00) , F010EH, F010FH (SCR01) リセット時：0087H R/W  
F014CH, F014DH (SCR10) , F014EH, F014FH (SCR11)

| 略号    | 15        | 14        | 13        | 12        | 11 | 10 | 9          | 8          | 7         | 6 | 5          | 4                                 | 3          | 2          | 1          | 0          |
|-------|-----------|-----------|-----------|-----------|----|----|------------|------------|-----------|---|------------|-----------------------------------|------------|------------|------------|------------|
| SCRmn | TXE<br>mn | RXE<br>mn | DAP<br>mn | CKP<br>mn | 0  | 0  | PTC<br>mn1 | PTC<br>mn0 | DIR<br>mn | 0 | SLC<br>mn1 | <del>SLC</del><br><del>mn01</del> | DLS<br>mn3 | DLS<br>mn2 | DLS<br>mn1 | DLS<br>mn0 |

正) ビット 4 のビット・シンボル：SCLmn0

図 15-7 シリアル通信動作設定レジスタ mn (SCRmn) のフォーマット

アドレス：F010CH, F010DH (SCR00) , F010EH, F010FH (SCR01) リセット時：0087H R/W  
F014CH, F014DH (SCR10) , F014EH, F014FH (SCR11)

| 略号    | 15        | 14        | 13        | 12        | 11 | 10 | 9          | 8          | 7         | 6 | 5          | 4          | 3          | 2          | 1          | 0          |
|-------|-----------|-----------|-----------|-----------|----|----|------------|------------|-----------|---|------------|------------|------------|------------|------------|------------|
| SCRmn | TXE<br>mn | RXE<br>mn | DAP<br>mn | CKP<br>mn | 0  | 0  | PTC<br>mn1 | PTC<br>mn0 | DIR<br>mn | 0 | SLC<br>mn1 | SCL<br>mn0 | DLS<br>mn3 | DLS<br>mn2 | DLS<br>mn1 | DLS<br>mn0 |

**No.19: 図 15-8 図下部の備考 1 のレジスタ・シンボルの誤記修正**

対象ページ：P.818

誤)

備考 1. 動作中 (SEmn = 1) の ~~SDTmn~~ レジスタ機能については「15.2 シリアル・アレイ・ユニットの構成」を参照してください。

正)

備考 1. 動作中 (SEmn = 1) の SDRmn レジスタ機能については「15.2 シリアル・アレイ・ユニットの構成」を参照してください。

**No.20: 図 15-9 図下部の注意 2 のレジスタ・シンボルの誤記修正**

対象ページ：P.819

誤)

注意 2. ~~SSRn~~ レジスタにセットされているエラー・フラグのみ、SIRmn レジスタでクリアします。セットされていないエラー・フラグに対してクリア操作を行うと、エラー・フラグ読み出しからクリア操作までの間に新たなエラーが検出された場合、そのエラー・フラグを消してしまう可能性があります。

正)

注意 2. SSRmn レジスタにセットされているエラー・フラグのみ、SIRmn レジスタでクリアします。セットされていないエラー・フラグに対してクリア操作を行うと、エラー・フラグ読み出しからクリア操作までの間に新たなエラーが検出された場合、そのエラー・フラグを消してしまう可能性があります。

# No.21: 図 15-10 図下部の注意のビット・シンボルの誤記修正

対象ページ：P.820

誤)

図 15-10 シリアル・ステータス・レジスタ mn (SSRmn) のフォーマット (1/2)

アドレス：F0100H, F0101H (SSR00), F0102H, F0103H (SSR01) リセット時：0000H R  
F0140H, F0141H (SSR10), F0142H, F0143H (SSR11)

| 略号    | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6         | 5         | 4 | 3 | 2         | 1         | 0         |
|-------|----|----|----|----|----|----|---|---|---|-----------|-----------|---|---|-----------|-----------|-----------|
| SSRmn | 0  | 0  | 0  | 0  | 0  | 0  | 0 | 0 | 0 | TSF<br>mn | BFF<br>mn | 0 | 0 | FEF<br>mn | PEF<br>mn | OVF<br>mn |

**注意** BFFmn = 1 のときに SDRmn レジスタにデータが書き込まれると、レジスタに格納された送信／受信データが破壊され、オーバーラン・エラー (QVEmn = 1) が検出されます。

正)

図 15-10 シリアル・ステータス・レジスタ mn (SSRmn) のフォーマット (1/2)

アドレス：F0100H, F0101H (SSR00), F0102H, F0103H (SSR01) リセット時：0000H R  
F0140H, F0141H (SSR10), F0142H, F0143H (SSR11)

| 略号    | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6         | 5         | 4 | 3 | 2         | 1         | 0         |
|-------|----|----|----|----|----|----|---|---|---|-----------|-----------|---|---|-----------|-----------|-----------|
| SSRmn | 0  | 0  | 0  | 0  | 0  | 0  | 0 | 0 | 0 | TSF<br>mn | BFF<br>mn | 0 | 0 | FEF<br>mn | PEF<br>mn | OVF<br>mn |

**注意** BFFmn = 1 のときに SDRmn レジスタにデータが書き込まれると、レジスタに格納された送信／受信データが破壊され、オーバーラン・エラー (OVFmn = 1) が検出されます。

# No.22: 図 15-15 SOm レジスタのビット配置図のビット・シンボルの誤記修正

対象ページ：P.826

誤)

図 15-15 シリアル出力レジスタ m (SOm) のフォーマット

アドレス：F0118H, F0119H リセット時：0303H R/W

| 略号  | 15 | 14 | 13 | 12 | 11 | 10 | 9         | 8         | 7 | 6 | 5 | 4 | 3 | 2 | 1    | 0    |
|-----|----|----|----|----|----|----|-----------|-----------|---|---|---|---|---|---|------|------|
| SO0 | 0  | 0  | 0  | 0  | 0  | 0  | CKO<br>01 | CKO<br>00 | 0 | 0 | 0 | 0 | 0 | 0 | SO01 | SO00 |

アドレス：F0158H, F0159H リセット時：0303H R/W

| 略号  | 15 | 14 | 13 | 12 | 11 | 10 | 9         | 8         | 7 | 6 | 5 | 4 | 3 | 2 | 1         | 0         |
|-----|----|----|----|----|----|----|-----------|-----------|---|---|---|---|---|---|-----------|-----------|
| SO1 | 0  | 0  | 0  | 0  | 0  | 0  | CKO<br>11 | CKO<br>10 | 0 | 0 | 0 | 0 | 0 | 0 | SOE<br>11 | SOE<br>10 |

正)

図 15-15 シリアル出力レジスタ m (SOm) のフォーマット

アドレス：F0118H, F0119H リセット時：0303H R/W

| 略号  | 15 | 14 | 13 | 12 | 11 | 10 | 9         | 8         | 7 | 6 | 5 | 4 | 3 | 2 | 1    | 0    |
|-----|----|----|----|----|----|----|-----------|-----------|---|---|---|---|---|---|------|------|
| SO0 | 0  | 0  | 0  | 0  | 0  | 0  | CKO<br>01 | CKO<br>00 | 0 | 0 | 0 | 0 | 0 | 0 | SO01 | SO00 |

アドレス：F0158H, F0159H リセット時：0303H R/W

| 略号  | 15 | 14 | 13 | 12 | 11 | 10 | 9         | 8         | 7 | 6 | 5 | 4 | 3 | 2 | 1    | 0    |
|-----|----|----|----|----|----|----|-----------|-----------|---|---|---|---|---|---|------|------|
| SO1 | 0  | 0  | 0  | 0  | 0  | 0  | CKO<br>11 | CKO<br>10 | 0 | 0 | 0 | 0 | 0 | 0 | SO11 | SO10 |

No.23: 15.3.19 本文の記載に「シリアル・データ入出力 (SDAmn)」の記載を追加。および SDAmn 機能使用時の設定例を追加

対象ページ：P.834

誤)

15.3.19 ポート・モード・レジスタ (PM1, PM3-PM7, PM12)

ポート 1, 3-7, 12 の入力／出力を 1 ビット単位で設定するレジスタです。  
シリアル・データ出力またはシリアル・クロック出力を使用するとき、各ポートに対応するポート・モード・レジスタ (PMmn) のビットに 0 を設定してください。また、ポート・レジスタ (Pmn) のビットに 1 を設定してください。

正)

15.3.19 ポート・モード・レジスタ (PM1, PM3-PM7, PM12)

ポート 1, 3-7, 12 の入力／出力を 1 ビット単位で設定するレジスタです。  
シリアル・データ出力またはシリアル・クロック出力、またはシリアル・データ入出力 (SDAmn) を使用するとき、各ポートに対応するポート・モード・レジスタ (PMmn) のビットに 0 を設定してください。また、ポート・レジスタ (Pmn) のビットに 1 を設定してください。

例 2) P11/SI10/SDA10/RXD1 をシリアル・データ入出力として使用する場合  
ポート・モード・レジスタ 1 の PM11 ビットを 0 に設定  
ポート・レジスタ 1 の P11 ビットを 1 に設定

No.24: 図 15-26 (d) のレジスタ・シンボル、ビット・シンボルの誤記修正

対象ページ：P.840

誤)

図15-26 チャンネルごとに動作停止とする場合の各レジスタの設定 (2/2)

(d) シリアル出力レジスタ m (SOm)

・・・各チャンネルのシリアル出力のバッファ・レジスタ

|      | 15 | 14 | 13 | 12 | 11 | 10 | 9            | 8            | 7 | 6 | 5 | 4 | 3 | 2 | 1            | 0            |
|------|----|----|----|----|----|----|--------------|--------------|---|---|---|---|---|---|--------------|--------------|
| SOEm | 0  | 0  | 0  | 0  | 0  | 0  | CKOm1<br>0/1 | CKOm0<br>0/1 | 0 | 0 | 0 | 0 | 0 | 0 | SOEm1<br>0/1 | SOEm0<br>0/1 |

1：シリアル・クロック出力値が1

1：シリアル・データ出力値が1

※ 各チャンネルに対応した端子をポート機能として使用する場合は、該当する CKOm<sub>n</sub>, SOm<sub>n</sub> ビットに 1 を設定してください。

正)

図15-26 チャンネルごとに動作停止とする場合の各レジスタの設定 (2/2)

(d) シリアル出力レジスタ m (SOm)

・・・各チャンネルのシリアル出力のバッファ・レジスタ

|     | 15 | 14 | 13 | 12 | 11 | 10 | 9            | 8            | 7 | 6 | 5 | 4 | 3 | 2 | 1           | 0           |
|-----|----|----|----|----|----|----|--------------|--------------|---|---|---|---|---|---|-------------|-------------|
| SOM | 0  | 0  | 0  | 0  | 0  | 0  | CKOm1<br>0/1 | CKOm0<br>0/1 | 0 | 0 | 0 | 0 | 0 | 0 | SOM1<br>0/1 | SOM0<br>0/1 |

1：シリアル・クロック出力値が1

1：シリアル・データ出力値が1

※ 各チャンネルに対応した端子をポート機能として使用する場合は、該当する CKOm<sub>n</sub>, SOM<sub>n</sub> ビットに 1 を設定してください。

# No.25: 図 15-35 (e) SOm レジスタの設定を削除

対象ページ：P.854

誤)

図15-35 3線シリアルI/O (CSI00, CSI01, CSI10, CSI11) のマスタ受信時の

レジスタ設定内容例 (2/2)

(e) シリアル出力レジスタ m (SOm)・・・対象チャネルのビットのみ設定する

|     | 15 | 14 | 13 | 12 | 11 | 10 | 9            | 8            | 7 | 6 | 5 | 4 | 3 | 2 | 1         | 0         |
|-----|----|----|----|----|----|----|--------------|--------------|---|---|---|---|---|---|-----------|-----------|
| SOm | 0  | 0  | 0  | 0  | 0  | 0  | CKOm1<br>0/1 | CKOm0<br>0/1 | 0 | 0 | 0 | 0 | 0 | 0 | SOm1<br>x | SOm0<br>x |

クロック位相が“正転” (SCRmnレジスタのCKPmnビット = 0) のときは  
“1”で通信開始し、クロック位相が“反転” (CKPmnビット = 1) のときは  
“0”で通信開始する。

(f) シリアル出力許可レジスタ m (SOEm)・・・このモードでは使用しない

|      | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1          | 0          |
|------|----|----|----|----|----|----|---|---|---|---|---|---|---|---|------------|------------|
| SOEm | 0  | 0  | 0  | 0  | 0  | 0  | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SOEm1<br>x | SOEm0<br>x |

正) SOm レジスタの設定は、(d) で記載済みにつき削除します。

図15-35 3線シリアルI/O (CSI00, CSI01, CSI10, CSI11) のマスタ受信時の

レジスタ設定内容例 (2/2)

(e) シリアル出力許可レジスタ m (SOEm)・・・このモードでは使用しない

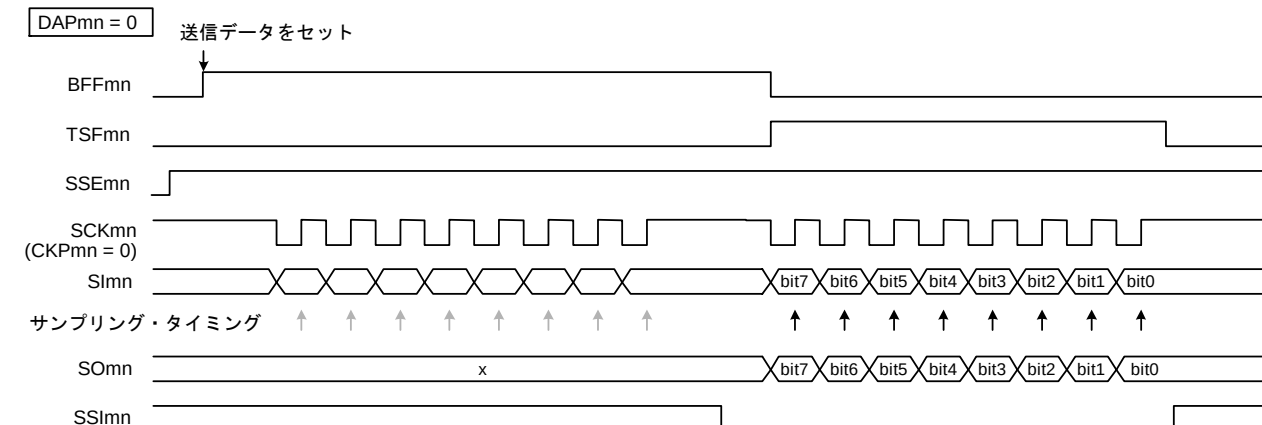
|      | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1          | 0          |
|------|----|----|----|----|----|----|---|---|---|---|---|---|---|---|------------|------------|
| SOEm | 0  | 0  | 0  | 0  | 0  | 0  | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SOEm1<br>x | SOEm0<br>x |

# No.26: 図 15-75 SOMn 端子の出力を修正

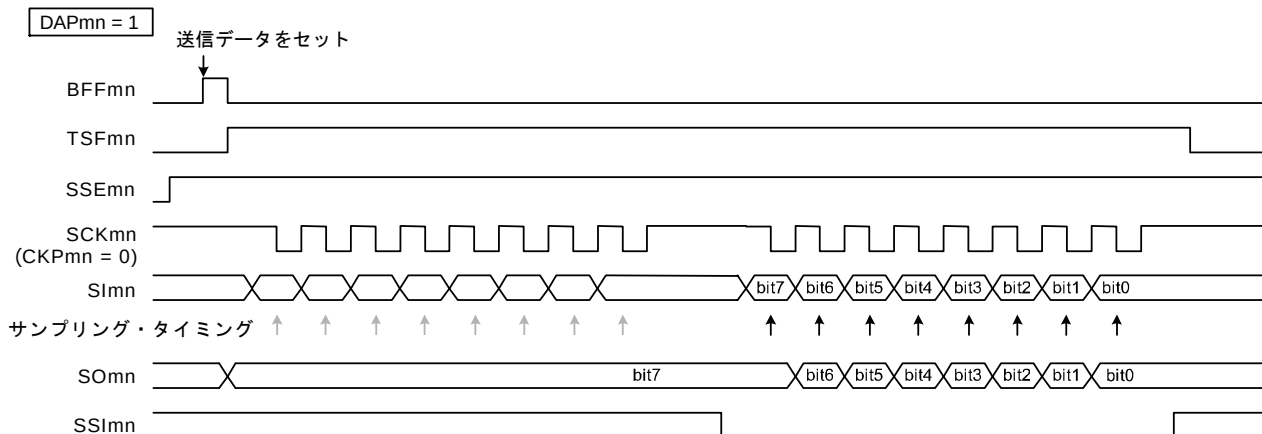
対象ページ：P.901

誤) SOMn 端子の出力記載に誤りがあります。正しくは、SSImn 端子の入力に合わせて変化します。

図15-75 SPI機能のタイミング図



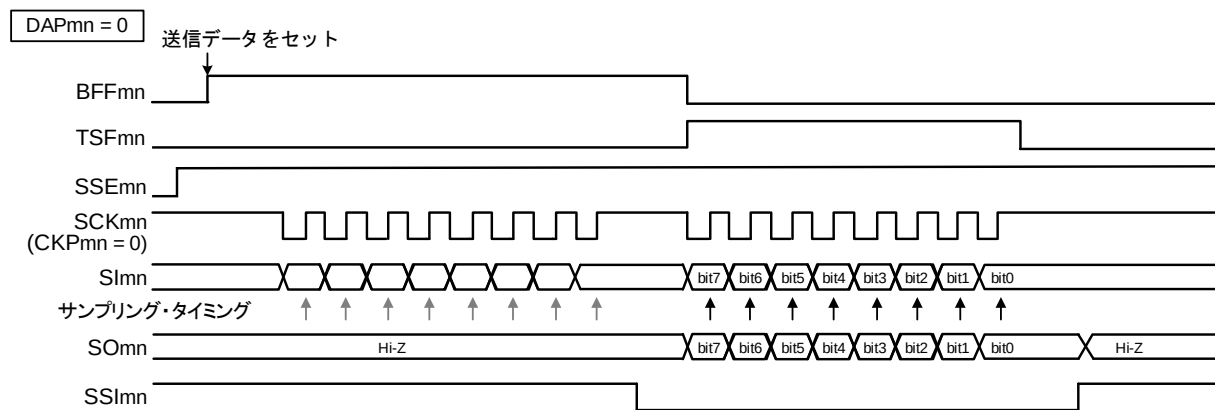
SSImnがハイ期間ではSCKmn（シリアル・クロック）の立ち下がりエッジが来ても送信を行いません。  
また、立ち上がりエッジに同期して受信データのサンプリングも行いません。  
SSImnがロウとなった際、シリアル・クロックの立ち下がりエッジに同期してデータを送出（シフト）し、立ち上がりエッジに同期して受信動作を行います。



DAPmn = 1の場合、SSImnがハイ期間に送信データがセットされると、データ出力に最初のデータ（bit7）を出力します。しかし、SCKmn（シリアル・クロック）の立ち上がりエッジが来てもシフト動作を行わず、立ち下がりエッジに同期して受信データのサンプリングも行いません。SSImnがロウになると、次の立ち上がりエッジに同期してデータを送出（シフト）し、立ち下がりエッジに同期して受信動作を行います。

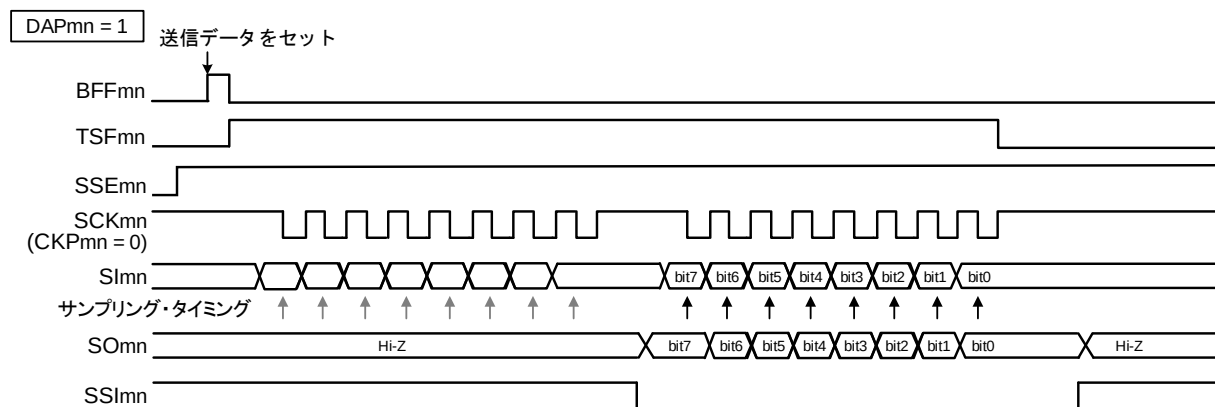
正) SSImn 端子の入力により SOmn 端子の出力が変化します。

図15-75 SPI機能のタイミング図



SSImn がハイ・レベルの間は、SCKmn（シリアル・クロック）が入力されても送信は行われず、立ち上がりエッジに同期して受信データもサンプリングされません。

SSImn がロウ・レベルになると、シリアル・クロックの立ち下がりエッジに同期してデータが出力（シフト）され、立ち上がりエッジに同期して受信動作が行われます。



SSImn がハイ・レベルの間は、SCKmn（シリアル・クロック）が入力されても送信は行われず、立ち下がりエッジに同期して受信データもサンプリングされません。

SSImn がロウ・レベルになると、シリアル・クロックの立ち上がりエッジに同期してデータが出力（シフト）され、立ち下がりエッジに同期して受信動作が行われます。

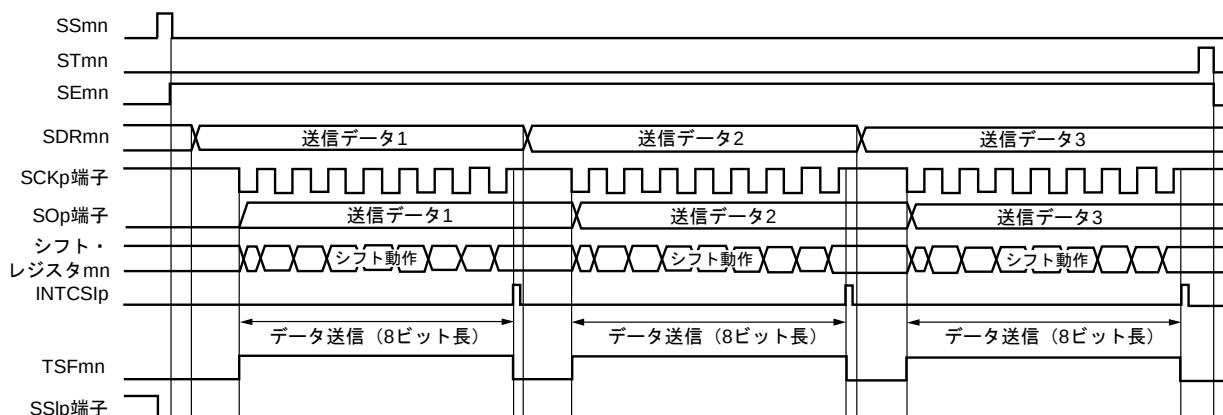
# No.27: 図 15-80 SSIp 端子をスレーブ選択信号出力端子に変更

対象ページ：P.907

誤) マスタ送信の図につき、SSIp 端子は不要な記載のため削除します。

図15-80 マスタ送信（シングル送信モード時）のタイミング・チャート

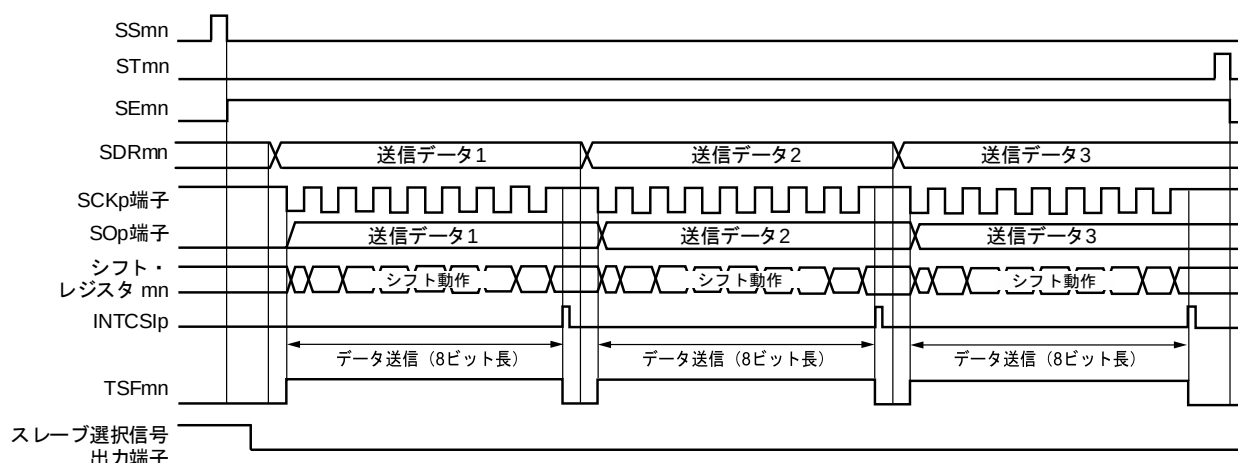
（タイプ1：DAPmn =0, CKPmn = 0）



正) マスタ送信のタイミング図につき、SSIp 端子をスレーブ選択信号出力端子に変更します。

図15-80 マスタ送信（シングル送信モード時）のタイミング・チャート

（タイプ1：DAPmn =0, CKPmn = 0）



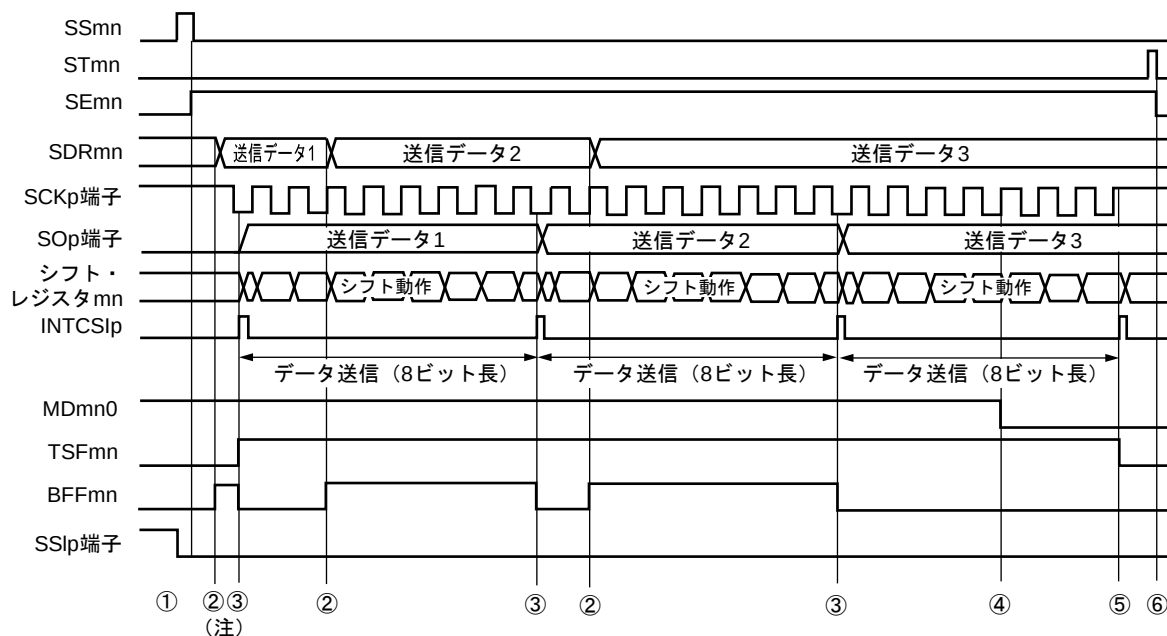
# No.28: 図 15-82 SSIp 端子をスレーブ選択信号出力端子に変更

対象ページ：P.909

誤) マスタ送信の図につき、SSIp 端子は不要な記載のため削除します。

図15-82 マスタ送信（連続送信モード時）のタイミング・チャート

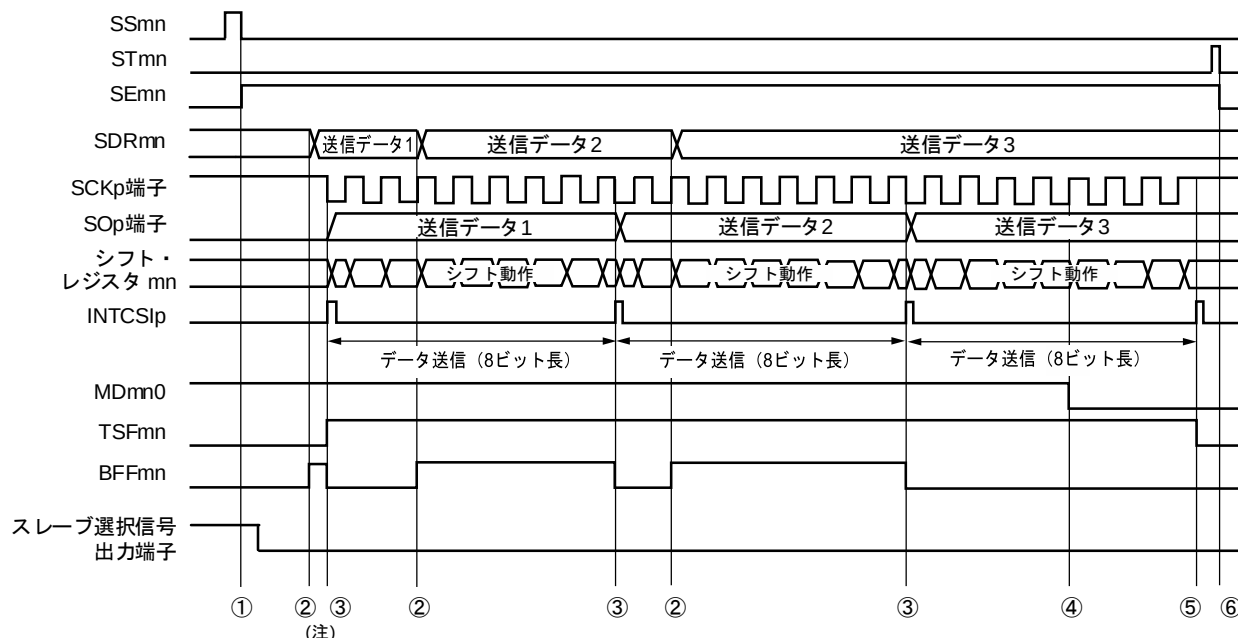
（タイプ1：DAPmn =0, CKPmn = 0）



正) マスタ送信のタイミング図につき、SSIp 端子をスレーブ選択信号出力端子に変更します。

図15-82 マスタ送信（連続送信モード時）のタイミング・チャート

（タイプ1：DAPmn =0, CKPmn = 0）



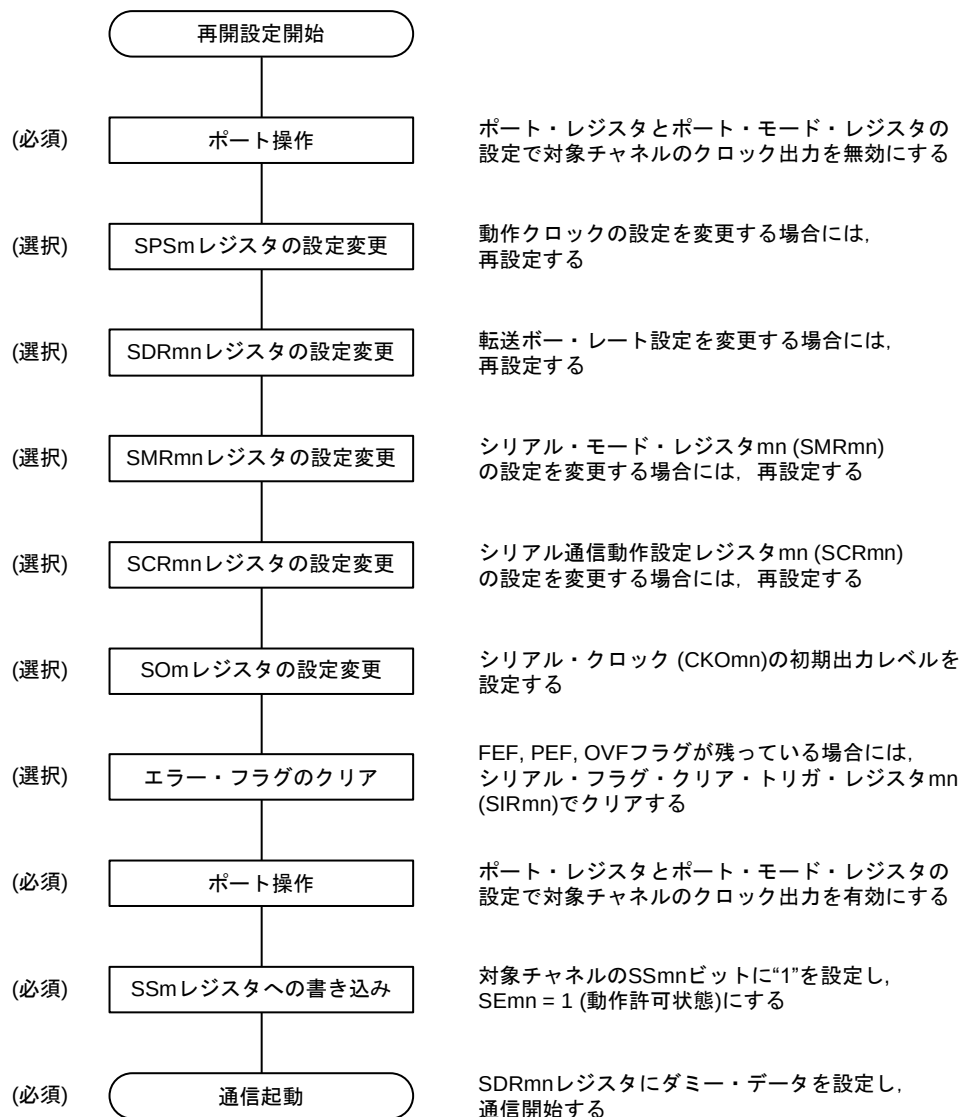


# No.29: 図 15-85 （全体）図を修正

対象ページ：P.914

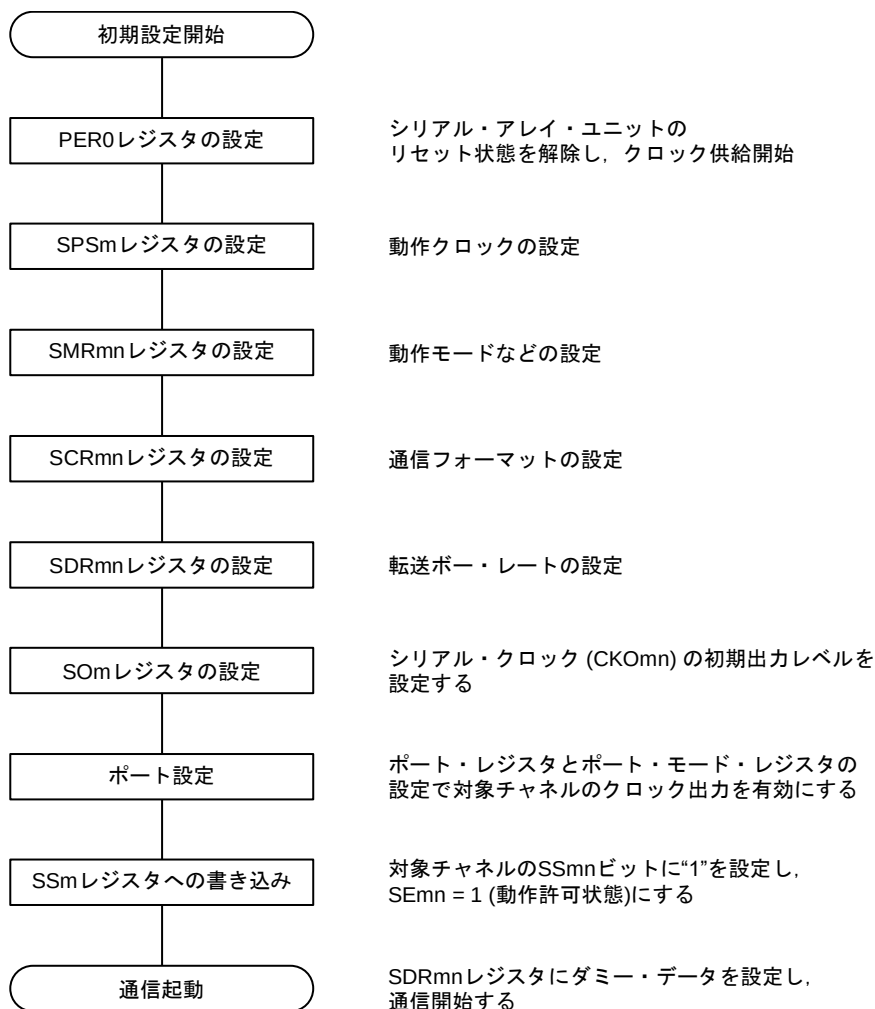
誤）図が「再開設定の手順」につき、修正します。

図15-85 マスタ受信の初期設定手順



正)「初期設定手順」の図に修正します。

図15-85 マスタ受信の初期設定手順



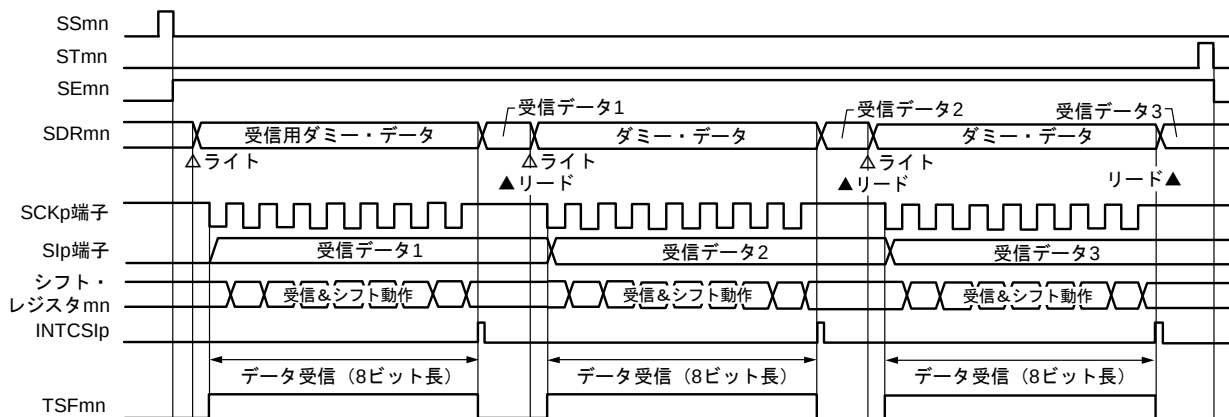
# No.30: 図 15-88 スレーブ選択信号出力端子を追加

対象ページ：P.916

誤)

図15-88 マスタ受信（シングル受信モード時）のタイミング・チャート

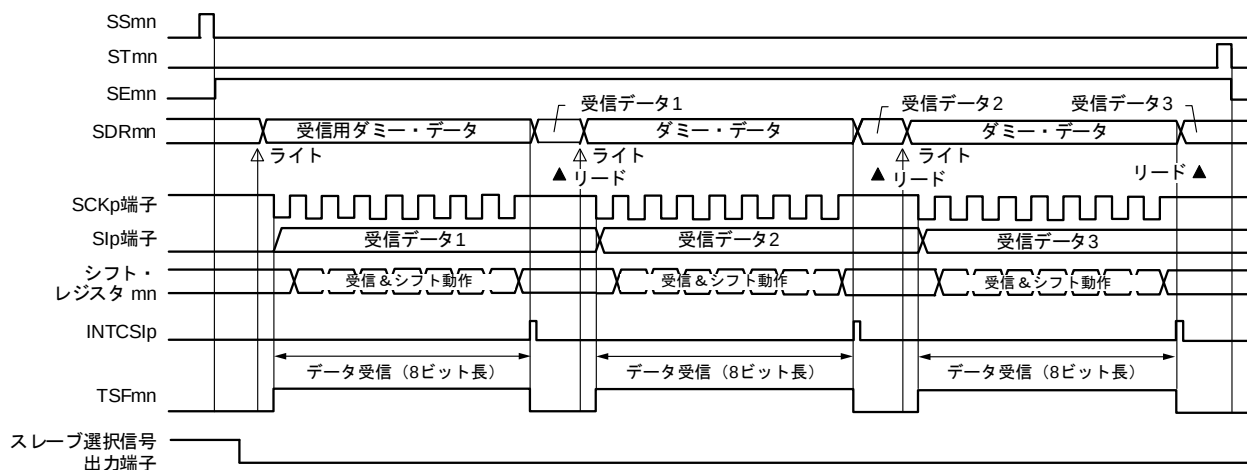
(タイプ1：DAPmn = 0, CKPmn = 0)



正) SPI 通信のマスタ受信のタイミング図につき、スレーブ選択信号出力端子を追加します。

図15-88 マスタ受信（シングル受信モード時）のタイミング・チャート

(タイプ1：DAPmn = 0, CKPmn = 0)



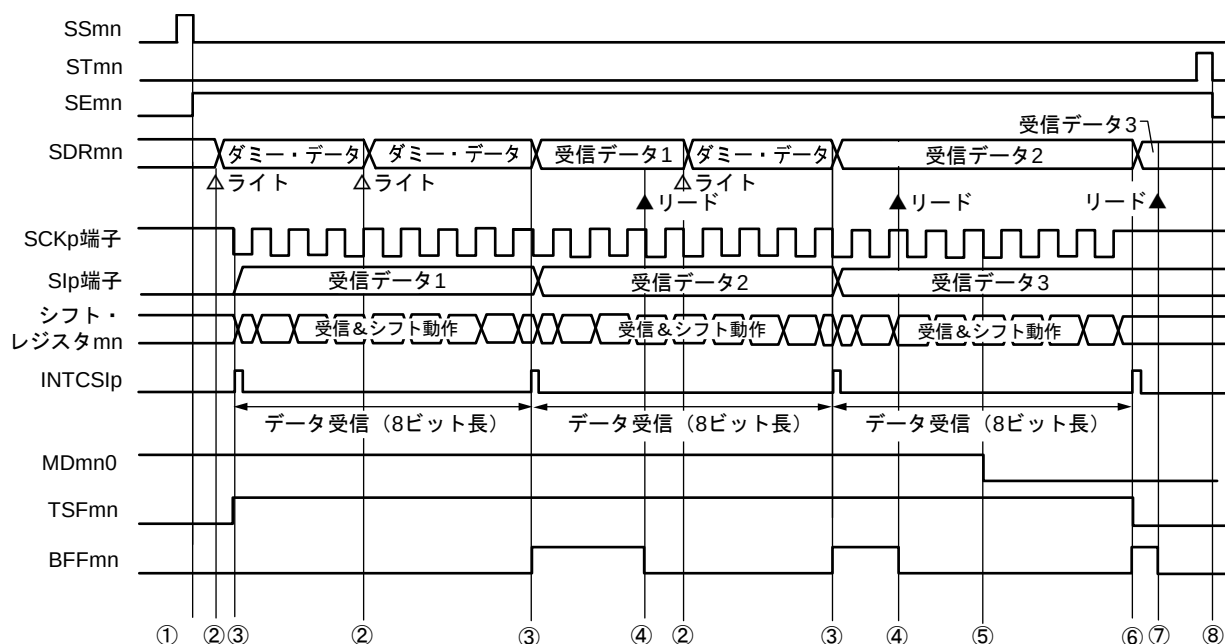
# No.31: 図 15-90 スレーブ選択信号出力端子を追加

対象ページ：P.918

誤)

図15-90 マスタ受信（連続受信モード時）のタイミング・チャート

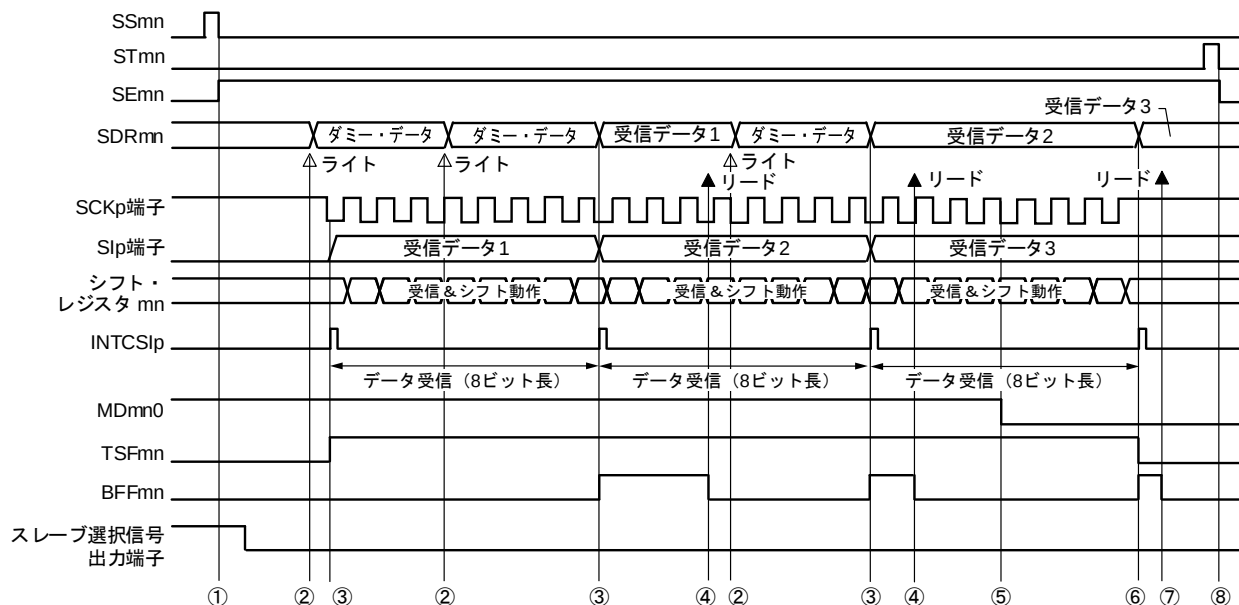
(タイプ1：DAPmn = 0, CKPmn = 0)



正) SPI 通信のマスタ受信のタイミング図につき、スレーブ選択信号出力端子を追加します。

図15-90 マスタ受信（連続受信モード時）のタイミング・チャート

(タイプ1：DAPmn = 0, CKPmn = 0)



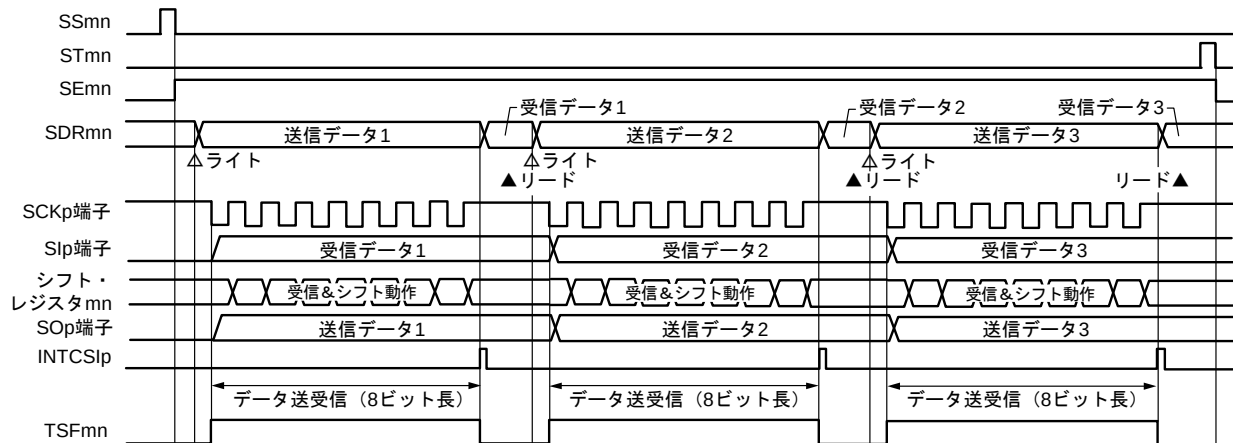
# No.32: 図 15-96 スレーブ選択信号出力端子を追加

対象ページ：P.925

誤)

図15-96 マスタ送受信（シングル送受信モード時）のタイミング・チャート

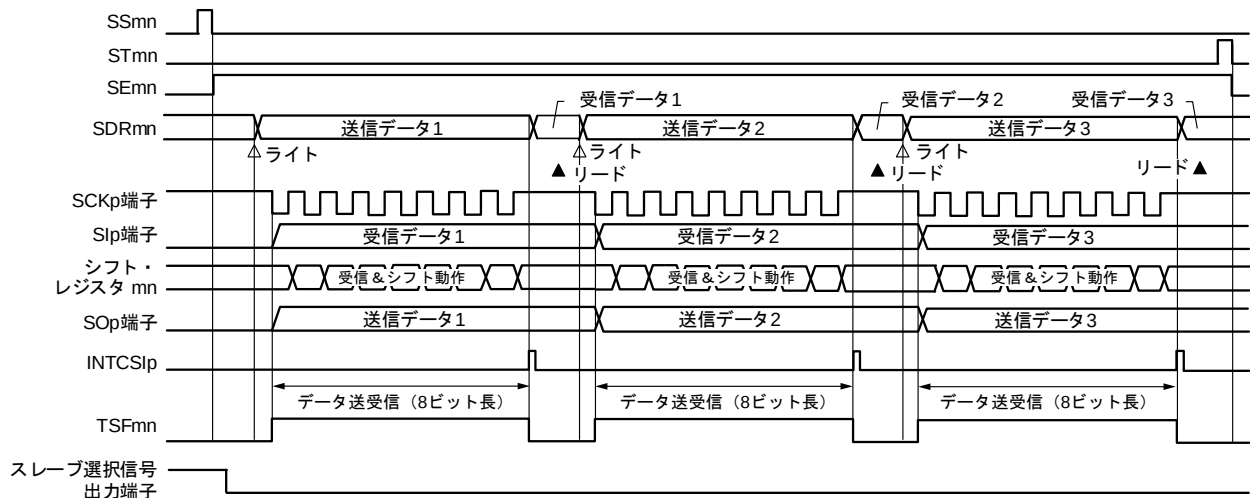
(タイプ1：DAPmn =0, CKPmn = 0)



正) SPI 通信のマスタ送受信のタイミング図につき、スレーブ選択信号出力端子を追加します。

図15-96 マスタ送受信（シングル送受信モード時）のタイミング・チャート

(タイプ1：DAPmn =0, CKPmn = 0)



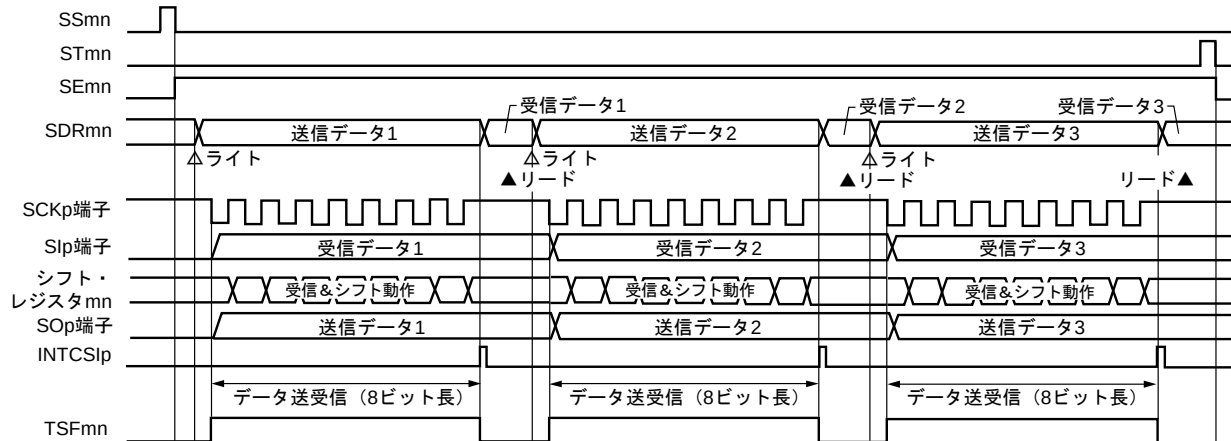
# No.33: 図 15-98 (全体) 図を修正

対象ページ：P.927

誤) マスタ送受信 (シングル送受信時) につき、図を修正します。

図15-98 マスタ送受信 (連続送受信モード時) のタイミング・チャート

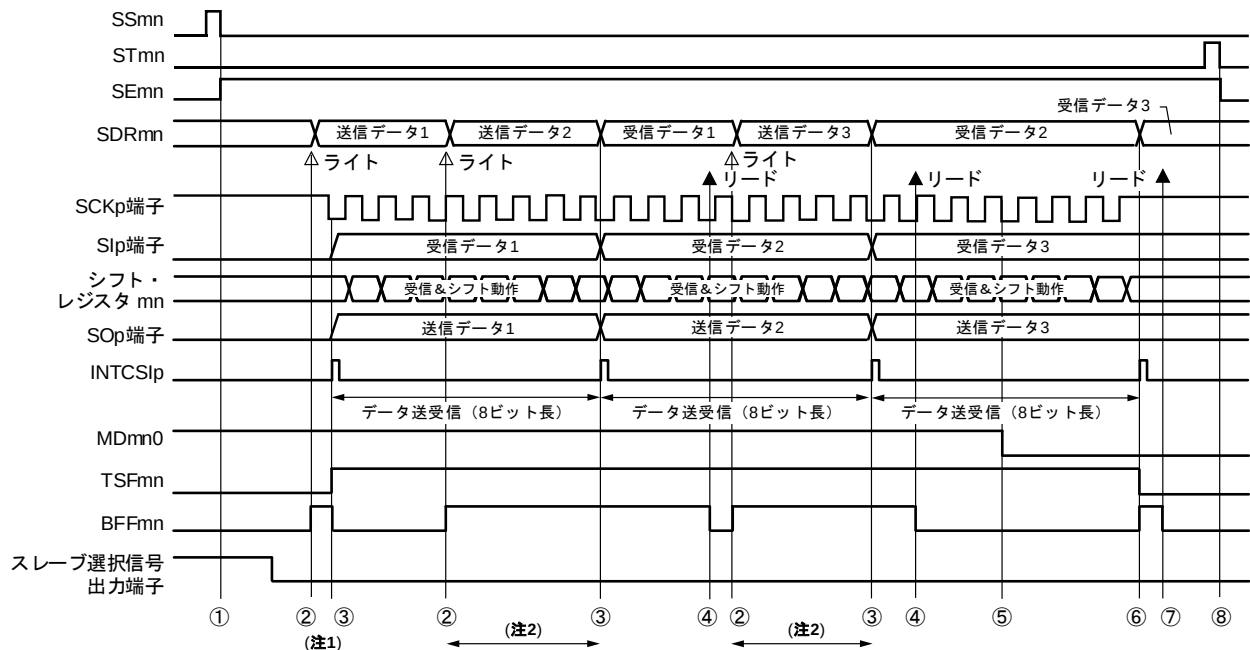
(タイプ1 : DAPmn = 0, CKPmn = 0)



正) 図をマスタ送受信 (連続送受信時) に変更します。

図15-98 マスタ送受信 (連続送受信モード時) のタイミング・チャート

(タイプ1 : DAPmn = 0, CKPmn = 0)



**No.34: 図 15-100 スレーブ送信の初期設定手順（図 15-101）と合わせ、図内のレジスタ設定順を変更**

対象ページ：P.931

誤)

図15-100 SPI機能（CSI00, CSI01, CSI10, CSI11）のスレーブ送信時の

レジスタ設定内容例（2/2）

(d) シリアル・スレーブ選択許可レジスタm (SSEm)・・・各スレーブ・チャンネルのSSI00, SSI01, SSI10, SSI11

端子の制御

|      | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1            | 0            |
|------|----|----|----|----|----|----|---|---|---|---|---|---|---|---|--------------|--------------|
| SSEm | 0  | 0  | 0  | 0  | 0  | 0  | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SSEm1<br>0/1 | SSEm0<br>0/1 |

(e) シリアル出力レジスタm (SOM)・・・対象チャンネルのビットのみ設定する

|     | 15 | 14 | 13 | 12 | 11 | 10 | 9          | 8          | 7 | 6 | 5 | 4 | 3 | 2 | 1           | 0           |
|-----|----|----|----|----|----|----|------------|------------|---|---|---|---|---|---|-------------|-------------|
| SOM | 0  | 0  | 0  | 0  | 0  | 0  | CKOm1<br>x | CKOm0<br>x | 0 | 0 | 0 | 0 | 0 | 0 | SOM1<br>0/1 | SOM0<br>0/1 |

(f) シリアル出力許可レジスタm (SOEm)・・・対象チャンネルのビットのみ1に設定する

|      | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1            | 0            |
|------|----|----|----|----|----|----|---|---|---|---|---|---|---|---|--------------|--------------|
| SOEm | 0  | 0  | 0  | 0  | 0  | 0  | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SOEm1<br>0/1 | SOEm0<br>0/1 |

(g) シリアル・チャンネル開始レジスタm (SSm)・・・対象チャンネルのビットのみ1に設定する

|     | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1           | 0           |
|-----|----|----|----|----|----|----|---|---|---|---|---|---|---|---|-------------|-------------|
| SSm | 0  | 0  | 0  | 0  | 0  | 0  | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SSm1<br>0/1 | SSm0<br>0/1 |

正)

図15-100 SPI機能（CSI00, CSI01, CSI10, CSI11）のスレーブ送信時の  
レジスタ設定内容例（2/2）

(d) シリアル出力レジスタm（SOM）・・・対象チャネルのビットのみ設定する

|     | 15 | 14 | 13 | 12 | 11 | 10 | 9          | 8          | 7 | 6 | 5 | 4 | 3 | 2 | 1           | 0           |
|-----|----|----|----|----|----|----|------------|------------|---|---|---|---|---|---|-------------|-------------|
| SOM | 0  | 0  | 0  | 0  | 0  | 0  | CKOm1<br>x | CKOm0<br>x | 0 | 0 | 0 | 0 | 0 | 0 | SOM1<br>0/1 | SOM0<br>0/1 |

(e) シリアル出力許可レジスタm（SOEm）・・・対象チャネルのビットのみ1に設定する

|      | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1            | 0            |
|------|----|----|----|----|----|----|---|---|---|---|---|---|---|---|--------------|--------------|
| SOEm | 0  | 0  | 0  | 0  | 0  | 0  | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SOEm1<br>0/1 | SOEm0<br>0/1 |

(f) シリアル・スレーブ選択許可レジスタm（SSEm）・・・各スレーブ・チャネルのSSI00, SSI01, SSI10, SSI11  
端子の制御

|      | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1            | 0            |
|------|----|----|----|----|----|----|---|---|---|---|---|---|---|---|--------------|--------------|
| SSEm | 0  | 0  | 0  | 0  | 0  | 0  | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SSEm1<br>0/1 | SSEm0<br>0/1 |

(g) シリアル・チャネル開始レジスタm（SSm）・・・対象チャネルのビットのみ1に設定する

|     | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1           | 0           |
|-----|----|----|----|----|----|----|---|---|---|---|---|---|---|---|-------------|-------------|
| SSm | 0  | 0  | 0  | 0  | 0  | 0  | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SSm1<br>0/1 | SSm0<br>0/1 |



# No.35: 図 15-102 図下部の備考 1 の説明を変更

対象ページ：P.932

誤)

**備考 1.** 中断後も端子レベルは保持されますので、動作を再開する際にはシリアル出力レジスタ m (SOm) を再設定してください (「図 15-103 スレーブ送信の再開設定手順」を参照)。

正)

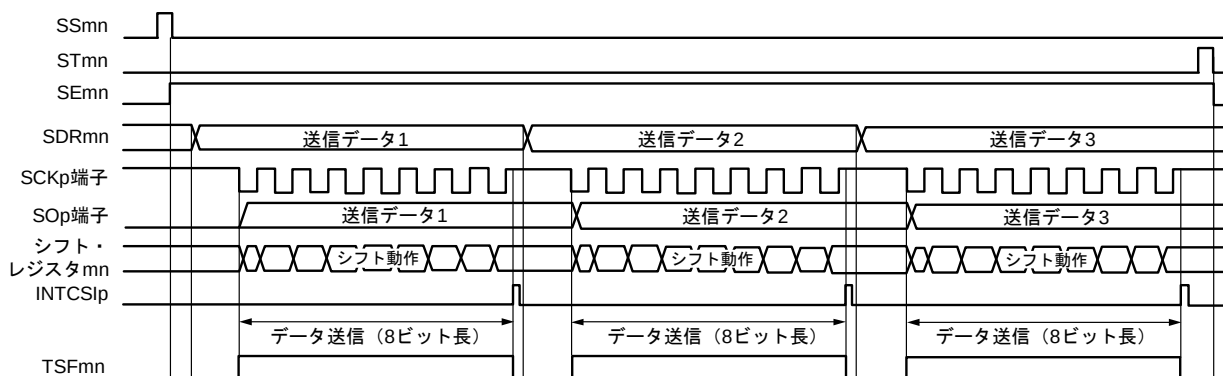
**備考 1.** SSI<sub>mn</sub> がロウ・レベルの場合、中断後も端子レベルは保持されるため、動作を再開する際はシリアル出力レジスタ m (SOm) を再設定してください (「図 15-103 スレーブ送信の再開設定手順」を参照)。

# No.36: 図 15-104 SSI<sub>p</sub> 端子を追加、および SO<sub>p</sub> 端子の出力を修正

対象ページ：P.934

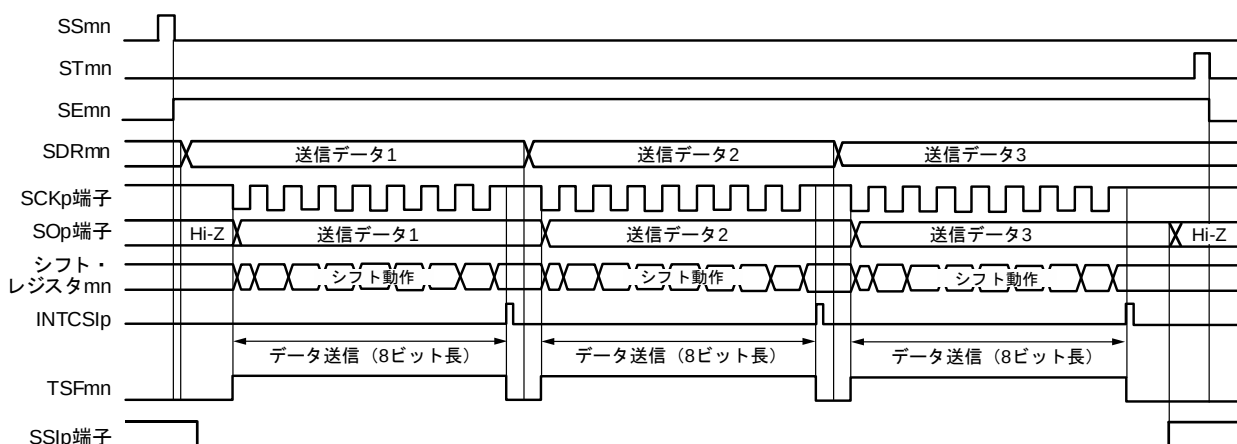
誤)

図15-104 スレーブ送信 (シングル送信モード時) のタイミング・チャート

(タイプ1 : DAP<sub>mn</sub> = 0, CKP<sub>mn</sub> = 0)


**正)** SPI 通信のスレーブ送信につき、SSI<sub>p</sub> 端子を追加します。また、SO<sub>p</sub> 端子の状態を SSI<sub>p</sub> 端子追加に合わせ修正します。

図15-104 スレーブ送信 (シングル送信モード時) のタイミング・チャート

(タイプ1 : DAP<sub>mn</sub> = 0, CKP<sub>mn</sub> = 0)


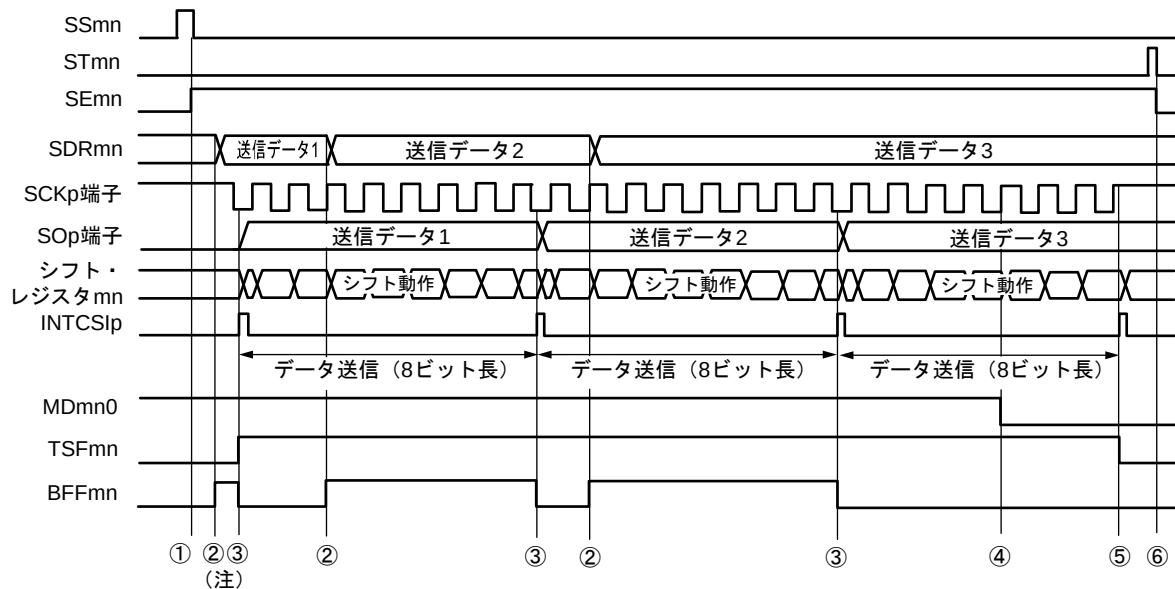
# No.37: 図 15-106 SSIp 端子を追加、および SOp 端子の出力を修正

対象ページ：P.936

誤)

図15-106 スレーブ送信（連続送信モード時）のタイミング・チャート

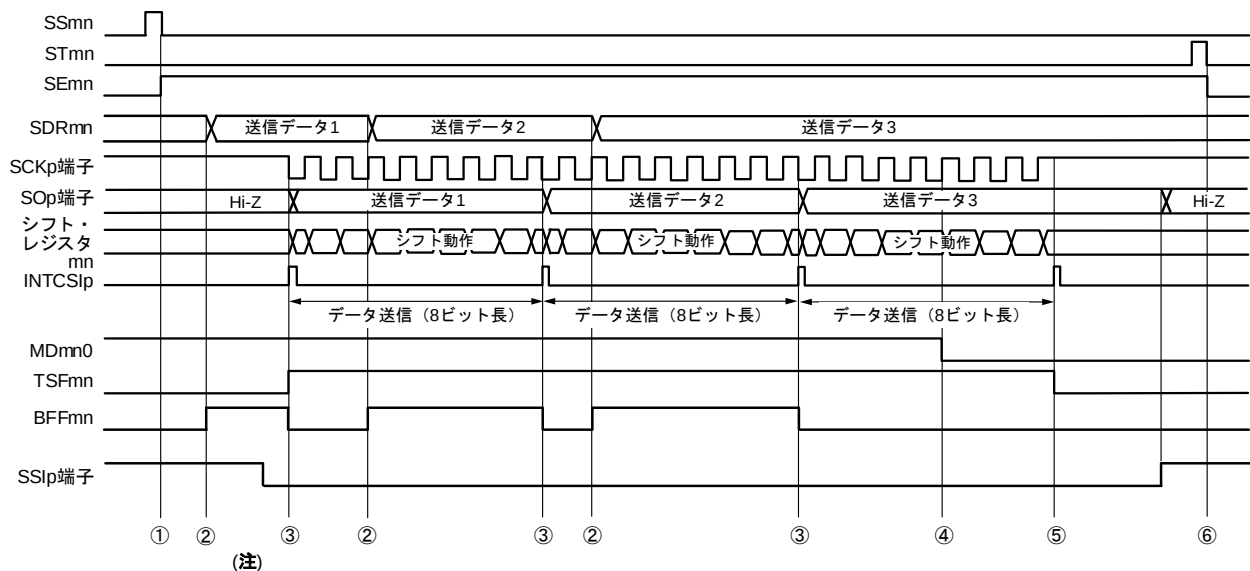
（タイプ1：DAPmn =0, CKPmn = 0）



正) SPI 通信のスレーブ送信につき、SSIp 端子を追加します。また、SOp 端子の状態を SSIp 端子追加に合わせ修正します。

図15-106 スレーブ送信（連続送信モード時）のタイミング・チャート

（タイプ1：DAPmn =0, CKPmn = 0）



# No.38: 図 15-108 スレーブ受信の初期設定手順（図 15-109）と合わせ、図内のレジスタ設定順を変更

対象ページ：P.940

誤)

図15-108 SPI機能（CSI00, CSI01, CSI10, CSI11）のスレーブ受信時の

レジスタ設定内容例（2/2）

(e) シリアル出力許可レジスタm（SOEm）・・・このモードでは使用しない

|      | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1          | 0          |
|------|----|----|----|----|----|----|---|---|---|---|---|---|---|---|------------|------------|
| SOEm | 0  | 0  | 0  | 0  | 0  | 0  | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SOEm1<br>× | SOEm0<br>× |

(f) シリアル・チャネル開始レジスタm（SSm）・・・対象チャネルのビットのみ1に設定する

|     | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1           | 0           |
|-----|----|----|----|----|----|----|---|---|---|---|---|---|---|---|-------------|-------------|
| SSm | 0  | 0  | 0  | 0  | 0  | 0  | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SSm1<br>0/1 | SSm0<br>0/1 |

(g) シリアル・スレーブ選択許可レジスタm（SSEm）・・・各スレーブ・チャネルのSSI00, SSI01, SSI10, SSI11端子の制御

|      | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1            | 0            |
|------|----|----|----|----|----|----|---|---|---|---|---|---|---|---|--------------|--------------|
| SSEm | 0  | 0  | 0  | 0  | 0  | 0  | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SSEm1<br>0/1 | SSEm0<br>0/1 |

正)

図15-108 SPI機能（CSI00, CSI01, CSI10, CSI11）のスレーブ受信時の

レジスタ設定内容例（2/2）

(e) シリアル出力許可レジスタm（SOEm）・・・このモードでは使用しない

|      | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1          | 0          |
|------|----|----|----|----|----|----|---|---|---|---|---|---|---|---|------------|------------|
| SOEm | 0  | 0  | 0  | 0  | 0  | 0  | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SOEm1<br>× | SOEm0<br>× |

(f) シリアル・スレーブ選択許可レジスタm（SSEm）・・・各スレーブ・チャネルのSSI00, SSI01, SSI10, SSI11端子の制御

|      | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1            | 0            |
|------|----|----|----|----|----|----|---|---|---|---|---|---|---|---|--------------|--------------|
| SSEm | 0  | 0  | 0  | 0  | 0  | 0  | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SSEm1<br>0/1 | SSEm0<br>0/1 |

(g) シリアル・チャネル開始レジスタm（SSm）・・・対象チャネルのビットのみ1に設定する

|     | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1           | 0           |
|-----|----|----|----|----|----|----|---|---|---|---|---|---|---|---|-------------|-------------|
| SSm | 0  | 0  | 0  | 0  | 0  | 0  | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SSm1<br>0/1 | SSm0<br>0/1 |

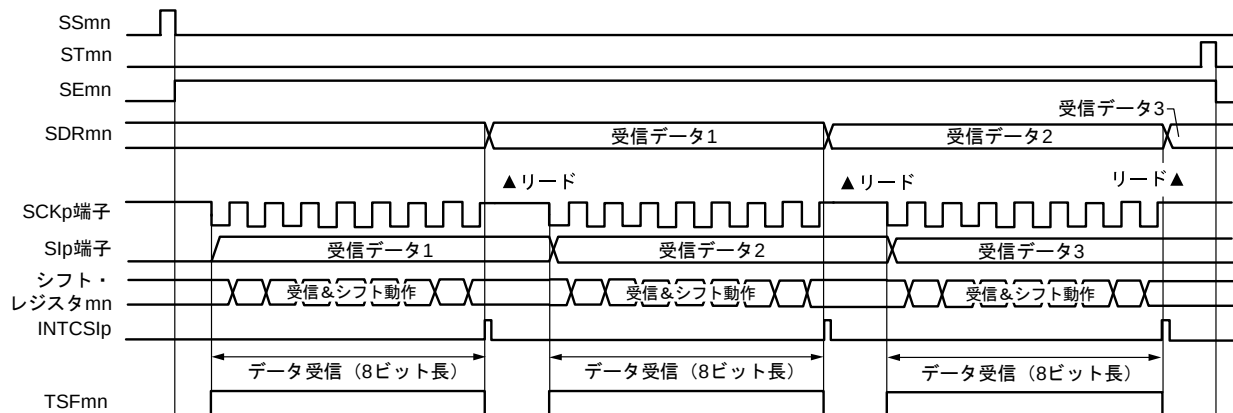
# No.39: 図 15-112 SSIp 端子を追加

対象ページ：P.943

誤)

図15-112 スレーブ受信（シングル受信モード時）のタイミング・チャート

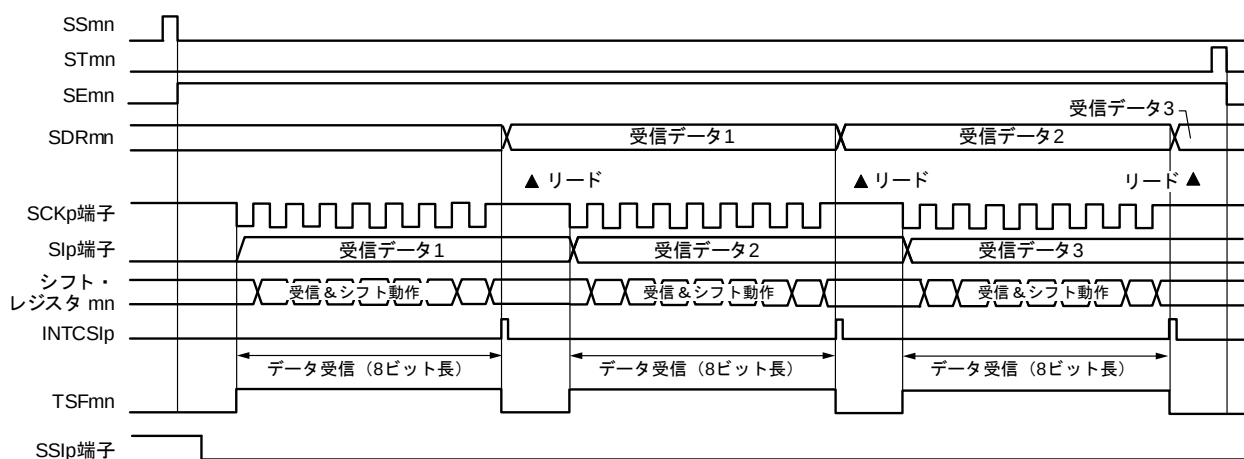
（タイプ1：DAPmn =0, CKPmn = 0）



正) SPI 通信のスレーブ受信につき、SSIp 端子を追加します。

図15-112 スレーブ受信（シングル受信モード時）のタイミング・チャート

（タイプ1：DAPmn =0, CKPmn = 0）



# No.40: 図 15-114 スレーブ送受信の初期設定手順（図 15-115）と合わせ、図内のレジスタ設定順を変更

対象ページ：P.947

誤)

図15-114 SPI機能（CSI00, CSI01, CSI10, CSI11）のスレーブ送受信時の

レジスタ設定内容例（2/2）

(e) シリアル出力許可レジスタm（SOEm）・・・対象チャンネルのビットのみ1に設定する

|      | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1            | 0            |
|------|----|----|----|----|----|----|---|---|---|---|---|---|---|---|--------------|--------------|
| SOEm | 0  | 0  | 0  | 0  | 0  | 0  | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SOEm1<br>0/1 | SOEm0<br>0/1 |

(f) シリアル・チャンネル開始レジスタm（SSm）・・・対象チャンネルのビットのみ1に設定する

|     | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1           | 0           |
|-----|----|----|----|----|----|----|---|---|---|---|---|---|---|---|-------------|-------------|
| SSm | 0  | 0  | 0  | 0  | 0  | 0  | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SSm1<br>0/1 | SSm0<br>0/1 |

(g) シリアル・スレーブ選択許可レジスタm（SSEm）・・・各スレーブ・チャンネルのSSI00, SSI01, SSI10, SSI11

端子の制御

|      | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1            | 0            |
|------|----|----|----|----|----|----|---|---|---|---|---|---|---|---|--------------|--------------|
| SSEm | 0  | 0  | 0  | 0  | 0  | 0  | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SSEm1<br>0/1 | SSEm0<br>0/1 |

正)

図15-114 SPI機能（CSI00, CSI01, CSI10, CSI11）のスレーブ送受信時の

レジスタ設定内容例（2/2）

(e) シリアル出力許可レジスタm（SOEm）・・・対象チャンネルのビットのみ1に設定する

|      | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1            | 0            |
|------|----|----|----|----|----|----|---|---|---|---|---|---|---|---|--------------|--------------|
| SOEm | 0  | 0  | 0  | 0  | 0  | 0  | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SOEm1<br>0/1 | SOEm0<br>0/1 |

(f) シリアル・スレーブ選択許可レジスタm（SSEm）・・・各スレーブ・チャンネルのSSI00, SSI01, SSI10, SSI11

端子の制御

|      | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1            | 0            |
|------|----|----|----|----|----|----|---|---|---|---|---|---|---|---|--------------|--------------|
| SSEm | 0  | 0  | 0  | 0  | 0  | 0  | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SSEm1<br>0/1 | SSEm0<br>0/1 |

(g) シリアル・チャンネル開始レジスタm（SSm）・・・対象チャンネルのビットのみ1に設定する

|     | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1           | 0           |
|-----|----|----|----|----|----|----|---|---|---|---|---|---|---|---|-------------|-------------|
| SSm | 0  | 0  | 0  | 0  | 0  | 0  | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SSm1<br>0/1 | SSm0<br>0/1 |

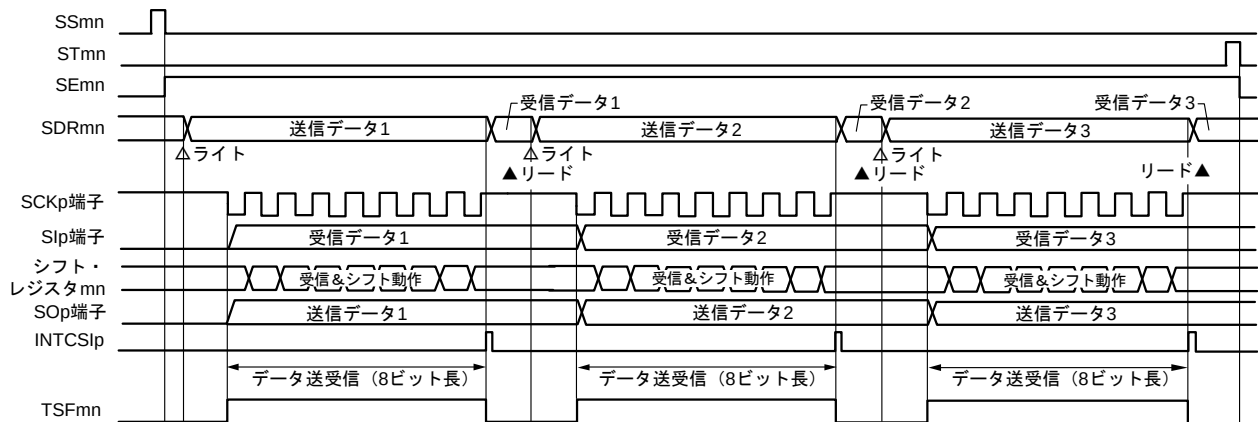
# No.41: 図 15-118 SSIp 端子を追加、および SOp 端子の出力を修正

対象ページ：P.950

誤)

図15-118 スレーブ送受信（シングル送受信モード時）のタイミング・チャート

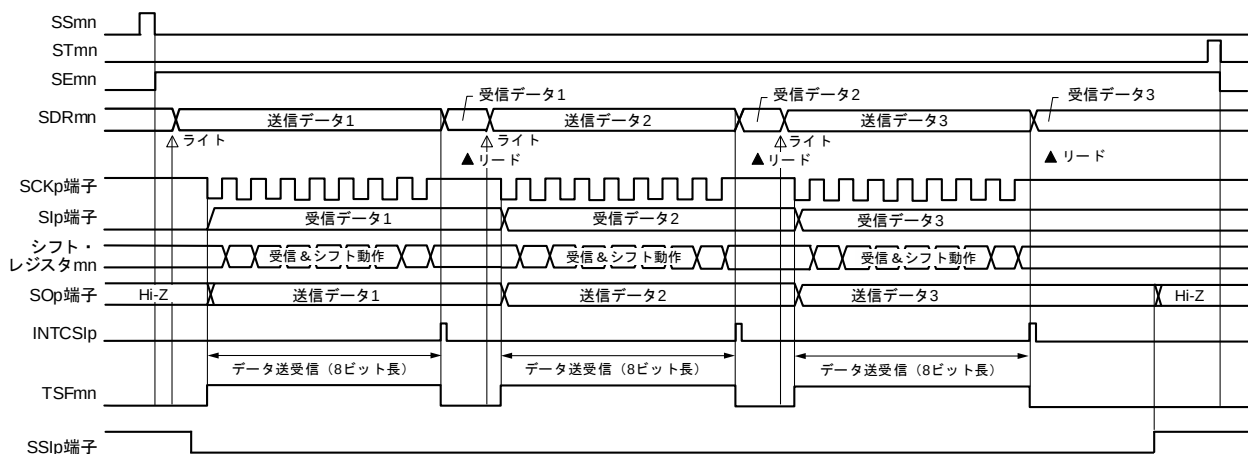
（タイプ1：DAPmn = 0, CKPmn = 0）



正) SPI 通信のスレーブ送受信につき、SSIp 端子を追加します。また、SOp 端子の状態を SSIp 端子追加に合わせ修正します。

図15-118 スレーブ送受信（シングル送受信モード時）のタイミング・チャート

（タイプ1：DAPmn = 0, CKPmn = 0）



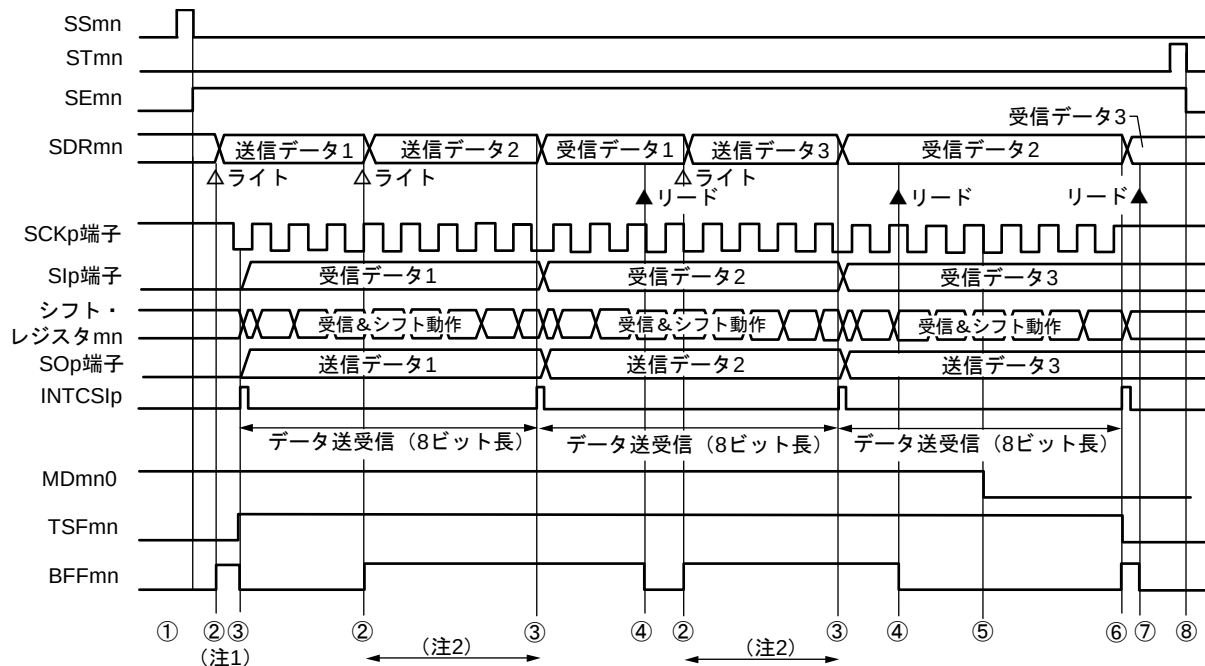
# No.42: 図 15-120 SSIp 端子を追加、および SOp 端子の出力を修正

対象ページ：P.952

誤)

図15-120 スレーブ送受信（連続送受信モード時）のタイミング・チャート

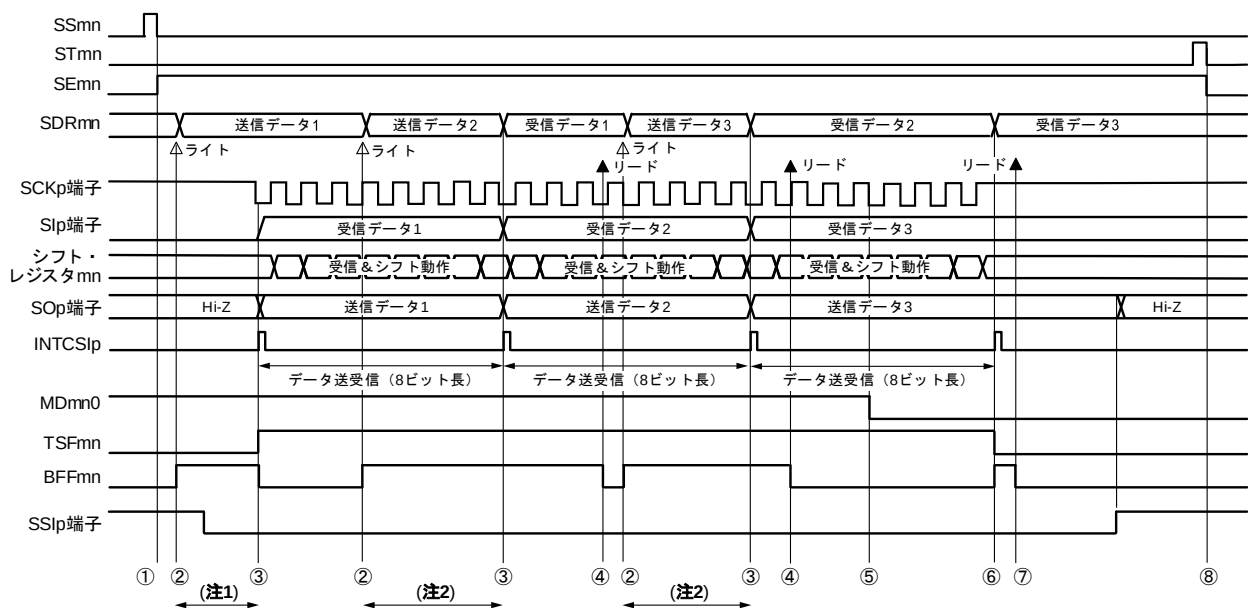
(タイプ1：DAPmn = 0, CKPmn = 0)



正) SPI 通信のスレーブ送受信につき、SSIp 端子を追加します。また、SOp 端子の状態を SSIp 端子追加に合わせ修正します。

図15-120 スレーブ送受信（連続送受信モード時）のタイミング・チャート

(タイプ1：DAPmn = 0, CKPmn = 0)



No.43: 15.7 割り込み機能に「受信完了割り込み」を追加

対象ページ：P.957

誤)

15.7 UART (UART0, UART1) 通信の動作

[割り込み機能]

- 転送完了割り込み／バッファ空き割り込み

正)

15.7 UART (UART0, UART1) 通信の動作

[割り込み機能]

- 転送完了割り込み／バッファ空き割り込み
- 受信完了割り込み

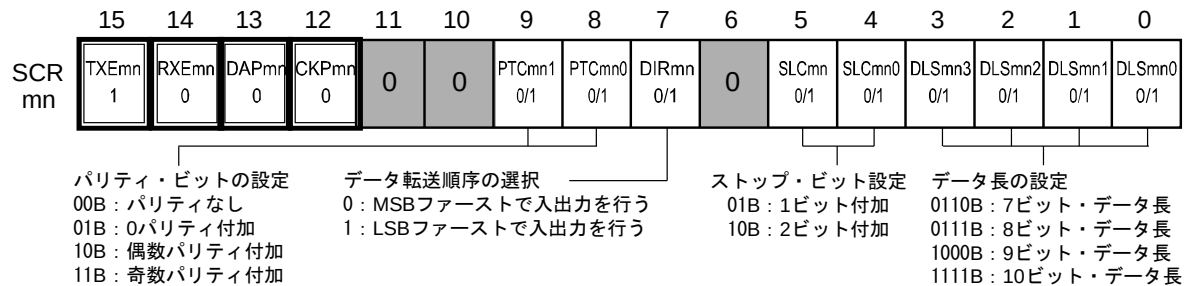
No.44: 図 15-123 SCRmn レジスタの DLSmn[3:0]ビット設定時の誤記修正

対象ページ：P.960

誤) DLSmn0[3:0] = 1111B: 10 ビット・データ長

図15-123 UART (UART0, UART1) のUART送信時のレジスタ設定内容例 (1/2)

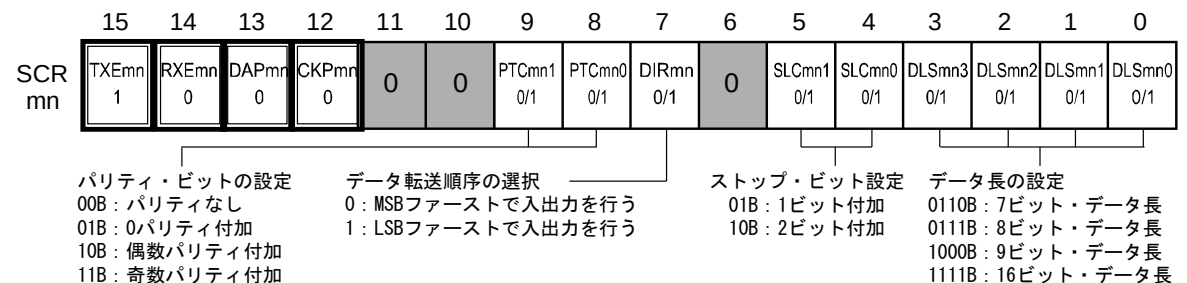
(b) シリアル通信動作設定レジスタmn (SCRmn)



正) DLSmn0[3:0] = 1111B: 16 ビット・データ長

図15-123 UART (UART0, UART1) のUART送信時のレジスタ設定内容例 (1/2)

(b) シリアル通信動作設定レジスタmn (SCRmn)





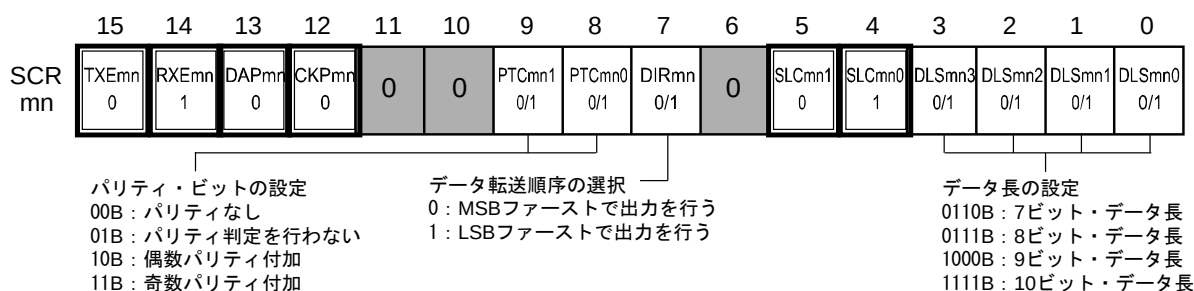
# No.45: 図 15-131 SCRmn レジスタの DLSmn[3:0]ビット設定時の誤記修正

対象ページ：P.969

誤) DLSmn0[3:0] = 1111B: 10 ビット・データ長

図15-131 UART (UART0, UART1) のUART受信時のレジスタ設定内容例 (1/2)

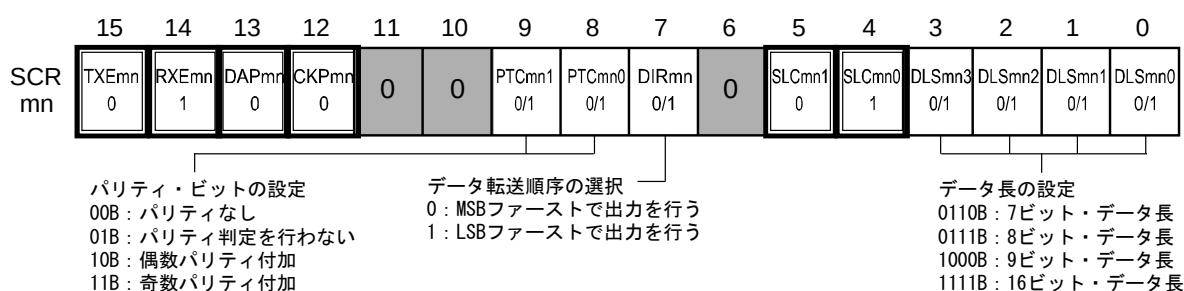
(c) シリアル通信動作設定レジスタmn (SCRmn)



正) DLSmn0[3:0] = 1111B: 16 ビット・データ長

図15-131 UART (UART0, UART1) のUART受信時のレジスタ設定内容例 (1/2)

(c) シリアル通信動作設定レジスタmn (SCRmn)



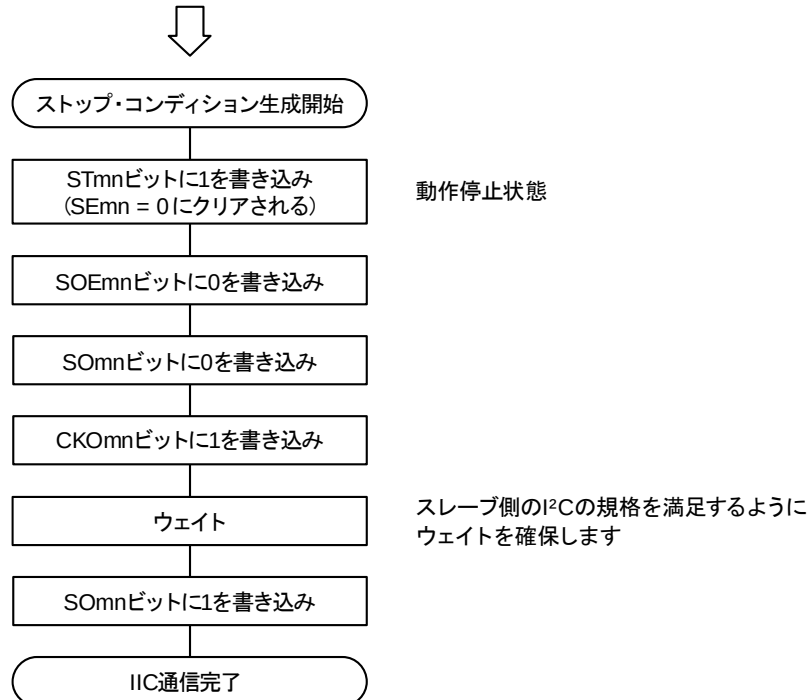
# No.46: 図 15-156 CKOmn ビット設定部にコメントを追加

対象ページ：P.1007

誤)

図15-156 ストップ・コンディション発生時のフロー・チャート

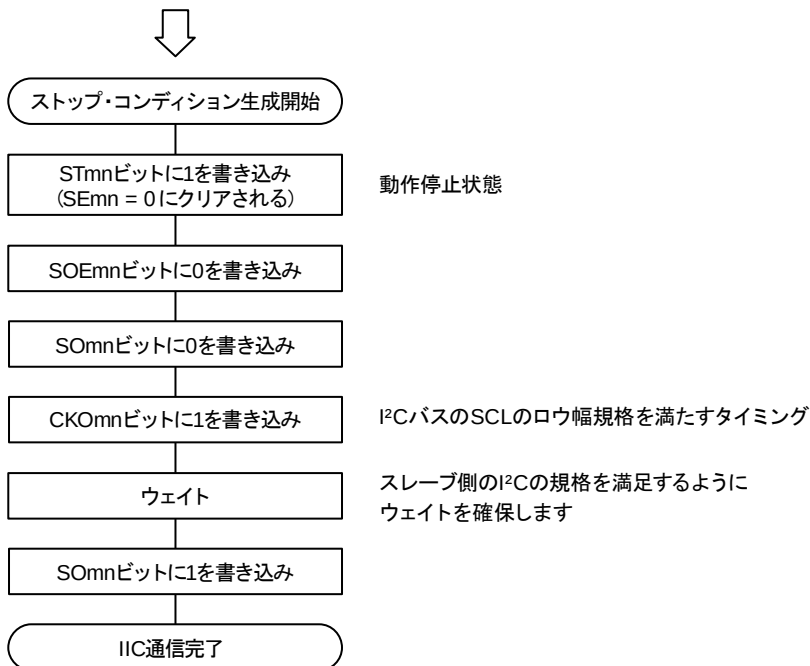
データ送信完了/データ受信完了



正) 「CKOmn ビットに 1 を書き込み」部にコメントを追加します。

図15-156 ストップ・コンディション発生時のフロー・チャート

データ送信完了/データ受信完了



# No.47: 17.2.1 (16) LIN リセット・モード遷移に関する注記を追加

対象ページ：P.1122

正) LIN リセット・モード遷移に関する注記を追加します。

(16) LIN/UART コントロール・レジスタ (LCUCn)

アドレス：F06CEH

| 略号       | 7 | 6 | 5 | 4 | 3 | 2 | 1   | 0   |
|----------|---|---|---|---|---|---|-----|-----|
| LCUCn    | 0 | 0 | 0 | 0 | 0 | 0 | OM1 | OM0 |
| リセット後の値： | 0 | 0 | 0 | 0 | 0 | 0 | 0   | 0   |

- OM0 ビット (LIN リセット・ビット)

LIN リセット・モードへの移行／LIN リセット・モードの解除を選択するビットです。

0にすると，LIN リセット・モードになります。

1にすると，LIN リセット・モードは解除されます。

**注意** タイムアウト・エラー検出を許可 (LEDEn レジスタの FTERE ビットを 1) している状態で，LIN モードから LIN リセット・モードに遷移し，再度 LIN モードに移行する場合は，「17.3.1 LIN リセット・モード」に示す手順でエラー・フラグのクリアを行ってください。

# No.48: 17.2.2 (3) 表下部の注意の誤記修正

対象ページ：P.1136

誤)

(3) 周辺イネーブル・レジスタ 2 (PER2)

アドレス：F02C1H リセット時：00H R/W

| 略号   | 7 | 6     | 5 | 4 | 3        | 2      | 1 | 0        |
|------|---|-------|---|---|----------|--------|---|----------|
| PER2 | 0 | AAUEN | 0 | 0 | LIN1EN 注 | LIN0EN | 0 | CAN0EN 注 |

**注意** 次のビットには必ず 0 を設定してください。

・ RL78/F23：ビット 0, 3, 4, 5, 7

・ RL78/F14：ビット 4, 5, 7

正)

(3) 周辺イネーブル・レジスタ 2 (PER2)

アドレス：F02C1H リセット時：00H R/W

| 略号   | 7 | 6     | 5 | 4 | 3        | 2      | 1 | 0        |
|------|---|-------|---|---|----------|--------|---|----------|
| PER2 | 0 | AAUEN | 0 | 0 | LIN1EN 注 | LIN0EN | 0 | CAN0EN 注 |

**注意** 次のビットには必ず 0 を設定してください。

・ RL78/F23：ビット 0, 1, 3, 4, 5, 7

・ RL78/F24：ビット 1, 4, 5, 7

# No.49: 17.2.2 (15) LIN リセット・モード遷移に関する注記を追加

対象ページ：P.1150

正) LIN リセット・モード遷移に関する注記を追加します。

(15) LIN/UART コントロール・レジスタ (LCUCn)

アドレス：F06CEH

| 略号       | 7 | 6 | 5 | 4 | 3 | 2 | 1   | 0   |
|----------|---|---|---|---|---|---|-----|-----|
| LCUCn    | 0 | 0 | 0 | 0 | 0 | 0 | OM1 | OM0 |
| リセット後の値： | 0 | 0 | 0 | 0 | 0 | 0 | 0   | 0   |

- OM0 ビット (LIN リセット・ビット)

LIN リセット・モードへの移行／LIN リセット・モードの解除を選択するビットです。

0 にすると、LIN リセット・モードになります。

1 にすると、LIN リセット・モードは解除されます。

**注意** タイムアウト・エラー検出を許可 (LEDEn レジスタの TERE ビットを 1) している状態で、LIN モードから LIN リセット・モードに遷移し、再度 LIN モードに移行する場合は、「17.3.1 LIN リセット・モード」に示す手順でエラー・フラグのクリアを行ってください。

# No.50: 17.2.3 (3) 表下部の注意の誤記修正

対象ページ：P.1167

誤)

(3) 周辺イネーブル・レジスタ 2 (PER2)

アドレス：F02C1H リセット時：00H R/W

| 略号   | 7 | 6     | 5 | 4 | 3        | 2      | 1 | 0        |
|------|---|-------|---|---|----------|--------|---|----------|
| PER2 | 0 | AAUEN | 0 | 0 | LIN1EN 注 | LIN0EN | 0 | CAN0EN 注 |

**注意** 次のビットには必ず 0 を設定してください。

・ RL78/F23：ビット 0, 3, 4, 5, 7

・ RL78/F14：ビット 4, 5, 7

正)

(3) 周辺イネーブル・レジスタ 2 (PER2)

アドレス：F02C1H リセット時：00H R/W

| 略号   | 7 | 6     | 5 | 4 | 3        | 2      | 1 | 0        |
|------|---|-------|---|---|----------|--------|---|----------|
| PER2 | 0 | AAUEN | 0 | 0 | LIN1EN 注 | LIN0EN | 0 | CAN0EN 注 |

**注意** 次のビットには必ず 0 を設定してください。

・ RL78/F23：ビット 0, 1, 3, 4, 5, 7

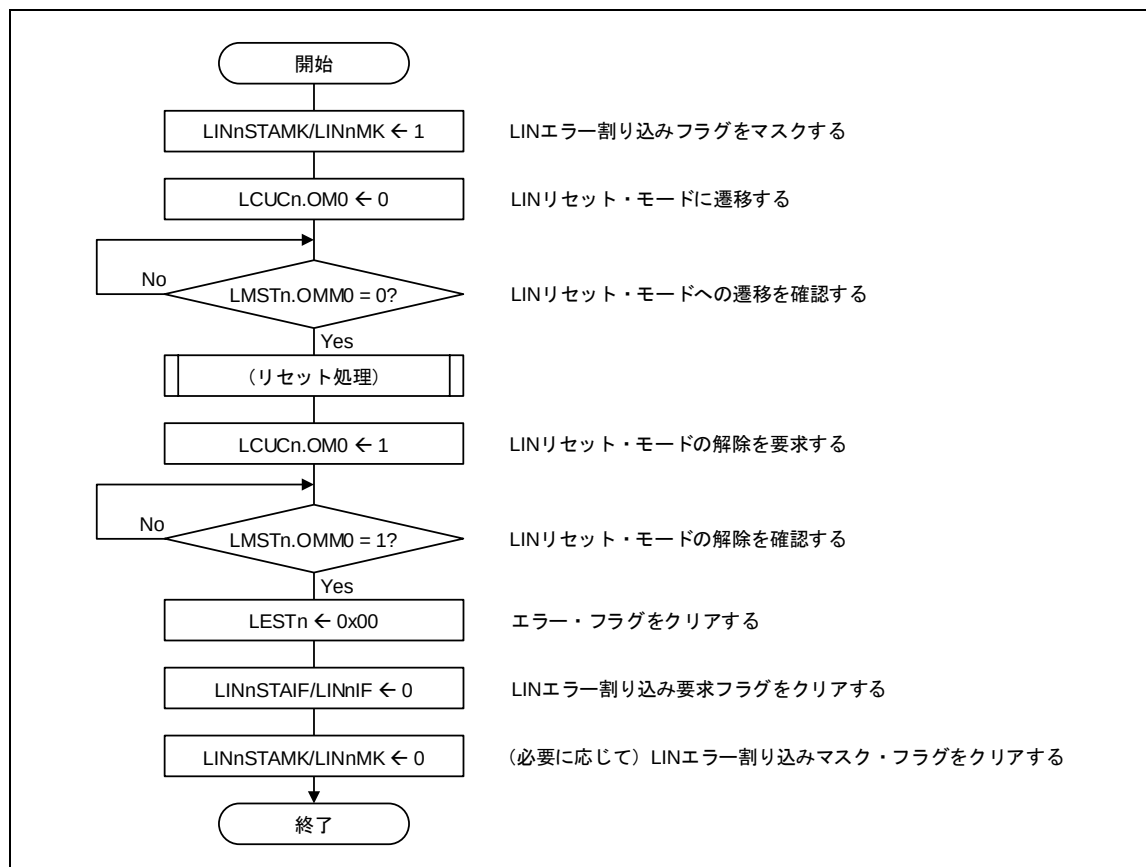
・ RL78/F24：ビット 1, 4, 5, 7

**No.51: 17.3.1 タイムアウト・エラー検出許可時に LIN リセット・モードに遷移する際の注意記載を追加**

対象ページ：P.1198

正) LIN リセット・モード遷移に関する注記を追加します。

**注意** タイムアウト・エラー検出を許可（LEDEn レジスタの FTERE または TERE ビットを 1）している状態で、LIN モードから LIN リセット・モードに遷移し、再度 LIN モードに移行する場合は、下図で示す手順でエラー・フラグのクリアを行ってください。PER2 レジスタの LINnEN ビットを 0 として再度 LIN モードに移行する場合は、エラー・フラグのクリアは不要です。

**No.52: 18.3.5 DBRP[7:0]ビットの設定値の誤記修正**

対象ページ：P.1289

誤)

- DBRP[7:0]

設定値を P (0~1023) とすると、プリスケアラは  $f_{CAN}$  を P+1 で分周します。

CAN 通信クロック ( $f_{CAN}$ ) を DBRP[7:0]ビットで分周したクロックが CAN0Tq クロック ( $f_{CANTQ0}$ ) になり、CAN0Tq クロックの 1 クロックが 1 Time Quantum (Tq) になります。

このビットは、チャンネル動作モードおよびチャンネル・スリープ・モードでは書き込むことができません。チャンネル・リセット・モードまたはチャンネル HALT モード時に設定してください。

正)

- DBRP[7:0]

設定値を P (0~255) とすると、プリスケアラは  $f_{CAN}$  を P+1 で分周します。

CAN 通信クロック ( $f_{CAN}$ ) を DBRP[7:0]ビットで分周したクロックが CAN0Tq クロック ( $f_{CANTQ0}$ ) になり、CAN0Tq クロックの 1 クロックが 1 Time Quantum (Tq) になります。

このビットは、チャンネル動作モードおよびチャンネル・スリープ・モードでは書き込むことができません。チャンネル・リセット・モードまたはチャンネル HALT モード時に設定してください。

No.53: 表 19-1    転送モード／リピート・モード時の仕様説明に高速 DTC の記載を追加

対象ページ：P.1502

誤)

表 19-1    DTC の仕様 (1/2)

| 項目    |          | 仕様                                                                                                     |
|-------|----------|--------------------------------------------------------------------------------------------------------|
| 転送モード | ノーマル・モード | DTCCTjレジスタ，HDTCCCTmレジスタが1から0になる転送で終了する                                                                 |
|       | リピート・モード | DTCCTjレジスタ，HDTCCCTmレジスタが1から0になる転送終了後，リピート・エリアのアドレスを初期化し， <u>DTRLdjレジスタの値がDTCCTjレジスタへリロードして</u> 転送を継続する |

正)

表 19-1    DTC の仕様 (1/2)

| 項目    |          | 仕様                                                                                                                              |
|-------|----------|---------------------------------------------------------------------------------------------------------------------------------|
| 転送モード | ノーマル・モード | DTCCTjレジスタ，HDTCCCTmレジスタが1から0になる転送で終了する                                                                                          |
|       | リピート・モード | DTCCTjレジスタ，HDTCCCTmレジスタが1から0になる転送終了後，リピート・エリアのアドレスを初期化し， <u>DTRLdjレジスタ，HDTRLdmレジスタの値がDTCCTjレジスタ，HDTCCCTmレジスタへリロードされ，転送を継続する</u> |

No.54: 19.3.4    DTCCR23 レジスタの注記を追加

対象ページ：P.1532

誤)

19.3.4    チェイン転送

DTCCRj (j = ~~0-22~~) レジスタの CHNE ビットが 1 (チェイン転送許可) のとき，1 つの起動要因で複数のデータ転送を連続してできます。

正)

19.3.4    チェイン転送

DTCCRj (j = ~~0-22~~ <sup>注</sup>) レジスタの CHNE ビットが 1 (チェイン転送許可) のとき，1 つの起動要因で複数のデータ転送を連続してできます。

**注**    DTCCR23 レジスタの CHNE ビットは 0 (チェイン転送禁止) にしてください。

No.55: 19.4.2    汎用レジスタのアドレス誤記を修正

対象ページ：P.1534

誤)

19.4.2    DTC コントロール・データ領域と DTC ベクタ・テーブル領域の配置

DTC コントロール・データとベクタ・テーブルを配置できる領域は製品および使用条件によって異なります。

- 汎用レジスタ (~~FFF00H-FFEE0H~~) の空間は，DTC コントロール・データ領域および DTC ベクタ・テーブル領域としての使用を禁止します。

正)

19.4.2    DTC コントロール・データ領域と DTC ベクタ・テーブル領域の配置

DTC コントロール・データとベクタ・テーブルを配置できる領域は製品および使用条件によって異なります。

- 汎用レジスタ (~~FFEE0H-FFEFFH~~) の空間は，DTC コントロール・データ領域および DTC ベクタ・テーブル領域としての使用を禁止します。

No.56: 図 21-9 ISC0, ISC2 および ISC3 ビットの予約語定義の誤りを修正

対象ページ：P.1575

誤)

図 21-9 入力切り替え制御レジスタ (ISC) のフォーマット

アドレス：F0073H リセット時：00H R/W

| 略号  | 7 | 6 | 5 | 4 | 3    | 2    | 1 | 0    |
|-----|---|---|---|---|------|------|---|------|
| ISC | 0 | 0 | 0 | 0 | ISC3 | ISC2 | 0 | ISC0 |

正)

図 21-9 入力切り替え制御レジスタ (ISC) のフォーマット

アドレス：F0073H リセット時：00H R/W

| 略号  | 7 | 6 | 5 | 4 | 3    | 2    | 1 | 0    |
|-----|---|---|---|---|------|------|---|------|
| ISC | 0 | 0 | 0 | 0 | ISC3 | ISC2 | 0 | ISC0 |

No.57: 21.4.5 割り込み要求保留命令が連続した場合の状態説明の例を追加

対象ページ：P.1586

正) 割り込み要求保留命令が連続した場合の状態を示す例を追加します。

21.4.5 割り込み要求の保留

注 割り込み要求保留命令が連続した場合は、割り込み要求の保留状態が継続します。

例 1) 割り込み要求の保留が継続

|                                    |            |
|------------------------------------|------------|
| EI ; Enable interrupt instruction  | 割り込み要求保留命令 |
| DI ; Disable interrupt instruction | 割り込み要求保留命令 |

例 2) 割り込み要求は受け付けられる

|                                    |            |
|------------------------------------|------------|
| EI ; Enable interrupt instruction  | 割り込み要求保留命令 |
| NOP ;                              |            |
| DI ; Disable interrupt instruction | 割り込み要求保留命令 |

No.58: 表 24-4 注 2 のビット・シンボルの誤記修正

対象ページ：P.1621

誤)

表 24-4 リセット機能の制御レジスタ

| アドレス   | レジスタ名                | シンボル   | リセット時  | アクセス・サイズ |
|--------|----------------------|--------|--------|----------|
| FFFA8H | リセット・コントロール・フラグ・レジスタ | RESF   | 00H 注1 | 8        |
| F02C9H | POR/CLM リセット確認レジスタ   | POCRES | 00H 注2 | 1, 8     |

- 注 1. リセット後の値は、リセット要因によって異なります。
2. ビット 0 (**POCRES ビット**) は、POR 以外のリセット要因発生時はリセット直前の値を保持します。

正)

表 24-4 リセット機能の制御レジスタ

| アドレス   | レジスタ名                | シンボル   | リセット時  | アクセス・サイズ |
|--------|----------------------|--------|--------|----------|
| FFFA8H | リセット・コントロール・フラグ・レジスタ | RESF   | 00H 注1 | 8        |
| F02C9H | POR/CLM リセット確認レジスタ   | POCRES | 00H 注2 | 1, 8     |

- 注 1. リセット後の値は、リセット要因によって異なります。
2. POR 以外のリセット要因発生時は、リセット直前のビット 0 (**POCRES0 ビット**) の値が保持されます。

No.59: 図 24-6 注のビット・シンボルの誤記修正

対象ページ：P.1623

誤)

図 24-6    POR/CLM リセット確認レジスタ (POCRES) のフォーマット

アドレス：F02C9H    リセット時：00H<sup>※</sup>    R/W

| 略号     | 7 | 6 | 5 | 4     | 3 | 2 | 1 | 0       |
|--------|---|---|---|-------|---|---|---|---------|
| POCRES | 0 | 0 | 0 | CLKRF | 0 | 0 | 0 | POCRES0 |

注    POR 以外のリセット要因発生時は、リセット直前の POCRES ビット の値が保持されます。

正)

図 24-6    POR/CLM リセット確認レジスタ (POCRES) のフォーマット

アドレス：F02C9H    リセット時：00H<sup>※</sup>    R/W

| 略号     | 7 | 6 | 5 | 4     | 3 | 2 | 1 | 0       |
|--------|---|---|---|-------|---|---|---|---------|
| POCRES | 0 | 0 | 0 | CLKRF | 0 | 0 | 0 | POCRES0 |

注    POR 以外のリセット要因発生時は、リセット直前の **POCRES0 ビット** の値が保持されます。

No.60: 26.1 箇条書きの 4 つ目の説明文を修正

対象ページ：P.1630

誤)

26.1    電圧検出回路の機能

- 電源投入後は、動作電圧が 36.4 章、37.4 章、38.4 章の AC 特性で定義された範囲になるまでリセット状態を維持する必要があります。これは、電圧検出回路を利用するか、外部リセット信号の制御で行います。電源の立ち下げ後は直ちに STOP モードに移行している必要があります、もしくは電圧検出回路を利用するか外部リセットを制御し、電源電圧が動作電圧範囲を下回る前にリセット状態にしてください。

正)

26.1    電圧検出回路の機能

- 電源立ち上がり時は、電気的特性で示す動作電圧範囲まで電源検出回路または外部リセットにより、リセット状態を維持してください。電源立ち下がり時は、動作電圧範囲を下回る前に STOP モードに移行するか、または、電源検出回路や外部リセットにより、リセット状態にしてください。



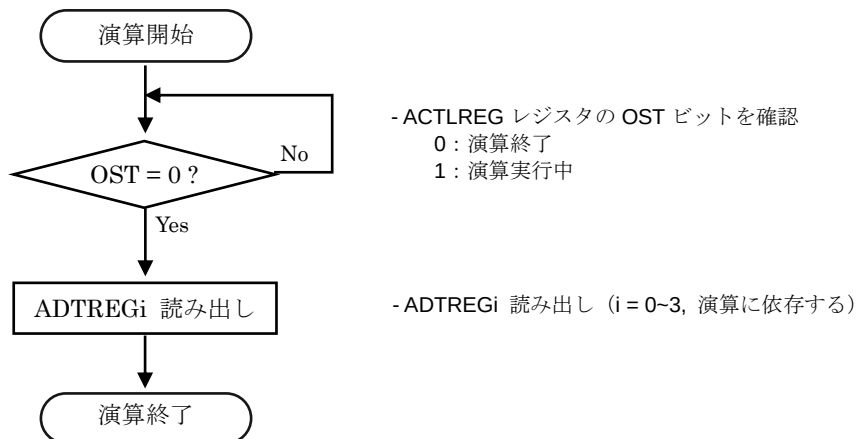
# No.61: 図 27-37 (a) の処理フローを修正

対象ページ：P.1672

誤)

図 27-37 演算結果の読み出し処理フロー

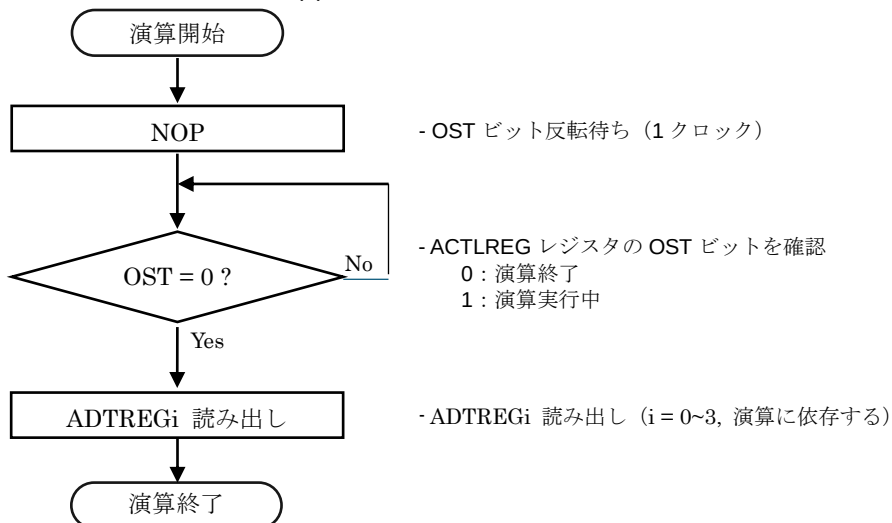
(a) 演算ステータスの確認



正) OST ビット判定待ち (1 クロック) を追加します。

図 27-37 演算結果の読み出し処理フロー

(a) 演算ステータスの確認



# No.62: 27.3.2.4 内部計算式の誤記修正

対象ページ：P.1677

誤)

クラーク-パーク変換（絶対変換）の計算：

```
// AAU: Clarke & Park transformation (Power invariant transformation)
signed short    sin_buf, cos_buf, temp16_0, temp16_1;
signed long     temp32_0, temp32_1, temp32_2, temp32_3;

sin_buf = AAU_SIN(ADTREG2);          /* -16384 to 16384: -1.0 to 1.0 << 14 */
cos_buf = AAU_COS(ADTREG2);          /* -16384 to 16384: -1.0 to 1.0 << 14 */
temp32_0 = (signed long)ADTREG0 * 20066; /* 20066: sqrt(3/2) << 14 */
temp16_0 = (signed short)(temp32_0 >> 14U);
temp32_0 = (signed long)temp16_0 * (signed long)cos_buf;
temp16_1 = ADTREG0 + ADTREG1;
temp16_1 = temp16_1 + ADTREG1;
temp32_1 = (signed long)temp16_1 * 23170; /* 23170: sqrt(2)/2 << 15 */
temp16_1 = (signed short)(temp32_1 >> 15U);
temp32_1 = (signed long)temp16_1 * (signed long)cos_buf;
temp32_1 = -temp32_1;
temp32_2 = (signed long)temp16_1 * (signed long)sin_buf;
ADTREG0 = (unsigned short)((temp32_0 - temp32_2) >> 14U);
temp32_3 = (signed long)temp16_0 * (signed long)sin_buf;
ADTREG1 = (unsigned short)((temp32_1 - temp32_3) >> 14U);
```

正)

クラーク-パーク変換（絶対変換）の計算：

```
// AAU: Clarke & Park transformation (Power invariant transformation)
signed short    sin_buf, cos_buf, temp16_0, temp16_1;
signed long     temp32_0, temp32_1, temp32_2, temp32_3;

sin_buf = AAU_SIN(ADTREG2);          /* -16384 to 16384: -1.0 to 1.0 << 14 */
cos_buf = AAU_COS(ADTREG2);          /* -16384 to 16384: -1.0 to 1.0 << 14 */
temp32_0 = (signed long)ADTREG0 * 20066; /* 20066: sqrt(3/2) << 14 */
temp16_0 = (signed short)(temp32_0 >> 14U);
temp32_0 = (signed long)temp16_0 * (signed long)cos_buf;
temp32_1 = ADTREG0 + ADTREG1;
temp32_1 = temp32_1 + ADTREG1;
temp32_1 = temp32_1 * 23170;          /* 23170: sqrt(2)/2 << 15 */
temp16_1 = (signed short)(temp32_1 >> 15U);
temp32_1 = (signed long)temp16_1 * (signed long)cos_buf;
temp32_1 = -temp32_1;
temp32_2 = (signed long)temp16_1 * (signed long)sin_buf;
ADTREG0 = (unsigned short)((temp32_0 - temp32_2) >> 14U);
temp32_3 = (signed long)temp16_0 * (signed long)sin_buf;
ADTREG1 = (unsigned short)((temp32_1 - temp32_3) >> 14U);
```

# No.63: 27.3.2.5 内部計算式の誤記修正

対象ページ：P.1679

誤)

クラーク-パーク変換（相対変換）の計算：

```
// AAU: Clarke & Park transformation (Amplitude invariant transformation)
signed short  sin_buf, cos_buf, temp16_0, temp16_1;
signed long   temp32_0, temp32_1, temp32_2, temp32_3;

sin_buf = AAU_SIN(ADTREG2);          /* -16384 to 16384: -1.0 to 1.0 << 14 */
cos_buf = AAU_COS(ADTREG2);          /* -16384 to 16384: -1.0 to 1.0 << 14 */
temp16_0 = ADTREG0;
temp32_0 = (signed long)temp16_0 * (signed long)cos_buf;
temp16_1 = ADTREG0 + ADTREG1;
temp16_1 = temp16_1 + ADTREG1;
temp32_1 = (signed long)temp16_1 * 18919; /* 18919: sqrt(3)/3 << 15 */
temp16_1 = (signed short)(temp32_1 >> 15U);
temp32_1 = (signed long)temp16_1 * (signed long)cos_buf;
temp32_1 = -temp32_1;
temp32_2 = (signed long)temp16_1 * (signed long)sin_buf;
ADTREG0 = (unsigned short)((temp32_0 - temp32_2) >> 14U);
temp32_3 = (signed long)temp16_0 * (signed long)sin_buf;
ADTREG1 = (unsigned short)((temp32_1 - temp32_3) >> 14U);
```

正)

クラーク-パーク変換（相対変換）の計算：

```
// AAU: Clarke & Park transformation (Amplitude invariant transformation)
signed short  sin_buf, cos_buf, temp16_0, temp16_1;
signed long   temp32_0, temp32_1, temp32_2, temp32_3;

sin_buf = AAU_SIN(ADTREG2);          /* -16384 to 16384: -1.0 to 1.0 << 14 */
cos_buf = AAU_COS(ADTREG2);          /* -16384 to 16384: -1.0 to 1.0 << 14 */
temp16_0 = ADTREG0;
temp32_0 = (signed long)temp16_0 * (signed long)cos_buf;
temp32_1 = ADTREG0 + ADTREG1;
temp32_1 = temp32_1 + ADTREG1;
temp32_1 = temp32_1 * 18919;          /* 18919: sqrt(3)/3 << 15 */
temp16_1 = (signed short)(temp32_1 >> 15U);
temp32_1 = (signed long)temp16_1 * (signed long)cos_buf;
temp32_1 = -temp32_1;
temp32_2 = (signed long)temp16_1 * (signed long)sin_buf;
ADTREG0 = (unsigned short)((temp32_0 - temp32_2) >> 14U);
temp32_3 = (signed long)temp16_0 * (signed long)sin_buf;
ADTREG1 = (unsigned short)((temp32_1 - temp32_3) >> 14U);
```

# No.64: 27.3.2.14 内部計算式の誤記修正

対象ページ：P.1696

誤)

DC/DC 制御向け PI 制御の計算：

```
// AAU: PI control for DC/DC converter (Channel.1)
signed long    temp32_0, temp32_1;

temp32_0 = (signed long)(AL1REF - AIPL1) * (signed long)AKI2;
temp32_1 = (signed long)(ADTREG0 - AL10FS);
temp32_0 = temp32_0 + ((signed long)AL1REF - temp32_1) * (signed long)AKI1;
temp32_0 = temp32_0 + (signed long)ADUTYL1;
// < Overflow/underflow check >
if (temp32_0 > (signed long)(ADUTYMX * 256)) {
    temp32_0 = (signed long)(ADUTYMX * 256);
}
else if (temp32_0 < 0) {
    temp32_0 = 0;
}
AIPL1 = (unsigned short)temp32_1;
ADTREG0 = (unsigned short)temp32_0;
```

正)

DC/DC 制御向け PI 制御の計算：

```
// AAU: PI control for DC/DC converter (Channel.1)
signed long    temp32_0, temp32_1;

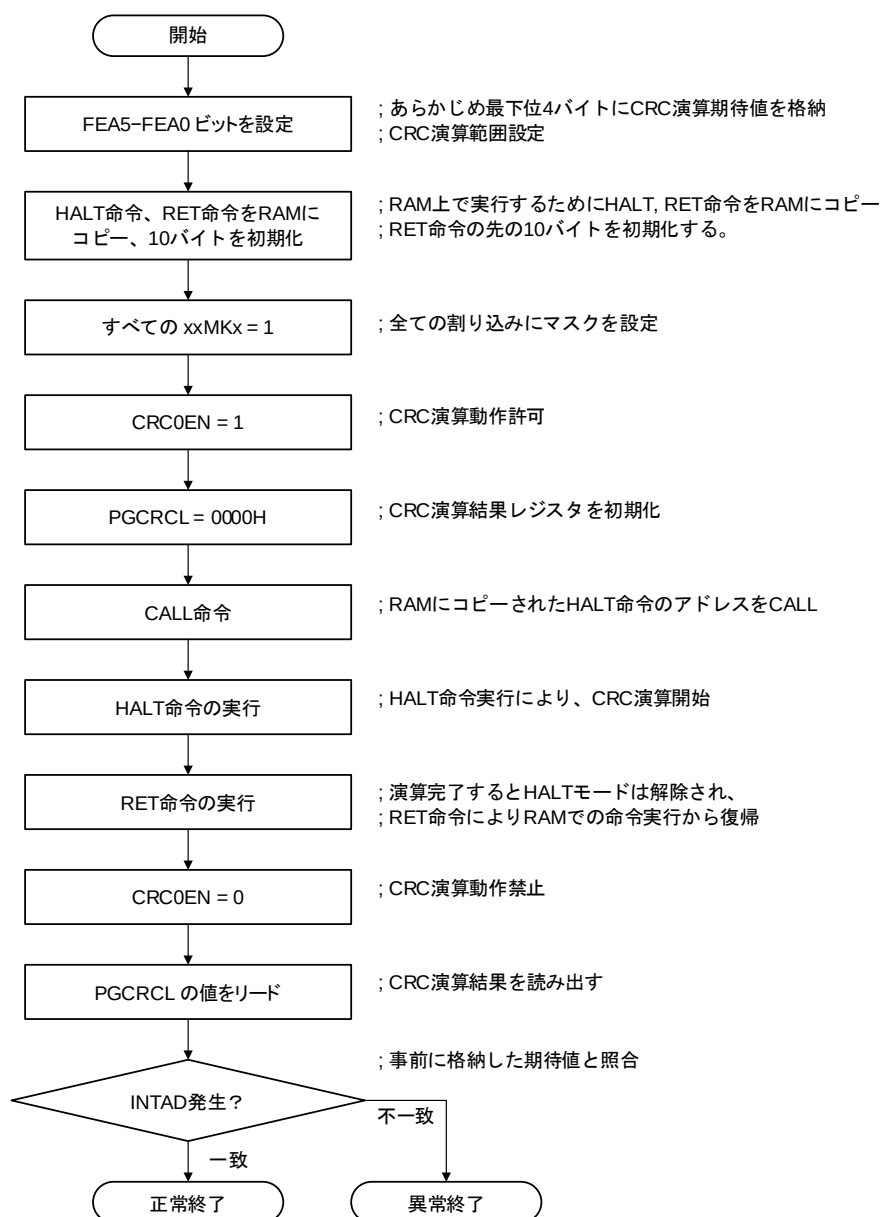
temp32_0 = (signed long)(AL1REF - AIPL1) * (signed long)AKI2;
temp32_1 = (signed long)(ADTREG0 - AL10FS);
temp32_0 = temp32_0 + ((signed long)AL1REF - temp32_1) * (signed long)AKI1;
temp32_0 = temp32_0 + (signed long)ADUTYL1;
// < Overflow/underflow check >
if (temp32_0 > (signed long)(ADUTYMX * 256)) {
    temp32_0 = (signed long)(ADUTYMX * 256);
}
else if (temp32_0 < 0) {
    temp32_0 = 0;
}
AIPL1 = (unsigned short)temp32_1;
ADTREG0 = (unsigned short)temp32_0;
```

# No.65: 図 28-3 判定部の誤記修正

対象ページ：P.1704

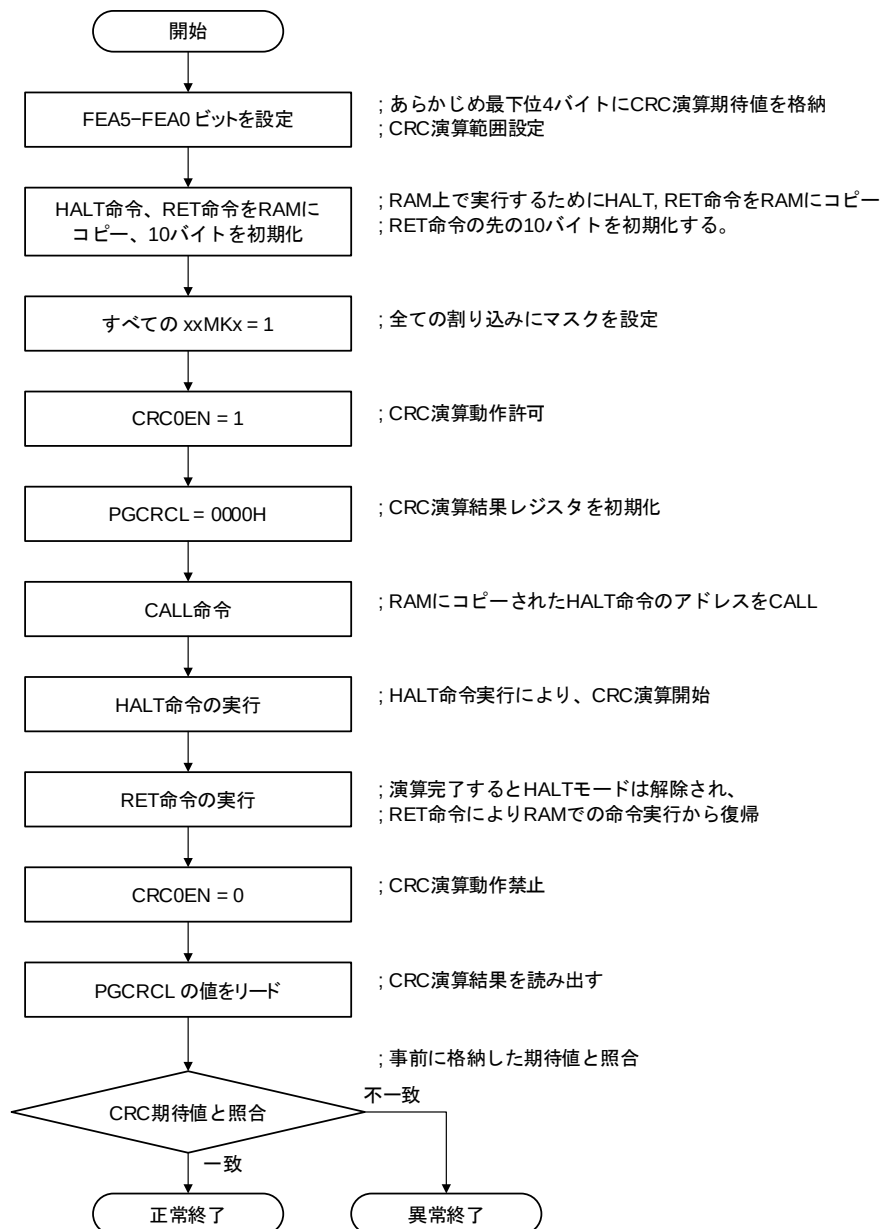
誤) 判定部：INTAD発生

図28-3 フラッシュ・メモリCRC演算機能（高速CRC）のフロー・チャート



正) 判定部：CRC 期待値と照合

図28-3 フラッシュ・メモリCRC演算機能（高速CRC）のフロー・チャート



No.66: 28.3.5 動作の説明：1 の表内のシンドローム・コードのレジスタ・シンボルの誤記修正

対象ページ：P.1729

誤)

28.3.5 コード・フラッシュ・メモリ ECC 機能

動作の説明：

注 下表にバッファの情報を示します。

| バッファ                                                                                                 | アドレス                                               | シンドローム・コード                       |
|------------------------------------------------------------------------------------------------------|----------------------------------------------------|----------------------------------|
| テンポラリ・キャプチャ・バッファ<br>(コード・フラッシュ・ビット・エラー検出アドレス・レジスタ H, コード・フラッシュ・ビット・エラー検出アドレス・レジスタ L)                 | ERRADRH.ERRADR[19:16],<br>ERRADRL.ERRADR[15:2]     | <del>RRADRH</del> .ERRDAT[5:0]   |
| パーマネント・キャプチャ・バッファ<br>(コード・フラッシュ・ビット・エラー検出アドレス・レジスタ nH, コード・フラッシュ・ビット・エラー検出アドレス・レジスタ nL)<br>(n = 1-3) | ERRADRnH.ERRADRn[19:16],<br>ERRADRnL.ERRADRn[15:2] | <del>RRADRnH</del> .ERRDATn[5:0] |

正)

動作の説明：

注 下表にバッファの情報を示します。

| バッファ                                                                                                 | アドレス                                               | シンドローム・コード            |
|------------------------------------------------------------------------------------------------------|----------------------------------------------------|-----------------------|
| テンポラリ・キャプチャ・バッファ<br>(コード・フラッシュ・ビット・エラー検出アドレス・レジスタ H, コード・フラッシュ・ビット・エラー検出アドレス・レジスタ L)                 | ERRADRH.ERRADR[19:16],<br>ERRADRL.ERRADR[15:2]     | ERRADRH.ERRDAT[5:0]   |
| パーマネント・キャプチャ・バッファ<br>(コード・フラッシュ・ビット・エラー検出アドレス・レジスタ nH, コード・フラッシュ・ビット・エラー検出アドレス・レジスタ nL)<br>(n = 1-3) | ERRADRnH.ERRADRn[19:16],<br>ERRADRnL.ERRADRn[15:2] | ERRADRnH.ERRDATn[5:0] |

No.67 図 28-24 AEDST, BEDST および OVFSST ビットの説明を修正

対象ページ：P.1731  
誤)

図28-24 コード・フラッシュ・ビット・エラー検出機能制御レジスタ (CFERRCTLR) のフォーマット

アドレス：F00B8H      リセット時：00H      R/W

略号

|           |     |       |       |       |      |      |           |   |
|-----------|-----|-------|-------|-------|------|------|-----------|---|
|           | 7   | 6     | 5     | 4     | 3    | 2    | 1         | 0 |
| CFERRCTLR | RES | AEDEN | BEDEB | OVFEN | DIAG | 使用不可 | PAGE[1:0] |   |

|       |                 |
|-------|-----------------|
| AEDEN | AED 検出機能許可ビット   |
| 0     | <u>AED 検出禁止</u> |
| 1     | <u>AED 検出許可</u> |

|       |                 |
|-------|-----------------|
| BEDEN | BED 検出機能許可ビット   |
| 0     | <u>BED 検出禁止</u> |
| 1     | <u>BED 検出許可</u> |

|       |                 |
|-------|-----------------|
| OVFEN | OVF 検出機能許可ビット   |
| 0     | <u>OVF 検出禁止</u> |
| 1     | <u>OVF 検出許可</u> |

正)

図28-24 コード・フラッシュ・ビット・エラー検出機能制御レジスタ (CFERRCTLR) のフォーマット

アドレス：F00B8H      リセット時：00H      R/W

略号

|           |     |       |       |       |      |      |           |   |
|-----------|-----|-------|-------|-------|------|------|-----------|---|
|           | 7   | 6     | 5     | 4     | 3    | 2    | 1         | 0 |
| CFERRCTLR | RES | AEDEN | BEDEB | OVFEN | DIAG | 使用不可 | PAGE[1:0] |   |

|       |                                   |  |
|-------|-----------------------------------|--|
| AEDEN | AED 検出機能許可ビット                     |  |
| 0     | AED 検出時の割込み発生と AED 検出ステータス・フラグが無効 |  |
| 1     | AED 検出時の割込み発生と AED 検出ステータス・フラグが有効 |  |

|       |                                   |  |
|-------|-----------------------------------|--|
| BEDEN | BED 検出機能許可ビット                     |  |
| 0     | BED 検出時の割込み発生と BED 検出ステータス・フラグが無効 |  |
| 1     | BED 検出時の割込み発生と BED 検出ステータス・フラグが有効 |  |

|       |                                   |  |
|-------|-----------------------------------|--|
| OVFEN | OVF 検出機能許可ビット                     |  |
| 0     | OVF 検出時の割込み発生と OVF 検出ステータス・フラグが無効 |  |
| 1     | OVF 検出時の割込み発生と OVF 検出ステータス・フラグが有効 |  |



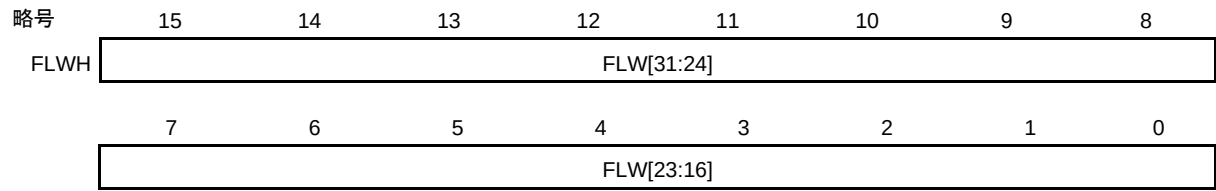
No.68: 図 28-30 FLWH, FLWL レジスタのアドレス記載の誤記修正

対象ページ：P.1737

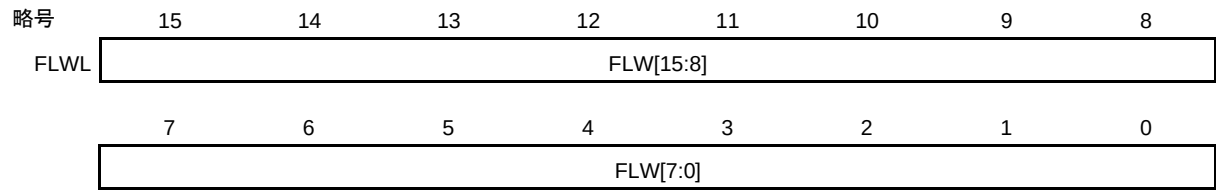
誤)

図 28-30 フラッシュ・ライト・バッファ・レジスタ (FLWH/FLWL) のフォーマット

アドレス：F02BEH リセット時：0000H R/W



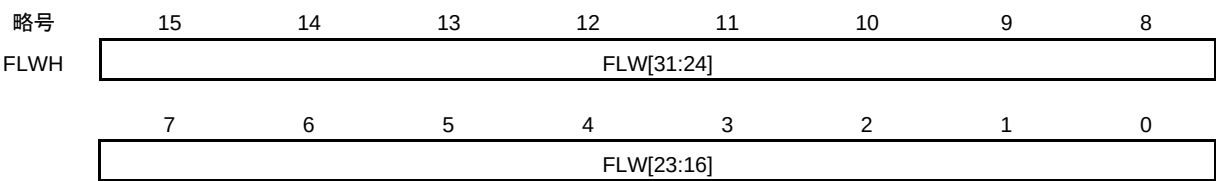
アドレス：F02BCH リセット時：0000H R/W



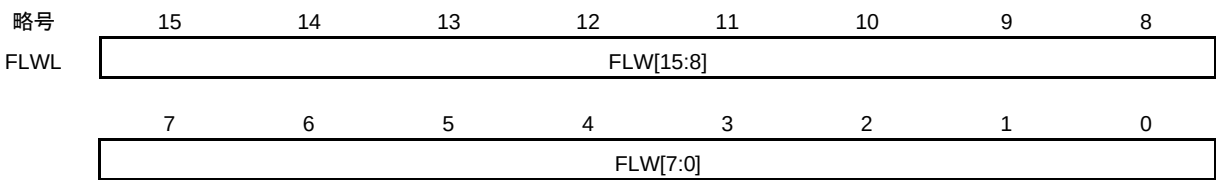
正)

図 28-30 フラッシュ・ライト・バッファ・レジスタ (FLWH/FLWL) のフォーマット

アドレス：F00CEH リセット時：0000H R/W



アドレス：F00CCH リセット時：0000H R/W

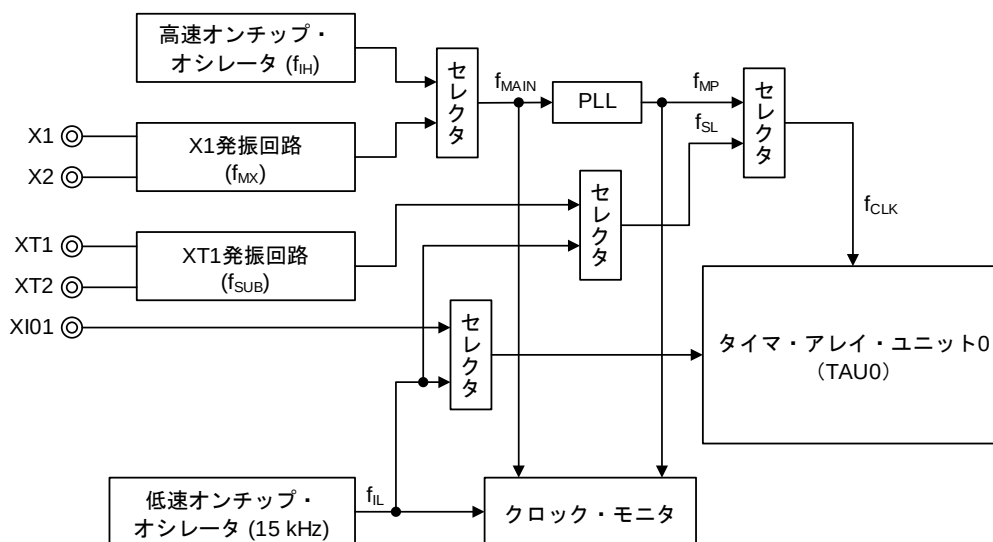


# No.69: 図 28-43 端子名の誤記修正

対象ページ：P.1752

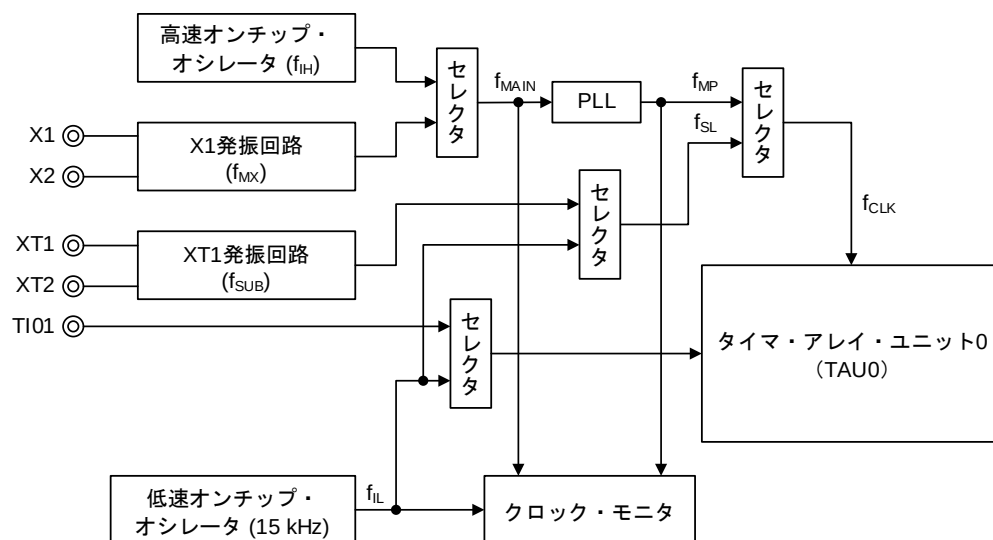
誤) タイマ・アレイ・ユニット0の入力端子：X101

図 28-43 周波数検出機能の構成



正) タイマ・アレイ・ユニット0の入力端子：T101

図 28-43 周波数検出機能の構成



## No.70: 図 31-4 オンチップ・デバッグ動作の説明表に FLPEN ビットを追加。および図下部の注 1 のアドレス誤記を修正

対象ページ：P.1763

誤)

図 31-4 オンチップ・デバッグ・オプション・バイト (000C3H/040C3H) のフォーマット

アドレス：000C3H/040C3H <sup>注1</sup> リセット時：－（ユーザの設定値 <sup>注3</sup>）

|          |   |       |   |   |   |                     |         |
|----------|---|-------|---|---|---|---------------------|---------|
| 7        | 6 | 5     | 4 | 3 | 2 | 1                   | 0       |
| OCDENSET | 0 | FLPEN | 0 | 0 | 1 | HPIEN <sup>注2</sup> | OCDERSD |

| OCDENSET | HPIEN <sup>注2</sup> | OCDERSD | オンチップ・デバッグ動作制御                                                                 |
|----------|---------------------|---------|--------------------------------------------------------------------------------|
| 0        | 0                   | 0       | オンチップ・デバッグ動作禁止                                                                 |
| 1        | 0                   | 0       | オンチップ・デバッグ動作許可、ホット・プラグイン動作禁止。<br>オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する。  |
| 1        | 0                   | 1       | オンチップ・デバッグ動作許可、ホット・プラグイン動作禁止。<br>オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去しない。 |
| 1        | 1                   | 1       | オンチップ・デバッグ動作許可、ホット・プラグイン動作許可。<br>オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去しない。 |
| 上記以外     |                     |         | 設定禁止                                                                           |

注 1. ブート・スワップ時は 000C3H と 040C3H が切り替わるので、040C3H にも **0042H** と同じ値を設定してください。

正)

図 31-4 オンチップ・デバッグ・オプション・バイト (000C3H/040C3H) のフォーマット

アドレス：000C3H/040C3H <sup>注1</sup> リセット時：－（ユーザの設定値 <sup>注3</sup>）

|          |   |       |   |   |   |                     |         |
|----------|---|-------|---|---|---|---------------------|---------|
| 7        | 6 | 5     | 4 | 3 | 2 | 1                   | 0       |
| OCDENSET | 0 | FLPEN | 0 | 0 | 1 | HPIEN <sup>注2</sup> | OCDERSD |

| FLPEN | OCDENSET | HPIEN <sup>注2</sup> | OCDERSD | オンチップ・デバッグ動作制御                                                                           |
|-------|----------|---------------------|---------|------------------------------------------------------------------------------------------|
| 0     | X        | X                   | X       | フラッシュ・シリアル・プログラミング機能およびオンチップ・デバッグ機能の動作禁止                                                 |
| 1     | 0        | 0                   | 0       | オンチップ・デバッグ動作禁止                                                                           |
| 1     | 1        | 0                   | 0       | ・ オンチップ・デバッグ動作許可<br>・ ホット・プラグイン動作禁止<br>・ オンチップ・デバッグ・セキュリティ ID 認証失敗時にフラッシュ・メモリのデータを消去する。  |
| 1     | 1        | 0                   | 1       | ・ オンチップ・デバッグ動作許可<br>・ ホット・プラグイン動作禁止<br>・ オンチップ・デバッグ・セキュリティ ID 認証失敗時にフラッシュ・メモリのデータを消去しない。 |
| 1     | 1        | 1                   | 1       | ・ オンチップ・デバッグ動作許可<br>・ ホット・プラグイン動作許可<br>・ オンチップ・デバッグ・セキュリティ ID 認証失敗時にフラッシュ・メモリのデータを消去しない。 |
| 1     | 上記以外     |                     |         | 設定禁止                                                                                     |

注 1. ブート・スワップ時は 000C3H と 040C3H が切り替わるので、040C3H にも **000C3H** と同じ値を設定してください。

# No.71: 32.7 注意 3 の「(T.B.D.)」を削除

対象ページ：P.1781

誤)

## 32.7 セルフ・プログラミング

注意 3. セルフ・プログラミング中は、高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止している場合は、HIOSTOP を 0 に設定して、高速オンチップ・オシレータ・クロック動作させ、その後、30  $\mu$ s (T.B.D.) 経過後にフラッシュ・セルフ・プログラミングを実行してください。

正)

## 32.7 セルフ・プログラミング

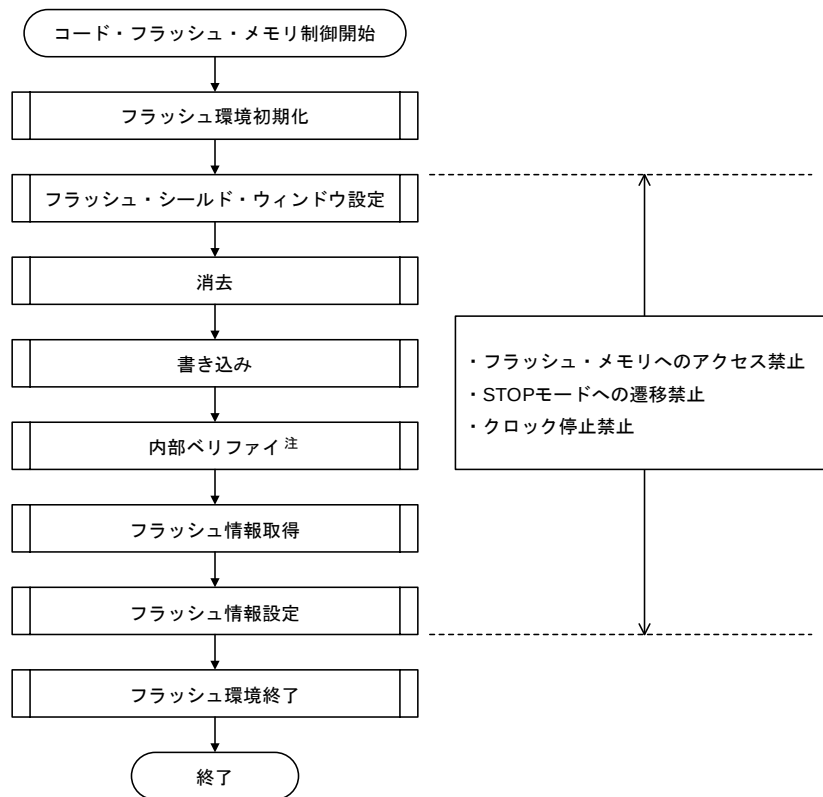
注意 3. セルフ・プログラミング中は、高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止している場合は、HIOSTOP を 0 に設定して、高速オンチップ・オシレータ・クロック動作させ、その後、**30  $\mu$ s** 経過後にフラッシュ・セルフ・プログラミングを実行してください。

# No.72: 図 32-8 フローの注釈部に「HALT モードの遷移禁止」の記載追加

対象ページ：P.1782

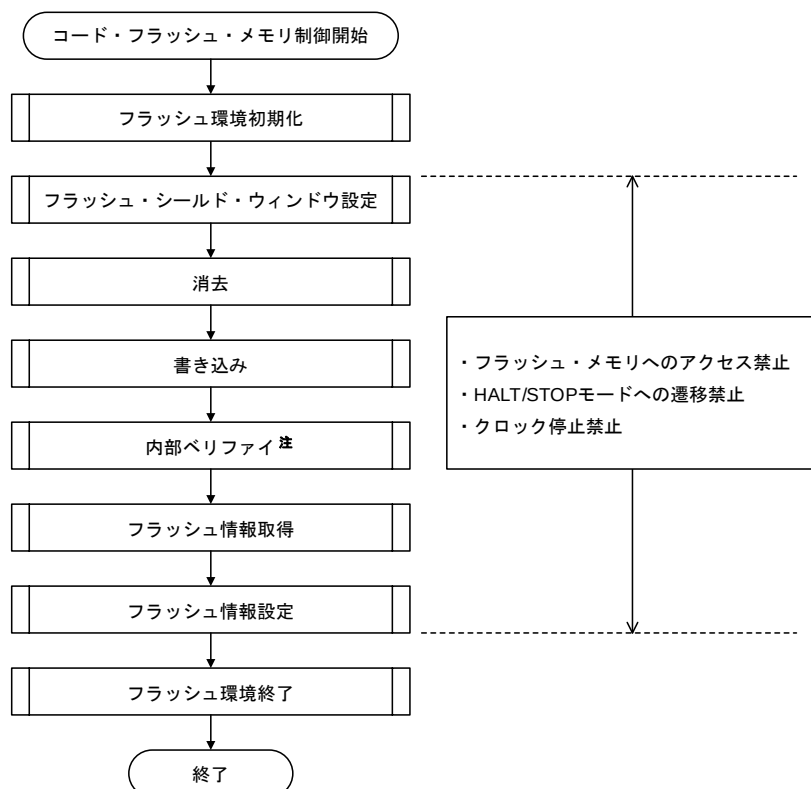
誤) モード遷移の注意：STOP モードへの遷移禁止

図 32-8 セルフ・プログラミング（フラッシュ・メモリの書き換え）のフロー



正) モード遷移の注意：HALT/STOP モードへの遷移禁止

図 32-8 セルフ・プログラミング（フラッシュ・メモリの書き換え）のフロー



No.73: 図 32-13   DCLR ビットの説明を修正

対象ページ：P.1788

誤)

図 32-13   フラッシュ・メモリ・シーケンサ制御レジスタ（FSSQ）のフォーマット

| DCLR | ECC 領域シーケンサの動作制御 |
|------|------------------|
| 0    | ECC 領域シーケンサ停止    |
| 1    | ECC 領域シーケンサ起動    |

正)

図 32-13   フラッシュ・メモリ・シーケンサ制御レジスタ（FSSQ）のフォーマット

| DCLR | ECC 領域シーケンサの停止制御 |
|------|------------------|
| 0    | ECC 領域シーケンサ動作    |
| 1    | ECC 領域シーケンサ停止    |

No.74: 32.7.2.12   FSSQ レジスタの DCLR ビットの条件記載の誤記修正

対象ページ：P.1795

誤)

32.7.2.12   フラッシュ ECC ライト・バッファ・レジスタ（FLWE）

FLWE レジスタは、FSSQ レジスタの DCLR ビットが1のときにフラッシュ・メモリ・プログラミングで使  
れる ECC データを格納します。下位 6 ビットのデータは、コード・フラッシュ・メモリ・プログラミングで使  
れ、下位 4 ビット・データは、データ・フラッシュ・メモリ・プログラミングで使用されます。

正)

32.7.2.12   フラッシュ ECC ライト・バッファ・レジスタ（FLWE）

FSSQ レジスタの DCLR ビットが 0 のとき、FLWE レジスタは、フラッシュ・メモリ・プログラミングで使  
れる ECC データを格納します。DCLR ビットが 1 のときは、ECC 診断用として任意の ECC データを書き込むこ  
ができます。

下位 6 ビットのデータは、コード・フラッシュ・メモリ・プログラミングで使用され、下位 4 ビット・データは、  
データ・フラッシュ・メモリ・プログラミングで使用されます。

No.75: 32.7.6.2   フラッシュ領域選択レジスタのレジスタ・シンボルの誤記修正

対象ページ：P.1804

誤)

32.7.6.2   書き換え領域の選択

コード/データ・フラッシュ・メモリ領域またはエクストラ領域を書き換えるには、フラッシュ領域選択レジスタ  
(FLATS) を使用して、それぞれに対応したユーザ領域またはエクストラ領域を選択します。

正)

32.7.6.2   書き換え領域の選択

コード/データ・フラッシュ・メモリ領域またはエクストラ領域を書き換えるには、フラッシュ領域選択レジスタ  
(FLARS) を使用して、それぞれに対応したユーザ領域またはエクストラ領域を選択します。

**No.76: 32.9.1 箇条書きのモード遷移の記載に「HALT モードへの遷移禁止」を追加**

対象ページ：P.1821

誤)

## 32.9.1 データ・フラッシュの概要

- データ・フラッシュの書き換え中に、STOP モード状態に遷移することは禁止です。

正)

## 32.9.1 データ・フラッシュの概要

- データ・フラッシュの書き換え中に、HALT/STOP モード状態に遷移することは禁止です。

**No.77, 80, 83: 36.3.1, 37.3.1, 28.3.1 ハイ・レベル入力電圧の略号「V<sub>IH4</sub>」に付加された注を削除**

対象ページ：P.1864, P.1917, P.1969

誤)

## 36.3.1, 37.3.1, 38.3.1 端子特性

| 項目         | 略号                       | 条件                                                                 | MIN.                            | TYP.                 | MAX.            | 単位 |
|------------|--------------------------|--------------------------------------------------------------------|---------------------------------|----------------------|-----------------|----|
| ハイ・レベル入力電圧 | <u>V<sub>IH4</sub></u> 注 | P33, P34, P80-P87,<br>P90-P97, P100-P105, P137<br>(Schmitt 3モード固定) | 4.0 V ≤ V <sub>DD</sub> ≤ 5.5 V | 0.8 V <sub>DD</sub>  | V <sub>DD</sub> | V  |
|            |                          |                                                                    | 2.7 V ≤ V <sub>DD</sub> < 4.0 V | 0.85 V <sub>DD</sub> | V <sub>DD</sub> | V  |

正)

## 36.3.1, 37.3.1, 38.3.1 端子特性

| 項目         | 略号               | 条件                                                                 | MIN.                            | TYP.                 | MAX.            | 単位 |
|------------|------------------|--------------------------------------------------------------------|---------------------------------|----------------------|-----------------|----|
| ハイ・レベル入力電圧 | V <sub>IH4</sub> | P33, P34, P80-P87,<br>P90-P97, P100-P105, P137<br>(Schmitt 3モード固定) | 4.0 V ≤ V <sub>DD</sub> ≤ 5.5 V | 0.8 V <sub>DD</sub>  | V <sub>DD</sub> | V  |
|            |                  |                                                                    | 2.7 V ≤ V <sub>DD</sub> < 4.0 V | 0.85 V <sub>DD</sub> | V <sub>DD</sub> | V  |

**No.78, 81: 36.10, 37.10 表下部の注 4 の記載を 38.10 章の記載と合わせる**

対象ページ：P.1905, P.1958

誤)

## 36.10, 37.10 フラッシュ・メモリ・プログラミング特性

注意 4. 規定されたデータ保持時間は、平均温度（T<sub>A</sub>）が 85℃以下の条件のものです。

正)

## 36.10, 37.10 フラッシュ・メモリ・プログラミング特性

注意 4. 保持の平均温度です。

# No.79, 82, 84: 36.10, 37.10, 38.10 (1) コード・フラッシュ・メモリ処理時間、(2) データ・フラッシュ・メモリ処理時間の記載追加

対象ページ：P.1905, P.1958, P.2010

正) フラッシュ・メモリの処理時間の記載を追加します。

## (1) コード・フラッシュ・メモリ処理時間

| 項目         | 条件      | f <sub>CLK</sub> = 2 MHz |       | f <sub>CLK</sub> = 4 MHz |       | f <sub>CLK</sub> = 8 MHz |       | f <sub>CLK</sub> = 16 MHz |       | 単位 |
|------------|---------|--------------------------|-------|--------------------------|-------|--------------------------|-------|---------------------------|-------|----|
|            |         | TYP.                     | MAX.  | TYP.                     | MAX.  | TYP.                     | MAX.  | TYP.                      | MAX.  |    |
| プログラム時間    | 4 バイト   | 74.0                     | 690.0 | 61.0                     | 580.0 | 56.0                     | 530.0 | 54.0                      | 510.0 | μs |
| イレース時間     | 1 K バイト | 6.9                      | 245.0 | 6.1                      | 230.0 | 5.8                      | 225.0 | 5.6                       | 220.0 | ms |
| ブランクチェック時間 | 4 バイト   | –                        | 29.0  | –                        | 22.0  | –                        | 19.0  | –                         | 17.0  | μs |
|            | 1 K バイト | –                        | 800.0 | –                        | 405.0 | –                        | 245.0 | –                         | 145.0 | μs |
| 内部ベリファイ時間  | 4 バイト   | –                        | 350.0 | –                        | 175.0 | –                        | 90.0  | –                         | 45.0  | μs |
|            | 1 K バイト | –                        | 19.0  | –                        | 9.5   | –                        | 5.0   | –                         | 2.5   | ms |

| 項目         | 条件      | f <sub>CLK</sub> = 20 MHz |       | f <sub>CLK</sub> = 32 MHz |       | f <sub>CLK</sub> = 40 MHz |       | 単位 |
|------------|---------|---------------------------|-------|---------------------------|-------|---------------------------|-------|----|
|            |         | TYP.                      | MAX.  | TYP.                      | MAX.  | TYP.                      | MAX.  |    |
| プログラム時間    | 4 バイト   | 54.0                      | 510.0 | 53.0                      | 500.0 | 53.0                      | 500.0 | μs |
| イレース時間     | 1 K バイト | 5.6                       | 220.0 | 5.5                       | 220.0 | 5.5                       | 220.0 | ms |
| ブランクチェック時間 | 4 バイト   | –                         | 17.0  | –                         | 16.0  | –                         | 16.0  | μs |
|            | 1 K バイト | –                         | 145.0 | –                         | 135.0 | –                         | 135.0 | μs |
| 内部ベリファイ時間  | 4 バイト   | –                         | 35.0  | –                         | 22.0  | –                         | 18.0  | μs |
|            | 1 K バイト | –                         | 2.0   | –                         | 1.2   | –                         | 1.0   | ms |

注意 ソフトウェアによる命令実行からフラッシュ・メモリの各動作を開始するまでの時間は含みません。

## (2) データ・フラッシュ・メモリ処理時間

| 項目         | 条件      | f <sub>CLK</sub> = 2 MHz |       | f <sub>CLK</sub> = 4 MHz |       | f <sub>CLK</sub> = 8 MHz |       | f <sub>CLK</sub> = 16 MHz |       | 単位 |
|------------|---------|--------------------------|-------|--------------------------|-------|--------------------------|-------|---------------------------|-------|----|
|            |         | TYP.                     | MAX.  | TYP.                     | MAX.  | TYP.                     | MAX.  | TYP.                      | MAX.  |    |
| プログラム時間    | 1 バイト   | 60.0                     | 550.0 | 49.0                     | 450.0 | 44.0                     | 410.0 | 42.0                      | 390.0 | μs |
| イレース時間     | 1 K バイト | 11.5                     | 340.0 | 8.4                      | 275.0 | 7.1                      | 250.0 | 6.3                       | 235.0 | ms |
| ブランクチェック時間 | 1 バイト   | –                        | 29.0  | –                        | 22.0  | –                        | 19.0  | –                         | 17.0  | μs |
|            | 1 K バイト | –                        | 3.1   | –                        | 1.6   | –                        | 0.95  | –                         | 0.55  | ms |
| 内部ベリファイ時間  | 1 バイト   | –                        | 350.0 | –                        | 175.0 | –                        | 90.0  | –                         | 45.0  | μs |
|            | 1 K バイト | –                        | 76.0  | –                        | 38.0  | –                        | 19.0  | –                         | 9.5   | ms |

| 項目         | 条件      | f <sub>CLK</sub> = 20 MHz |       | f <sub>CLK</sub> = 32 MHz |       | f <sub>CLK</sub> = 40 MHz |       | 単位 |
|------------|---------|---------------------------|-------|---------------------------|-------|---------------------------|-------|----|
|            |         | TYP.                      | MAX.  | TYP.                      | MAX.  | TYP.                      | MAX.  |    |
| プログラム時間    | 1 バイト   | 42.0                      | 390.0 | 41.0                      | 380.0 | 41.0                      | 380.0 | μs |
| イレース時間     | 1 K バイト | 6.3                       | 235.0 | 6.2                       | 235.0 | 6.2                       | 235.0 | ms |
| ブランクチェック時間 | 1 バイト   | –                         | 17.0  | –                         | 16.0  | –                         | 16.0  | μs |
|            | 1 K バイト | –                         | 0.55  | –                         | 0.5   | –                         | 0.5   | ms |
| 内部ベリファイ時間  | 1 バイト   | –                         | 35.0  | –                         | 22.0  | –                         | 18.0  | μs |
|            | 1 K バイト | –                         | 7.5   | –                         | 4.7   | –                         | 3.8   | ms |

注意 ソフトウェアによる命令実行からフラッシュ・メモリの各動作を開始するまでの時間は含みません。



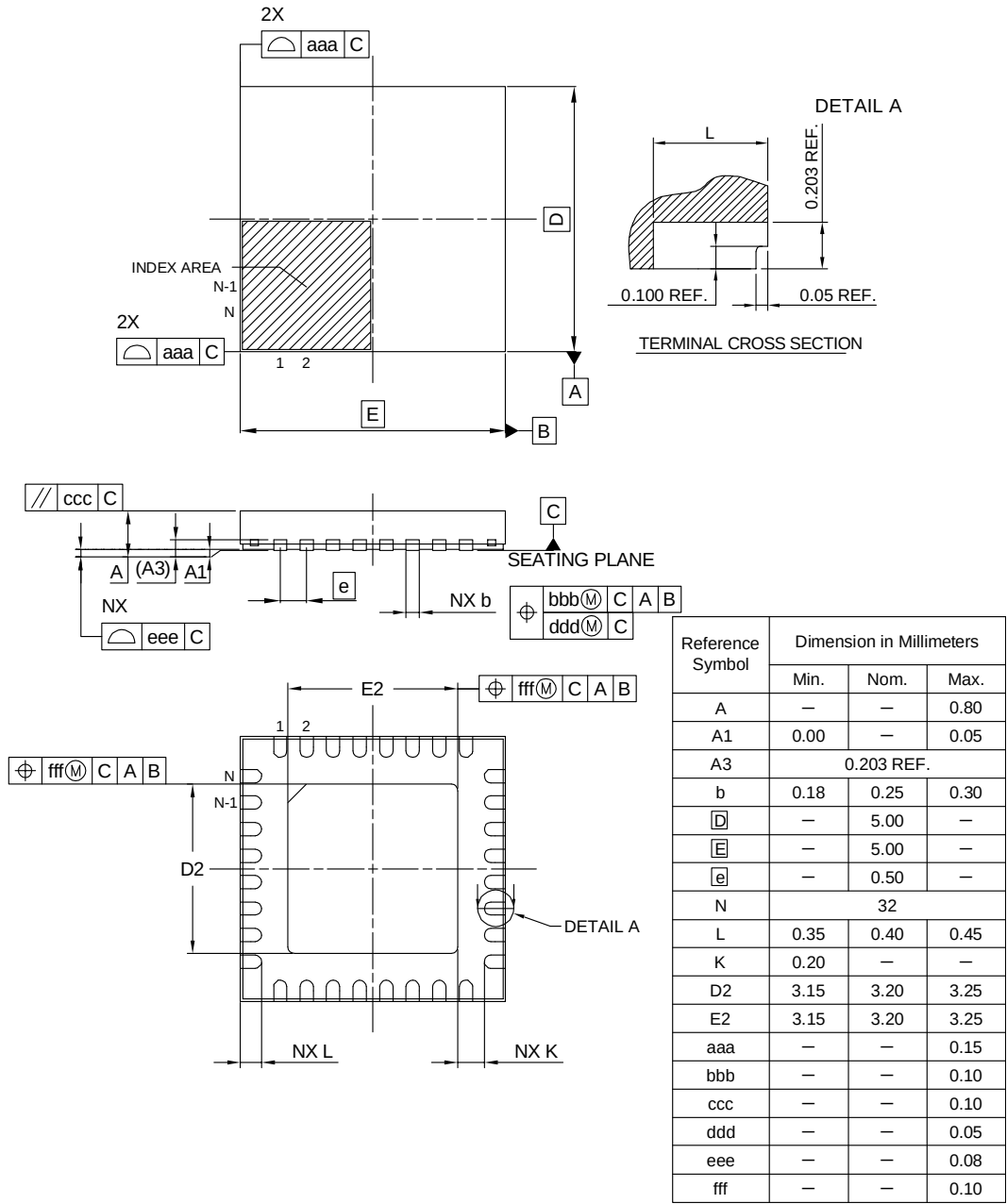
No.85: 39.1 32 ピン製品の端子断面図の値を修正

対象ページ：P.2012

誤) TERMINAL CROSS SECTION: [0.100 REF, 0.05 REF, 0.203 REF], A3: 0.203 REF

39.1 32 ピン製品

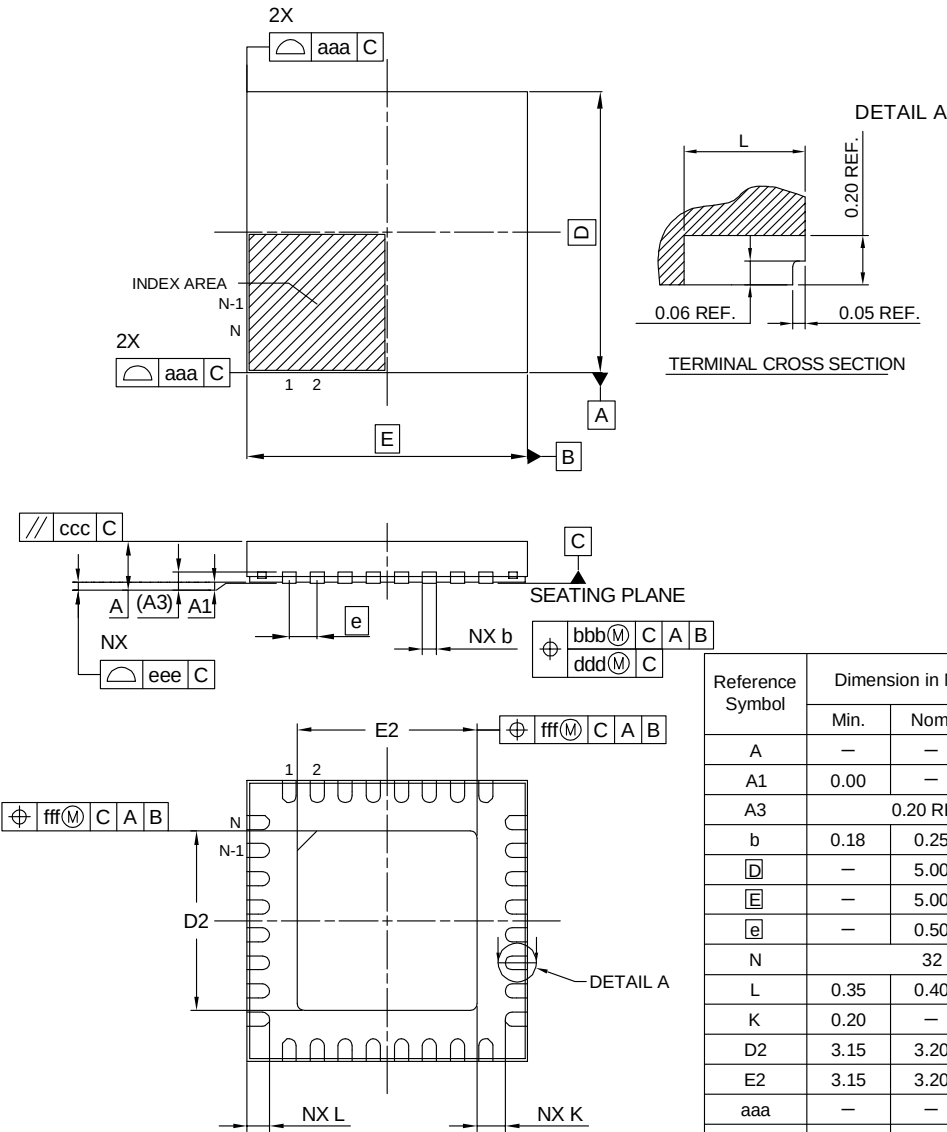
|                     |              |               |
|---------------------|--------------|---------------|
| JEITA Package code  | RENESAS code | MASS(TYP.)[g] |
| P-HWQFN032-5x5-0.50 | PWQN0032KF-B | 0.06          |



正) TERMINAL CROSS SECTION: [0.06 REF, 0.05 REF, 0.20 REF], A3: 0.20 REF

39.1 32 ピン製品

|                     |              |               |
|---------------------|--------------|---------------|
| JEITA Package code  | RENESAS code | MASS(TYP.)[g] |
| P-HWQFN032-5x5-0.50 | PWQN0032KF-B | 0.06          |



| Reference Symbol | Dimension in Millimeters |      |      |
|------------------|--------------------------|------|------|
|                  | Min.                     | Nom. | Max. |
| A                | —                        | —    | 0.80 |
| A1               | 0.00                     | —    | 0.05 |
| A3               | 0.20 REF.                |      |      |
| b                | 0.18                     | 0.25 | 0.30 |
| D                | —                        | 5.00 | —    |
| E                | —                        | 5.00 | —    |
| e                | —                        | 0.50 | —    |
| N                | 32                       |      |      |
| L                | 0.35                     | 0.40 | 0.45 |
| K                | 0.20                     | —    | —    |
| D2               | 3.15                     | 3.20 | 3.25 |
| E2               | 3.15                     | 3.20 | 3.25 |
| aaa              | —                        | —    | 0.15 |
| bbb              | —                        | —    | 0.10 |
| ccc              | —                        | —    | 0.10 |
| ddd              | —                        | —    | 0.05 |
| eee              | —                        | —    | 0.08 |
| fff              | —                        | —    | 0.10 |