

# RENESAS TECHNICAL UPDATE

〒211-8668 神奈川県川崎市中原区下沼部 1753

ルネサス エレクトロニクス株式会社

問合せ窓口 <http://japan.renesas.com/inquiry>E-mail: [csc@renesas.com](mailto:csc@renesas.com)

製品分類	MPU & MCU	発行番号	TN-RL*-A001B/J	Rev.	2.00
題名	誤記訂正通知 RL78/G13 ユーザーズマニュアル Rev.1.00 の記載変更		情報分類	技術情報	
適用製品	RL78/G13 グループ : R5F100xxx, R5F101xxx	対象ロット等 全ロット	関連資料	RL78/G13 ユーザーズマニュアル ハードウェア編 Rev.1.00 R01UH0146JJ0100 (Aug.2011)	

RL78/G13 ユーザーズマニュアル ハードウェア編 Rev.1.00 (R01UH0146JJ0100) において、下記訂正が  
ございます。

## 新たな訂正内容

該当ページ	該当箇所	内容
p.500,503,530,538	A/Dコンバータ 温度センサ、内部基準電圧 (1.45V) 使用時の 説明追加	説明追加
p.916-918	安全機能 A/Dテスト機能 温度センサ、内部基準電圧 (1.45V) 使用時の説明追加	説明追加
p.1032-1036	電气的特性 29.7.1 A/Dコンバータ特性の条件追加	条件追加
p.1037	電气的特性 29.7.2 温度センサ特性の条件追加	条件追加

誤記訂正の該当箇所は、**誤)** 太字下線、**正)** グレー・ハッチングで記載します。

## ドキュメント改善計画

本訂正内容については、次回ユーザーズマニュアル改版時に修正を行います。

日程は2012年2月頃を予定しています。詳細日程については販売会社、特約店にお問い合わせください。

**ユーザーズマニュアルの訂正一覧**

No	該当箇所		Rev1.00	Rev2.00 以降 <sup>注</sup>
	ドキュメントNo.	和文 英文	R01UH0146JJ0100 R01UH0146EJ0100	R01UH0146JJ0200 R01UH0146EJ0200
1	64ピン・プラスチックTQFP (7mm×7mm) パッケージの誤記削除		×	○
2	リアルタイム・クロック 各カウンタ・レジスタの誤記削除		×	○
3	インターバル・タイマ・コントロール・レジスタ (ITMC) の説明追加		×	○
4	A/D電圧コンパレータ使用時のタイミング・チャートの説明追加		×	○
5	A/D変換時間の選択 安定待ち時間あり (6/8) ~ (8/8) の誤記訂正		×	○
6	A/Dコンバータ スタンバイ・モード移行時の説明追加		×	○
7	マスカブル割り込み要求の受け付け動作の誤記訂正		×	○
8	電圧検出回路 (LVD) のタイミング・チャートの誤記訂正		×	○
9	電圧検出回路 (LVD) 割り込み&リセット・モードの誤記訂正		×	○
10	電氣的特性 29.4.2 電源電流特性 (4) RL78/G13全製品共通の説明追加		×	○
11	A/Dコンバータ 温度センサ、内部基準電圧 (1.45V) 使用時の説明追加		×	○
12	安全機能 A/Dテスト機能 温度センサ、内部基準電圧 (1.45V) 使用時の説明追加		×	○
13	電氣的特性 29.7.1 A/Dコンバータ特性の条件追加		×	○
14	電氣的特性 29.7.2 温度センサ特性の条件追加		×	○

注. ユーザーズマニュアル改版は、2012年2月頃を予定しています。

備考. 各記号はそれぞれ以下の意味を示します。

- : 訂正済み
  - ×
- × : 訂正対象 (修正予定)

**1. 64ピン・プラスチックTQFP(7mm×7mm)パッケージ開発中止に伴う、関連情報の記載削除**

**64ピン・プラスチックTQFP(7mm×7mm)のオーダー情報削除 (p.4)**

誤)

(2/3)

ピン数	パッケージ	データ フラッシュ	オーダー名称
(省略)			
64ピン	64ピン・プラスチックLQFP (12x12)	搭載	R5F100LCAFA, R5F100LDAFA, R5F100LEAFA, R5F100LFafa, R5F100LGafa, R5F100LHafa, R5F100LJafa, R5F100LKafa, R5F100LLafa
		非搭載	R5F101LCAFA, R5F101LDAFA, R5F101LEAFA, R5F101LFafa, R5F101LGafa, R5F101LHafa, R5F101LJafa, R5F101LKafa, R5F101LLafa
	64ピン・プラスチックLQFP(フ ァインピッチ)(10x10)	搭載	R5F100LCAFB, R5F100LDAFB, R5F100LEAFB, R5F100LFAFB, R5F100LGAFB, R5F100LHAFB, R5F100LJAFB, R5F100LKAFB, R5F100LLAFB
		非搭載	R5F101LCAFB, R5F101LDAFB, R5F101LEAFB, R5F101LFAFB, R5F101LGAFB, R5F101LHAFB, R5F101LJAFB, R5F101LKAFB, R5F101LLAFB
	<del>64ピン・プラスチックTQFP(フ ァインピッチ)(7x7)</del>	搭載	<del>R5F100LCAFC, R5F100LDAFC, R5F100LEAFC, R5F100LFAFC, R5F100LG AFC, R5F100LH AFC, R5F100LJ AFC</del>
		非搭載	<del>R5F101LCAFC, R5F101LDAFC, R5F101LEAFC, R5F101LFAFC, R5F101LG AFC, R5F101LH AFC, R5F101LJ AFC</del>
	64ピン・プラスチックFBGA (4x4)	搭載	R5F100LCABG, R5F100LDABG, R5F100LEABG, R5F100LFABG, R5F100LGABG, R5F100LHABG, R5F100LJABG
		非搭載	R5F101LCABG, R5F101LDABG, R5F101LEABG, R5F101LFABG, R5F101LGABG, R5F101LHABG, R5F101LJABG

正)

(2/3)

ピン数	パッケージ	データ フラッシュ	オーダー名称
(省略)			
64ピン	64ピン・プラスチックLQFP (12x12)	搭載	R5F100LCAFA, R5F100LDAFA, R5F100LEAFA, R5F100LFafa, R5F100LGafa, R5F100LHafa, R5F100LJafa, R5F100LKafa, R5F100LLafa
		非搭載	R5F101LCAFA, R5F101LDAFA, R5F101LEAFA, R5F101LFafa, R5F101LGafa, R5F101LHafa, R5F101LJafa, R5F101LKafa, R5F101LLafa
	64ピン・プラスチックLQFP(フ ァインピッチ)(10x10)	搭載	R5F100LCAFB, R5F100LDAFB, R5F100LEAFB, R5F100LFafb, R5F100LGafb, R5F100LHafb, R5F100LJafb, R5F100LKafb, R5F100LLafb
		非搭載	R5F101LCAFB, R5F101LDAFB, R5F101LEAFB, R5F101LFafb, R5F101LGafb, R5F101LHafb, R5F101LJafb, R5F101LKafb, R5F101LLafb
	64ピン・プラスチックFBGA (4x4)	搭載	R5F100LCABG, R5F100LDABG, R5F100LEABG, R5F100LFABG, R5F100LGABG, R5F100LHABG, R5F100LJABG
		非搭載	R5F101LCABG, R5F101LDABG, R5F101LEABG, R5F101LFABG, R5F101LGABG, R5F101LHABG, R5F101LJABG

64ピン・プラスチック TQFP(7mm × 7mm)の端子接続図削除 (p.17)

誤)

1.3.11 64ピン製品

- ・64ピン・プラスチックLQFP (12×12)
- ・64ピン・プラスチックLQFP (ファインピッチ) (10×10)
- ・~~64ピン・プラスチックTQFP (ファインピッチ) (7×7)~~

(省略)

正)

1.3.11 64ピン製品

- ・64ピン・プラスチックLQFP (12×12)
- ・64ピン・プラスチックLQFP (ファインピッチ) (10×10)

(省略)

64ピン・プラスチック TQFP(7mm × 7mm)の外形図削除 (p.1055)

誤)

~~R5F100LCAFC, R5F100LDAFC, R5F100LEAFC, R5F100LFAFC, R5F100LGAFC, R5F100LHAFC, R5F100LJAFc~~  
~~R5F101LCAFC, R5F101LDAFC, R5F101LEAFC, R5F101LFAFC, R5F101LGAFC, R5F101LHAFC, R5F101LJAFc~~

64-PIN PLASTIC TQFP (7x7) 開発中
-------------------------------------

正) 該当ページ削除

## 2. リアルタイム・クロック 各カウント・レジスタの誤記削除

### リアルタイム・クロック 秒カウント・レジスタ(SEC)の誤記削除 (p.446)

誤)

#### (5) 秒カウント・レジスタ (SEC)

0-59 (10進) までの値を取り, 秒のカウント値を示す8ビットのレジスタです。

サブカウント・レジスタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は, バッファに書き込まれ, 最大2クロック (f<sub>RTC</sub>) 後にカウンタへ書き込まれます。また設定する値は10進の00-59をBCDコードで設定してください。**範囲外の値を設定した場合は, 1周期後に正常値に戻ります。**

SECレジスタは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

正)

#### (5) 秒カウント・レジスタ (SEC)

0-59 (10進) までの値を取り, 秒のカウント値を示す8ビットのレジスタです。

サブカウント・レジスタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は, バッファに書き込まれ, 最大2クロック (f<sub>RTC</sub>) 後にカウンタへ書き込まれます。また設定する値は10進の00-59をBCDコードで設定してください。

SECレジスタは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

**リアルタイム・クロック 分カウント・レジスタ(MIN)の誤記削除 (p.446)****誤)****(6) 分カウント・レジスタ (MIN)**

0-59 (10進) までの値を取り, 分のカウント値を示す8ビットのレジスタです。

秒カウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は, バッファに書き込まれ最大2クロック ( $f_{RTC}$ ) 後に, カウンタへ書き込まれます。書き込み中に秒カウント・レジスタからのオーバーフローが発生しても無視し, 書き込みをした値に設定されます。また設定する値は, 10進の00-59をBCDコードで設定してください。~~範囲外の値を設定した場合は, 1周期後に正常値に戻ります。~~

MINレジスタは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

**正)****(6) 分カウント・レジスタ (MIN)**

0-59 (10進) までの値を取り, 分のカウント値を示す8ビットのレジスタです。

秒カウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は, バッファに書き込まれ最大2クロック ( $f_{RTC}$ ) 後に, カウンタへ書き込まれます。書き込み中に秒カウント・レジスタからのオーバーフローが発生しても無視し, 書き込みをした値に設定されます。また設定する値は, 10進の00-59をBCDコードで設定してください。

MINレジスタは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

**リアルタイム・クロック 時カウント・レジスタ(HOUR)の誤記削除 (p.447)****誤)****(7) 時カウント・レジスタ (HOUR)**

00-23または01-12, 21-32 (10進) までの値を取り, 時のカウント値を示す8ビットのレジスタです。

分カウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は, バッファに書き込まれ最大2クロック ( $f_{RTC}$ ) 後にカウンタへ書き込みされます。書き込み中に分カウント・レジスタからのオーバーフローが発生しても無視し, 書き込みをした値に設定されます。また, リアルタイム・クロック・コントロール・レジスタ0 (RTCC0) のビット3 (AMPM) で設定した時間制に応じて, 10進の00-23または01-12, 21-32をBCDコードで設定してください。

AMPMビットの値を変更すると, HOURレジスタの値は設定した時間制に対応する値に変更されます。

~~範囲外の値を設定した場合は, 1周期後に正常値に戻ります。~~

HOURレジスタは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 12Hになります。

ただし, リセット後に, AMPMビットに1をセットした場合は00Hとなります。

**正)****(7) 時カウント・レジスタ (HOUR)**

00-23または01-12, 21-32 (10進) までの値を取り, 時のカウント値を示す8ビットのレジスタです。

分カウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は, バッファに書き込まれ最大2クロック ( $f_{RTC}$ ) 後にカウンタへ書き込みされます。書き込み中に分カウント・レジスタからのオーバーフローが発生しても無視し, 書き込みをした値に設定されます。また, リアルタイム・クロック・コントロール・レジスタ0 (RTCC0) のビット3 (AMPM) で設定した時間制に応じて, 10進の00-23または01-12, 21-32をBCDコードで設定してください。

AMPMビットの値を変更すると, HOURレジスタの値は設定した時間制に対応する値に変更されます。

HOURレジスタは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 12Hになります。

ただし, リセット後に, AMPMビットに1をセットした場合は00Hとなります。



## リアルタイム・クロック 日カウント・レジスタ(DAY)の誤記削除 (p.449)

### 誤)

#### (8) 日カウント・レジスタ (DAY)

1-31 (10進) までの値を取り, 日のカウント値を示す8ビットのレジスタです。

時カウンタからのオーバーフローによりカウント・アップします。

カウンタは, 次に示すようにカウントします。

(省略)

書き込みを行った場合は, バッファに書き込まれ最大2クロック ( $f_{RTC}$ ) 後にカウンタへ書き込まれます。書き込み中に時カウント・レジスタからのオーバーフローが発生しても無視し, 書き込みをした値に設定されます。また設定する値は, 10進の01-31をBCDコードで設定してください。範囲外の値を設定した場合は, 1周期後に正常値に戻ります。

DAYレジスタは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 01Hになります。

### 正)

#### (8) 日カウント・レジスタ (DAY)

1-31 (10進) までの値を取り, 日のカウント値を示す8ビットのレジスタです。

時カウンタからのオーバーフローによりカウント・アップします。

カウンタは, 次に示すようにカウントします。

(省略)

書き込みを行った場合は, バッファに書き込まれ最大2クロック ( $f_{RTC}$ ) 後にカウンタへ書き込まれます。書き込み中に時カウント・レジスタからのオーバーフローが発生しても無視し, 書き込みをした値に設定されます。また設定する値は, 10進の01-31をBCDコードで設定してください。

DAYレジスタは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 01Hになります。

**リアルタイム・クロック 曜日カウント・レジスタ(WEEK)の誤記削除 (p.450)****誤)****(9) 曜日カウント・レジスタ (WEEK)**

0-6 (10進) までの値を取り、曜日のカウント値を示す8ビットのレジスタです。

日カウンタと同期してカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大の2クロック (f<sub>RTC</sub>) 後にカウンタへ書き込まれます。また設定する値は、10進の00-06をBCDコードで設定してください。**範囲外の値を設定した場合は、1周期後に正常値に戻ります。**

WEEKレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

**正)****(9) 曜日カウント・レジスタ (WEEK)**

0-6 (10進) までの値を取り、曜日のカウント値を示す8ビットのレジスタです。

日カウンタと同期してカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大の2クロック (f<sub>RTC</sub>) 後にカウンタへ書き込まれます。また設定する値は、10進の00-06をBCDコードで設定してください。

WEEKレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

**リアルタイム・クロック 月カウント・レジスタ(MONTH)の誤記削除 (p.451)****誤)****(10) 月カウント・レジスタ (MONTH)**

MONTHレジスタは1-12 (10進) までの値を取り, 月のカウント値を示す8ビットのレジスタです。

日カウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は, バッファに書き込まれ最大2クロック ( $f_{RTC}$ ) 後にカウンタへ書き込まれます。書き込み中に日カウント・レジスタからのオーバーフローが発生しても無視し, 書き込みをした値に設定されます。また設定する値は, 10進の01-12をBCDコードで設定してください。範囲外の値を設定した場合は, 1周期後に正常値に戻ります。

MONTHレジスタは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 01Hになります。

**正)****(10) 月カウント・レジスタ (MONTH)**

MONTHレジスタは1-12 (10進) までの値を取り, 月のカウント値を示す8ビットのレジスタです。

日カウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は, バッファに書き込まれ最大2クロック ( $f_{RTC}$ ) 後にカウンタへ書き込まれます。書き込み中に日カウント・レジスタからのオーバーフローが発生しても無視し, 書き込みをした値に設定されます。また設定する値は, 10進の01-12をBCDコードで設定してください。

MONTHレジスタは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 01Hになります。

**リアルタイム・クロック 年カウント・レジスタ(YEAR)の誤記削除 (p.451)****誤)****(11) 年カウント・レジスタ (YEAR)**

0-99 (10進) までの値を取り、年のカウント値を示す8ビットのレジスタです。

月カウント・レジスタ (MONTH) からのオーバーフローによりカウント・アップします。

00, 04, 08, ..., 92, 96がうるう年となります。

書き込みを行った場合は、バッファに書き込まれ最大2クロック (f<sub>RTC</sub>) 後にカウンタへ書き込まれます。書き込み中にMONTHレジスタからのオーバーフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10進の00-99をBCDコードで設定してください。範囲外の値を設定した場合は、1周期後に正常値に戻ります。

YEARレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

**正)****(11) 年カウント・レジスタ (YEAR)**

0-99 (10進) までの値を取り、年のカウント値を示す8ビットのレジスタです。

月カウント・レジスタ (MONTH) からのオーバーフローによりカウント・アップします。

00, 04, 08, ..., 92, 96がうるう年となります。

書き込みを行った場合は、バッファに書き込まれ最大2クロック (f<sub>RTC</sub>) 後にカウンタへ書き込まれます。書き込み中にMONTHレジスタからのオーバーフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10進の00-99をBCDコードで設定してください。

YEARレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

### 3. 12ビット・インターバル・タイマ インターバル・タイマ・コントロール・レジスタ(ITMC)の注意追加 (p.467)

誤)

#### (3) インターバル・タイマ・コントロール・レジスタ (ITMC)

(省略)

- 注意1. RINTEビットを1 0に変更する場合は、INTITを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。再度動作開始(0 1)する場合は、ITIFフラグをクリアしてから割り込み処理許可にしてください。
2. RINTEビットのリード値は、RINTEビット設定後、カウント・クロックの1クロック後に反映されます。
3. ITCMP11-ITCMP0ビットの設定を変更する場合は、必ずRINTE = 0のときに行ってください。  
ただし、RINTE = 0 1または1 0に変更するのと同時にITCMP11-ITCMP0ビットの設定を変更することは可能です。

正)

#### (3) インターバル・タイマ・コントロール・レジスタ (ITMC)

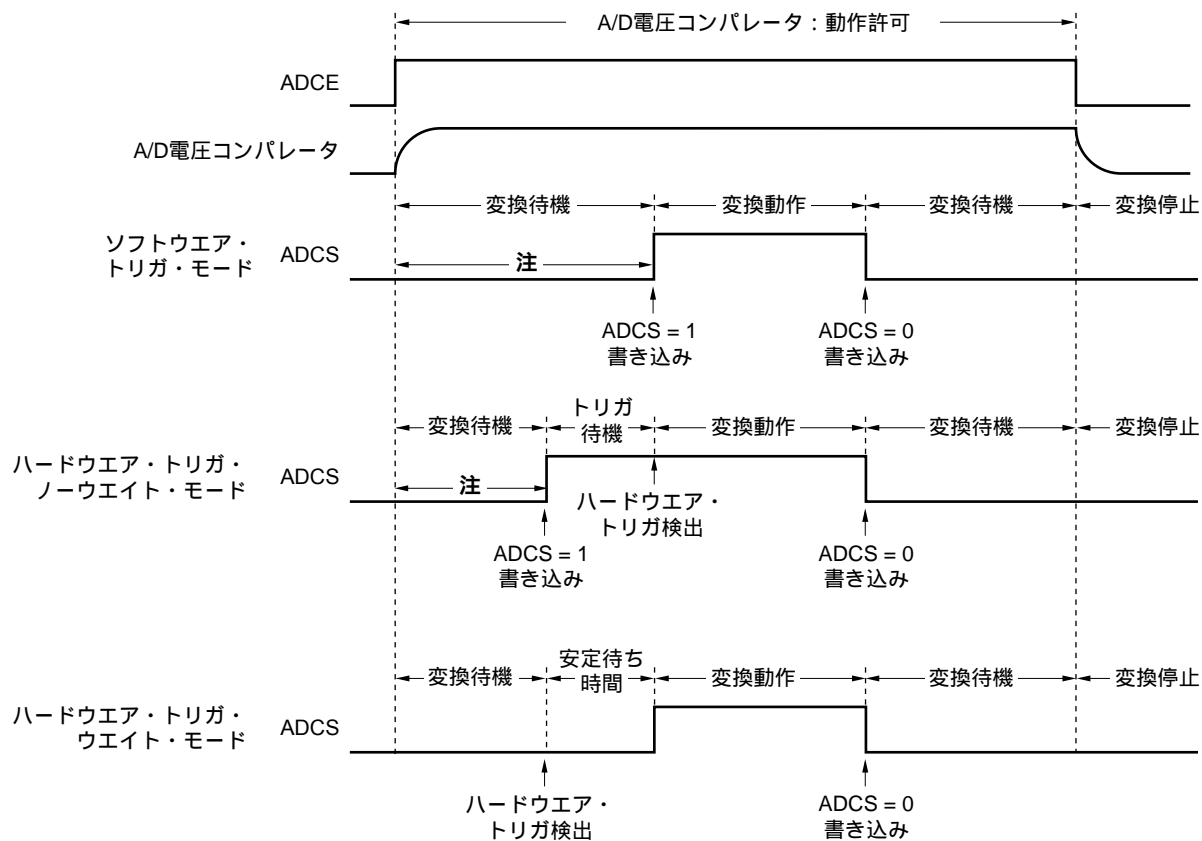
(省略)

- 注意1. RINTEビットを1 0に変更する場合は、INTITを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。再度動作開始(0 1)する場合は、ITIFフラグをクリアしてから割り込み処理許可にしてください。
2. RINTEビットのリード値は、RINTEビット設定後、カウント・クロックの1クロック後に反映されます。
3. スタンバイ・モードから復帰後にRINTEビット設定して、再度スタンバイ・モードに移行する場合は、RINTEビットの書き込み値が反映されたことを確認するか、スタンバイ・モードの復帰からカウント・クロックの1クロック分以上経過後に移行してください。
4. ITCMP11-ITCMP0ビットの設定を変更する場合は、必ずRINTE = 0のときに行ってください。  
ただし、RINTE = 0 1または1 0に変更するのと同時にITCMP11-ITCMP0ビットの設定を変更することは可能です。

4. A/D 電圧コンパレータ使用時のタイミング・チャートの説明追加 (p.490)

誤)

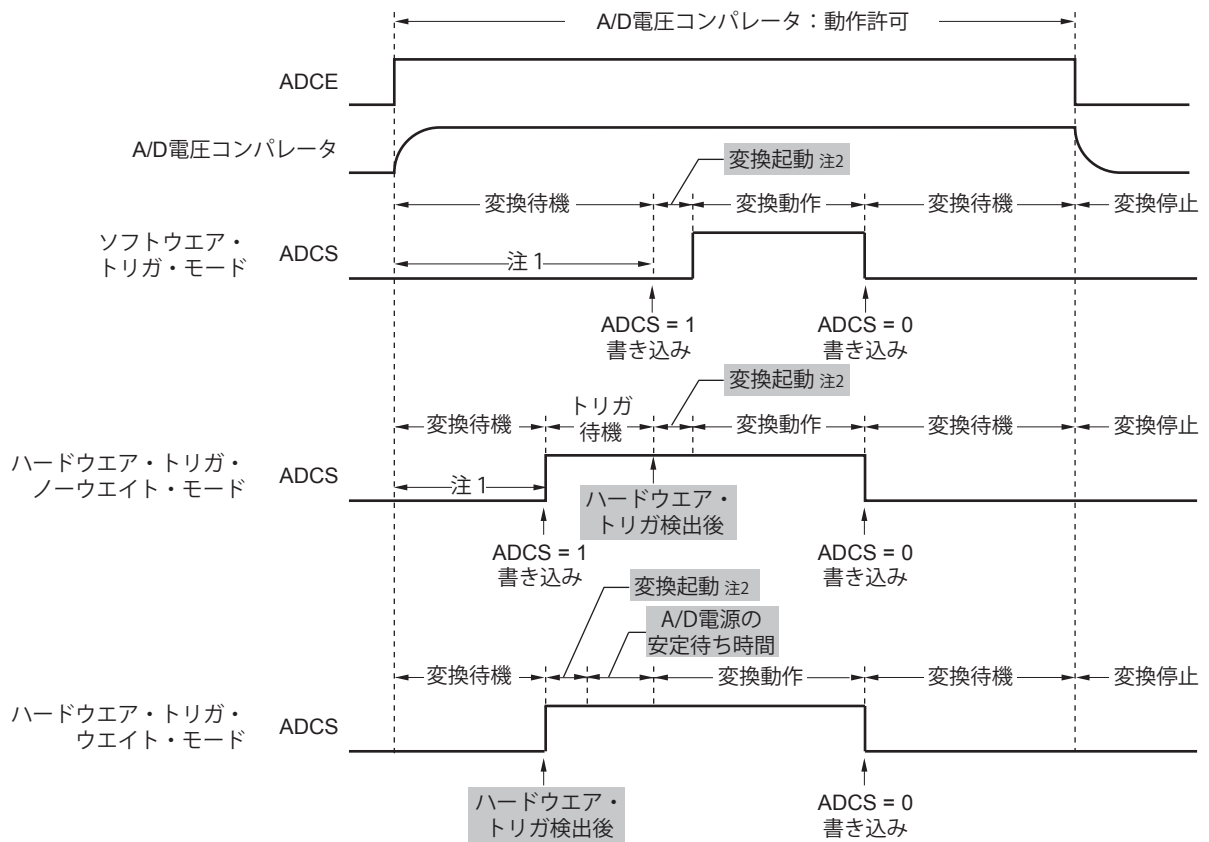
図11-4 A/D電圧コンパレータ使用時のタイミング・チャート



注. (省略)

正)

図11-4 A/D電圧コンパレータ使用時のタイミング・チャート



注1. (省略)

2. 変換起動には、最大で次の時間がかかります。

ADM0			変換クロック	変換起動時間 (f <sub>CLK</sub> クロック数)	
FR2	FR1	FR0	(f <sub>AD</sub> )	ソフトウェア・トリガ・モード/ ハードウェア・トリガ・ノーウエイト・モード	ハードウェア・トリガ・ウエイト・モード
0	0	0	f <sub>CLK</sub> /64	63	1
0	0	1	f <sub>CLK</sub> /32	31	
0	1	0	f <sub>CLK</sub> /16	15	
0	1	1	f <sub>CLK</sub> /8	7	
1	0	0	f <sub>CLK</sub> /6	5	
1	0	1	f <sub>CLK</sub> /5	4	
1	1	0	f <sub>CLK</sub> /4	3	
1	1	1	f <sub>CLK</sub> /2	1	

備考 f<sub>CLK</sub> : CPU/周辺ハードウェア・クロック周波数

5. A/D変換時間の選択(6/8)～(8/8) 安定待ち時間あり の誤記訂正 (p.496 - p.498)

誤)

表11 - 3 A/D変換時間の選択 (6/8)

(6) 2.7V V<sub>DD</sub> < 3.6V

安定待ち時間あり (ハードウェア・トリガ・ウェイト・モード)

A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換時間の選択						変換クロック (f <sub>AD</sub> )
FR2	FR1	FR0	LV1	LV0		f <sub>CLK</sub> = 1 MHz	f <sub>CLK</sub> = 2 MHz	f <sub>CLK</sub> = 4 MHz	f <sub>CLK</sub> = 8 MHz	f <sub>CLK</sub> = 16 MHz	f <sub>CLK</sub> = 32 MHz	
0	0	0	0	0	標準1	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	54 μs	f <sub>CLK</sub> /64
0	0	1								54 μs	27 μs	f <sub>CLK</sub> /32
0	1	0							54 μs	27 μs	13.5 μs	f <sub>CLK</sub> /16
0	1	1						54 μs	27 μs	13.5 μs	6.75 μs	f <sub>CLK</sub> /8
1	0	0						40.5 μs	20.25 μs	10.125 μs	5.0625 μs	f <sub>CLK</sub> /6
1	0	1						33.75 μs	16.875 μs	8.4375 μs	設定禁止	f <sub>CLK</sub> /5
1	1	0					54 μs	27 μs	13.5 μs	6.75 μs		f <sub>CLK</sub> /4
1	1	1					54 μs	27 μs	13.5 μs	6.75 μs	設定禁止	f <sub>CLK</sub> /2
0	0	0	0	1	標準2	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	50 μs	f <sub>CLK</sub> /64
0	0	1								50 μs	25 μs	f <sub>CLK</sub> /32
0	1	0							50 μs	25 μs	12.5 μs	f <sub>CLK</sub> /16
0	1	1						50 μs	25 μs	12.5 μs	6.25 μs	f <sub>CLK</sub> /8
1	0	0						37.5 μs	18.75 μs	9.375 μs	4.6875 μs	f <sub>CLK</sub> /6
1	0	1						31.25 μs	15.625 μs	7.8125 μs	設定禁止	f <sub>CLK</sub> /5
1	1	0					50 μs	25 μs	12.5 μs	6.25 μs		f <sub>CLK</sub> /4
1	1	1					50 μs	25 μs	12.5 μs	6.25 μs	設定禁止	f <sub>CLK</sub> /2
0	0	0	1	0	低電圧1	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	54 μs	f <sub>CLK</sub> /64
0	0	1								54 μs	27 μs	f <sub>CLK</sub> /32
0	1	0							54 μs	27 μs	設定禁止	f <sub>CLK</sub> /16
0	1	1						54 μs	27 μs	設定禁止		f <sub>CLK</sub> /8
1	0	0						40.5 μs	設定禁止			f <sub>CLK</sub> /6
1	0	1						33.75 μs				f <sub>CLK</sub> /5
1	1	0					54 μs	27 μs				f <sub>CLK</sub> /4
1	1	1					54 μs	27 μs	設定禁止			f <sub>CLK</sub> /2
0	0	0	1	1	低電圧2	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	50 μs	f <sub>CLK</sub> /64
0	0	1								50 μs	25 μs	f <sub>CLK</sub> /32
0	1	0							50 μs	25 μs	設定禁止	f <sub>CLK</sub> /16
0	1	1						50 μs	25 μs	設定禁止		f <sub>CLK</sub> /8
1	0	0						37.5 μs	設定禁止			f <sub>CLK</sub> /6
1	0	1						31.25 μs				f <sub>CLK</sub> /5
1	1	0					50 μs	25 μs				f <sub>CLK</sub> /4
1	1	1					50 μs	25 μs	設定禁止			f <sub>CLK</sub> /2



誤)

表11-3 A/D変換時間の選択 (7/8)

(7) 1.8 V V<sub>DD</sub> < 2.7 V

安定待ち時間あり (ハードウェア・トリガ・ウェイト・モード)

A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換時間の選択						変換クロック (f <sub>AD</sub> )		
FR2	FR1	FR0	LV1	LV0		f <sub>CLK</sub> = 1 MHz	f <sub>CLK</sub> = 2 MHz	f <sub>CLK</sub> = 4 MHz	f <sub>CLK</sub> = 8 MHz	f <sub>CLK</sub> = 16 MHz 注	f <sub>CLK</sub> = 32 MHz			
0	0	0	0	0	標準1	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	f <sub>CLK</sub> /64		
0	0	1										f <sub>CLK</sub> /32		
0	1	0										f <sub>CLK</sub> /16		
0	1	1										f <sub>CLK</sub> /8		
1	0	0										f <sub>CLK</sub> /6		
1	0	1										f <sub>CLK</sub> /5		
1	1	0										f <sub>CLK</sub> /4		
1	1	1										f <sub>CLK</sub> /2		
0	0	0	0	1	標準2	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	f <sub>CLK</sub> /64		
0	0	1										f <sub>CLK</sub> /32		
0	1	0										f <sub>CLK</sub> /16		
0	1	1										f <sub>CLK</sub> /8		
1	0	0										f <sub>CLK</sub> /6		
1	0	1										f <sub>CLK</sub> /5		
1	1	0										f <sub>CLK</sub> /4		
1	1	1										f <sub>CLK</sub> /2		
0	0	0	1	0	低電圧1	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	54 μs	f <sub>CLK</sub> /64		
0	0	1									54 μs	27 μs	f <sub>CLK</sub> /32	
0	1	0									54 μs	27 μs	設定禁止	f <sub>CLK</sub> /16
0	1	1									54 μs	27 μs	設定禁止	f <sub>CLK</sub> /8
1	0	0									40.5 μs	設定禁止	f <sub>CLK</sub> /6	
1	0	1									33.75 μs	f <sub>CLK</sub> /5		
1	1	0									54 μs	27 μs	f <sub>CLK</sub> /4	
1	1	1									54 μs	27 μs	設定禁止	f <sub>CLK</sub> /2
0	0	0	1	1	低電圧2	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	50 μs	f <sub>CLK</sub> /64		
0	0	1									50 μs	25 μs	f <sub>CLK</sub> /32	
0	1	0									50 μs	25 μs	設定禁止	f <sub>CLK</sub> /16
0	1	1									50 μs	25 μs	設定禁止	f <sub>CLK</sub> /8
1	0	0									37.5 μs	設定禁止	f <sub>CLK</sub> /6	
1	0	1									31.25 μs	f <sub>CLK</sub> /5		
1	1	0									50 μs	25 μs	f <sub>CLK</sub> /4	
1	1	1									50 μs	25 μs	設定禁止	f <sub>CLK</sub> /2

注. (省略)

誤)

表11-3 A/D変換時間の選択 (8/8)

(8) 1.6V V<sub>DD</sub> < 1.8V

安定待ち時間あり (ハードウェア・トリガ・ウエイト・モード)

A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換時間の選択						変換クロック (f <sub>AD</sub> )
FR2	FR1	FR0	LV1	LV0		f <sub>CLK</sub> = 1 MHz	f <sub>CLK</sub> = 2 MHz	f <sub>CLK</sub> = 4 MHz	f <sub>CLK</sub> = 8 MHz <sup>注1</sup>	f <sub>CLK</sub> = 16 MHz <sup>注2</sup>	f <sub>CLK</sub> = 32 MHz	
0	0	0	0	0	標準1	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	f <sub>CLK</sub> /64
0	0	1										f <sub>CLK</sub> /32
0	1	0										f <sub>CLK</sub> /16
0	1	1										f <sub>CLK</sub> /8
1	0	0										f <sub>CLK</sub> /6
1	0	1										f <sub>CLK</sub> /5
1	1	0										f <sub>CLK</sub> /4
1	1	1										f <sub>CLK</sub> /2
0	0	0	0	1	標準2	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	f <sub>CLK</sub> /64
0	0	1										f <sub>CLK</sub> /32
0	1	0										f <sub>CLK</sub> /16
0	1	1										f <sub>CLK</sub> /8
1	0	0										f <sub>CLK</sub> /6
1	0	1										f <sub>CLK</sub> /5
1	1	0										f <sub>CLK</sub> /4
1	1	1										f <sub>CLK</sub> /2
0	0	0	1	0	低電圧1	設定禁止	設定禁止	設定禁止	設定禁止	108 μs	設定禁止	f <sub>CLK</sub> /64
0	0	1										f <sub>CLK</sub> /32
0	1	0										f <sub>CLK</sub> /16
0	1	1										f <sub>CLK</sub> /8
1	0	0										f <sub>CLK</sub> /6
1	0	1										f <sub>CLK</sub> /5
1	1	0										f <sub>CLK</sub> /4
1	1	1										f <sub>CLK</sub> /2
0	0	0	1	1	低電圧2	設定禁止	設定禁止	設定禁止	設定禁止	100 μs	設定禁止	f <sub>CLK</sub> /64
0	0	1										f <sub>CLK</sub> /32
0	1	0										f <sub>CLK</sub> /16
0	1	1										f <sub>CLK</sub> /8
1	0	0										f <sub>CLK</sub> /6
1	0	1										f <sub>CLK</sub> /5
1	1	0										f <sub>CLK</sub> /4
1	1	1										f <sub>CLK</sub> /2

注. (省略)

正)

表11 - 3 A/D変換時間の選択 (6/8)

(6) 2.7V V<sub>DD</sub> < 3.6V

安定待ち時間あり (ハードウェア・トリガ・ウェイト・モード)

A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換時間の選択						変換クロック (f <sub>AD</sub> )
FR2	FR1	FR0	LV1	LV0		f <sub>CLK</sub> = 1 MHz	f <sub>CLK</sub> = 2 MHz	f <sub>CLK</sub> = 4 MHz	f <sub>CLK</sub> = 8 MHz	f <sub>CLK</sub> = 16 MHz	f <sub>CLK</sub> = 32 MHz	
0	0	0	0	0	標準1	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	54 μs	f <sub>CLK</sub> /64
0	0	1								54 μs	27 μs	f <sub>CLK</sub> /32
0	1	0							54 μs	27 μs	13.5 μs	f <sub>CLK</sub> /16
0	1	1						54 μs	27 μs	13.5 μs	6.75 μs	f <sub>CLK</sub> /8
1	0	0						40.5 μs	20.25 μs	10.125 μs	5.0625 μs	f <sub>CLK</sub> /6
1	0	1						33.75 μs	16.875 μs	8.4375 μs	設定禁止	f <sub>CLK</sub> /5
1	1	0					54 μs	27 μs	13.5 μs	6.75 μs		f <sub>CLK</sub> /4
1	1	1					54 μs	27 μs	13.5 μs	6.75 μs	設定禁止	f <sub>CLK</sub> /2
0	0	0	0	1	標準2	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	50 μs	f <sub>CLK</sub> /64
0	0	1								50 μs	25 μs	f <sub>CLK</sub> /32
0	1	0							50 μs	25 μs	12.5 μs	f <sub>CLK</sub> /16
0	1	1						50 μs	25 μs	12.5 μs	6.25 μs	f <sub>CLK</sub> /8
1	0	0						37.5 μs	18.75 μs	9.375 μs	4.6875 μs	f <sub>CLK</sub> /6
1	0	1						31.25 μs	15.625 μs	7.8125 μs	設定禁止	f <sub>CLK</sub> /5
1	1	0					50 μs	25 μs	12.5 μs	6.25 μs		f <sub>CLK</sub> /4
1	1	1					50 μs	25 μs	12.5 μs	6.25 μs	設定禁止	f <sub>CLK</sub> /2
0	0	0	1	0	低電圧1	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	42 μs	f <sub>CLK</sub> /64
0	0	1								42 μs	21 μs	f <sub>CLK</sub> /32
0	1	0							42 μs	21 μs	設定禁止	f <sub>CLK</sub> /16
0	1	1						42 μs	21 μs	設定禁止		f <sub>CLK</sub> /8
1	0	0						31.5 μs	設定禁止			f <sub>CLK</sub> /6
1	0	1						26.25 μs				f <sub>CLK</sub> /5
1	1	0					42 μs	21 μs				f <sub>CLK</sub> /4
1	1	1					42 μs	21 μs	設定禁止			f <sub>CLK</sub> /2
0	0	0	1	1	低電圧2	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	38 μs	f <sub>CLK</sub> /64
0	0	1								38 μs	19 μs	f <sub>CLK</sub> /32
0	1	0							38 μs	19 μs	設定禁止	f <sub>CLK</sub> /16
0	1	1						38 μs	19 μs	設定禁止		f <sub>CLK</sub> /8
1	0	0						28.5 μs	設定禁止			f <sub>CLK</sub> /6
1	0	1						23.75 μs				f <sub>CLK</sub> /5
1	1	0					38 μs	19 μs				f <sub>CLK</sub> /4
1	1	1					38 μs	19 μs	設定禁止			f <sub>CLK</sub> /2

正)

表11-3 A/D変換時間の選択 (7/8)

(7) 1.8 V  $V_{DD} < 2.7 V$   
 安定待ち時間あり (ハードウェア・トリガ・ウェイト・モード)

A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換時間の選択						変換クロック (f <sub>AD</sub> )
FR2	FR1	FR0	LV1	LV0		f <sub>CLK</sub> = 1 MHz	f <sub>CLK</sub> = 2 MHz	f <sub>CLK</sub> = 4 MHz	f <sub>CLK</sub> = 8 MHz	f <sub>CLK</sub> = 16 MHz 注	f <sub>CLK</sub> = 32 MHz	
×	×	×	0	0	標準1	設定禁止						—
×	×	×	0	1	標準2	設定禁止						—
0	0	0	1	0	低電圧1	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	42 μs	f <sub>CLK</sub> /64
0	0	1				設定禁止	設定禁止	設定禁止	設定禁止	42 μs	21 μs	f <sub>CLK</sub> /32
0	1	0				42 μs	21 μs	設定禁止	設定禁止	f <sub>CLK</sub> /16		
0	1	1				42 μs	21 μs	設定禁止	設定禁止	f <sub>CLK</sub> /8		
1	0	0				31.5 μs	設定禁止	設定禁止	設定禁止	f <sub>CLK</sub> /6		
1	0	1				26.25 μs	設定禁止	設定禁止	設定禁止	f <sub>CLK</sub> /5		
1	1	0				42 μs	21 μs	設定禁止	設定禁止	f <sub>CLK</sub> /4		
1	1	1				42 μs	21 μs	設定禁止	設定禁止	f <sub>CLK</sub> /2		
0	0	0	1	1	低電圧2	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	38 μs	f <sub>CLK</sub> /64
0	0	1				設定禁止	設定禁止	設定禁止	設定禁止	38 μs	19 μs	f <sub>CLK</sub> /32
0	1	0				38 μs	19 μs	設定禁止	設定禁止	f <sub>CLK</sub> /16		
0	1	1				38 μs	19 μs	設定禁止	設定禁止	f <sub>CLK</sub> /8		
1	0	0				28.5 μs	設定禁止	設定禁止	設定禁止	f <sub>CLK</sub> /6		
1	0	1				23.75 μs	設定禁止	設定禁止	設定禁止	f <sub>CLK</sub> /5		
1	1	0				38 μs	19 μs	設定禁止	設定禁止	f <sub>CLK</sub> /4		
1	1	1				38 μs	19 μs	設定禁止	設定禁止	f <sub>CLK</sub> /2		

注. (省略)

正)

表11-3 A/D変換時間の選択 (8/8)

(8) 1.6 V  $V_{DD} < 1.8 V$

安定待ち時間あり (ハードウェア・トリガ・ウエイト・モード)

A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換時間の選択						変換クロック (f <sub>AD</sub> )	
FR2	FR1	FR0	LV1	LV0		f <sub>CLK</sub> = 1 MHz	f <sub>CLK</sub> = 2 MHz	f <sub>CLK</sub> = 4 MHz	f <sub>CLK</sub> = 8 MHz <sup>注1</sup>	f <sub>CLK</sub> = 16 MHz <sup>注2</sup>	f <sub>CLK</sub> = 32 MHz		
×	×	×	0	0	標準1	設定禁止	—	×	×	×	0	0	
×	×	×	0	1	標準2	設定禁止	—	×	×	×	0	1	
0	0	0	1	0	低電圧1	設定禁止	設定禁止	設定禁止	設定禁止	84 μs	設定禁止	f <sub>CLK</sub> /64	
0	0	1								84 μs			f <sub>CLK</sub> /32
0	1	0								84 μs			f <sub>CLK</sub> /16
0	1	1								84 μs			f <sub>CLK</sub> /8
1	0	0								63 μs			f <sub>CLK</sub> /6
1	0	1								105 μs			f <sub>CLK</sub> /5
1	1	0								84 μs			f <sub>CLK</sub> /4
1	1	1								設定禁止			f <sub>CLK</sub> /2
0	0	0								1			1
0	0	1	76 μs	f <sub>CLK</sub> /32									
0	1	0	76 μs	f <sub>CLK</sub> /16									
0	1	1	76 μs	f <sub>CLK</sub> /8									
1	0	0	設定禁止	f <sub>CLK</sub> /6									
1	0	1	95 μs	f <sub>CLK</sub> /5									
1	1	0	76 μs	f <sub>CLK</sub> /4									
1	1	1	設定禁止	f <sub>CLK</sub> /2									

注. (省略)

## 6. A/Dコンバータ スタンバイ・モード移行する場合の注意追加

### A/Dコンバータ・モード・レジスタ2(ADM2)の注意追加 (p.500)

誤)

(4) A/Dコンバータ・モード・レジスタ2 (ADM2)

(省略)

注意 ADM2レジスタを書き換える場合は、必ず変換動作停止状態(A/Dコンバータ・モード・レジスタ0(ADM0)のADCS = 0) のときに行ってください。

正)

(4) A/Dコンバータ・モード・レジスタ2 (ADM2)

(省略)

注意1. ADM2レジスタを書き換える場合は、必ず変換動作停止状態(A/Dコンバータ・モード・レジスタ0(ADM0)のADCS = 0) のときに行ってください。

2. STOPモードもしくはサブシステム・クロックでCPU動作中にHALTモードへ移行する場合は、ADREFP1 = 1に設定しないでください。内部基準電圧 (ADREFP1, ADREFP0 = 1, 0) 選択時は、29.4.2 電源電流特性に示すA/Dコンバータ基準電圧電流( $I_{ADREF}$ )の電流値が加算されます。

アナログ入力チャンネル指定レジスタ(ADS)の注意追加 (p.504)

誤)

図11 - 11 アナログ入力チャンネル指定レジスタ (ADS) のフォーマット (2/2)

アドレス：FFF31H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

(省略)

注意1. ビット5, 6には必ず0を設定してください。

(省略)

6. AV<sub>REFP</sub>をA/Dコンバータの+側の基準電圧源として使用している場合，ANI0をA/D変換チャンネルとして選択しないでください。
7. AV<sub>REFM</sub>をA/Dコンバータの-側の基準電圧源として使用している場合，ANI1をA/D変換チャンネルとして選択しないでください。
8. ADISS = 1を設定した場合，+側の基準電圧源に内部基準電圧（1.45 V）は使用できません。

正)

図11 - 11 アナログ入力チャンネル指定レジスタ (ADS) のフォーマット (2/2)

アドレス：FFF31H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

(省略)

注意1. ビット5, 6には必ず0を設定してください。

(省略)

6. AV<sub>REFP</sub>をA/Dコンバータの+側の基準電圧源として使用している場合，ANI0をA/D変換チャンネルとして選択しないでください。
7. AV<sub>REFM</sub>をA/Dコンバータの-側の基準電圧源として使用している場合，ANI1をA/D変換チャンネルとして選択しないでください。
8. ADISS = 1を設定した場合，+側の基準電圧源に内部基準電圧（1.45 V）は使用できません。
9. STOPモードもしくはサブシステム・クロックでCPU動作中にHALTモードへ移行する場合は，ADISS = 1に設定しないでください。ADISS = 1設定時は，29. 4. 2 電源電流特性に示すA/Dコンバータ基準電圧電流(I<sub>ADREF</sub>)の電流値が加算されます。

7. マスカブル割り込み要求の受け付け動作の誤記訂正

表 16-4 マスカブル割り込み要求発生から処理までの時間の誤記訂正 (p.842)

誤)

16.4.1 マスカブル割り込み要求の受け付け動作

(省略)

表16 - 4 マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間 <sup>注</sup>
処理時間	9クロック	14クロック

注 RET 命令の直前に割り込み要求が発生したとき、ウェイトする時間が最大となります。

備考 1クロック：1/fCLK (fCLK：CPUクロック)

正)

16.4.1 マスカブル割り込み要求の受け付け動作

(省略)

表16 - 4 マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間 <sup>注</sup>
処理時間	9クロック	16クロック

注 内部 RAM 領域からの命令実行時は除きます。

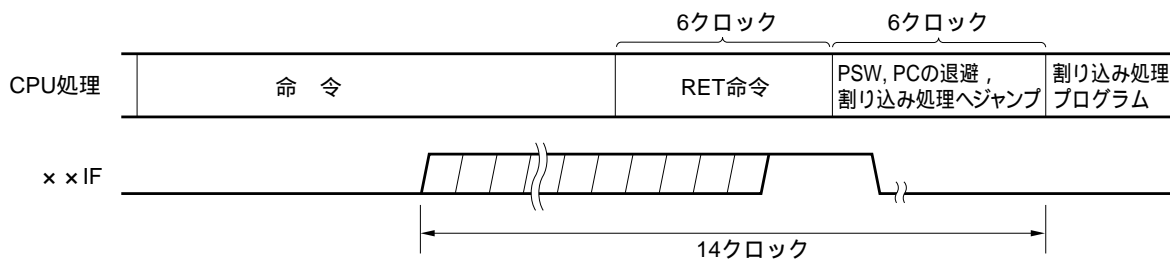
備考 1クロック：1/fCLK (fCLK：CPUクロック)



図 16-9 割り込み要求の受け付けタイミング(最大時間)の誤記訂正 (p.844)

誤)

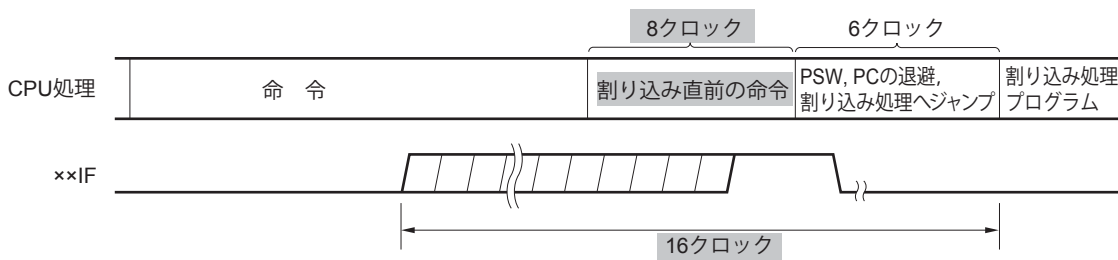
図16 - 9 割り込み要求の受け付けタイミング (最大時間)



備考 1クロック : 1/fCLK (fCLK : CPU クロック)

正)

図16 - 9 割り込み要求の受け付けタイミング (最大時間)



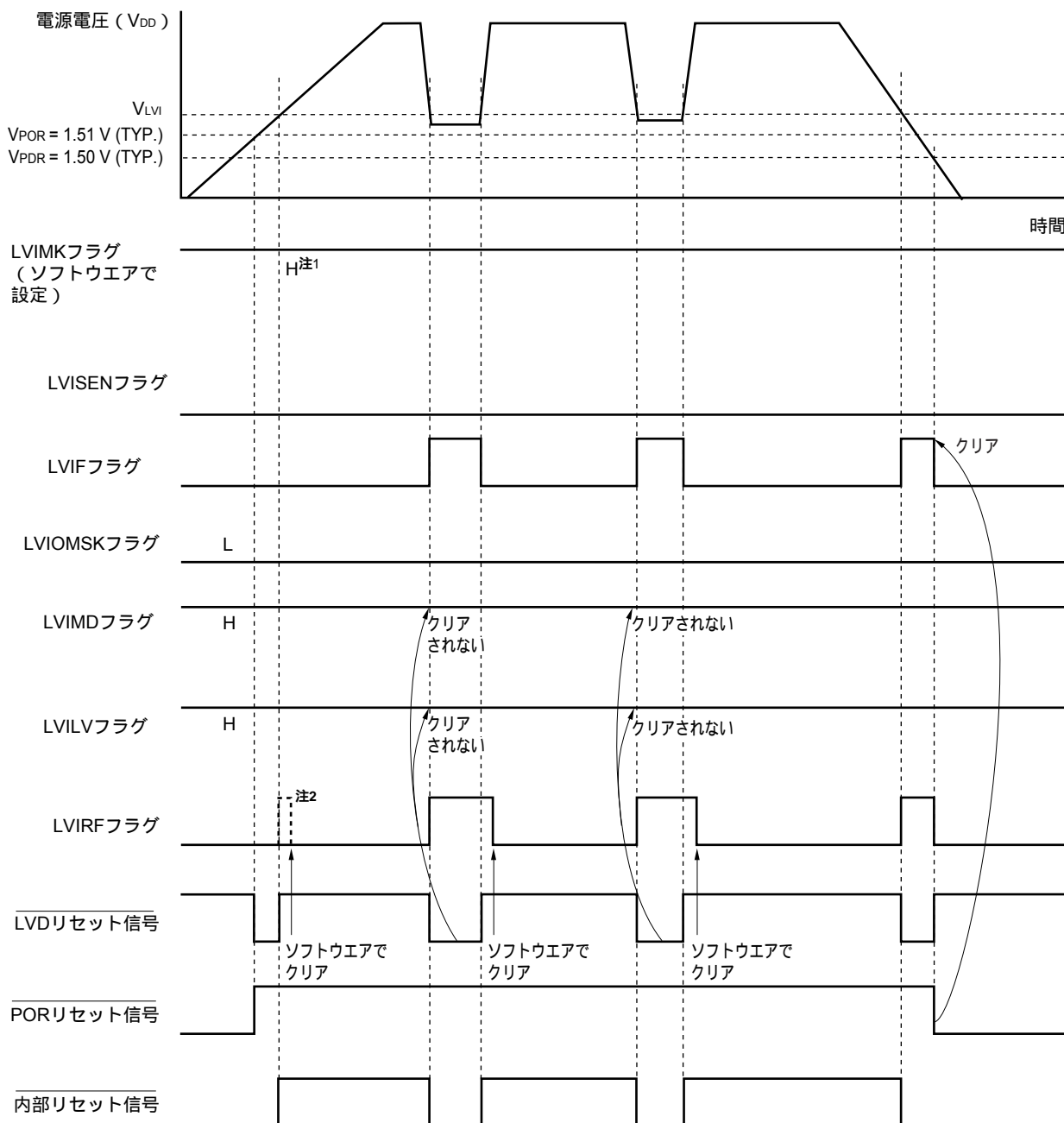
備考 1クロック : 1/fCLK (fCLK : CPU クロック)

8. 電圧検出回路(LVD)のタイミング・チャートの誤記訂正

図 21-4 内部リセット信号発生タイミングの誤記訂正 (p.893)

誤)

図21-4 内部リセット信号発生タイミング (オプション・バイトLVIMDS1, LVIMDS0 = 1, 1)



注1. LVIMK フラグはリセット信号の発生により、“1” になっています。

2. LVIRF フラグはリセット・コントロール・フラグ・レジスタ (RESF) のビット0です。

電源立ち上がり波形により、LVIRF フラグが最初から1になることがあります。

RESF レジスタについての詳細は、第19章 リセット機能を参照してください。

正)

図21-4 内部リセット信号発生タイミング (オプション・バイトLVIMDS1, LVIMDS0 = 1, 1)

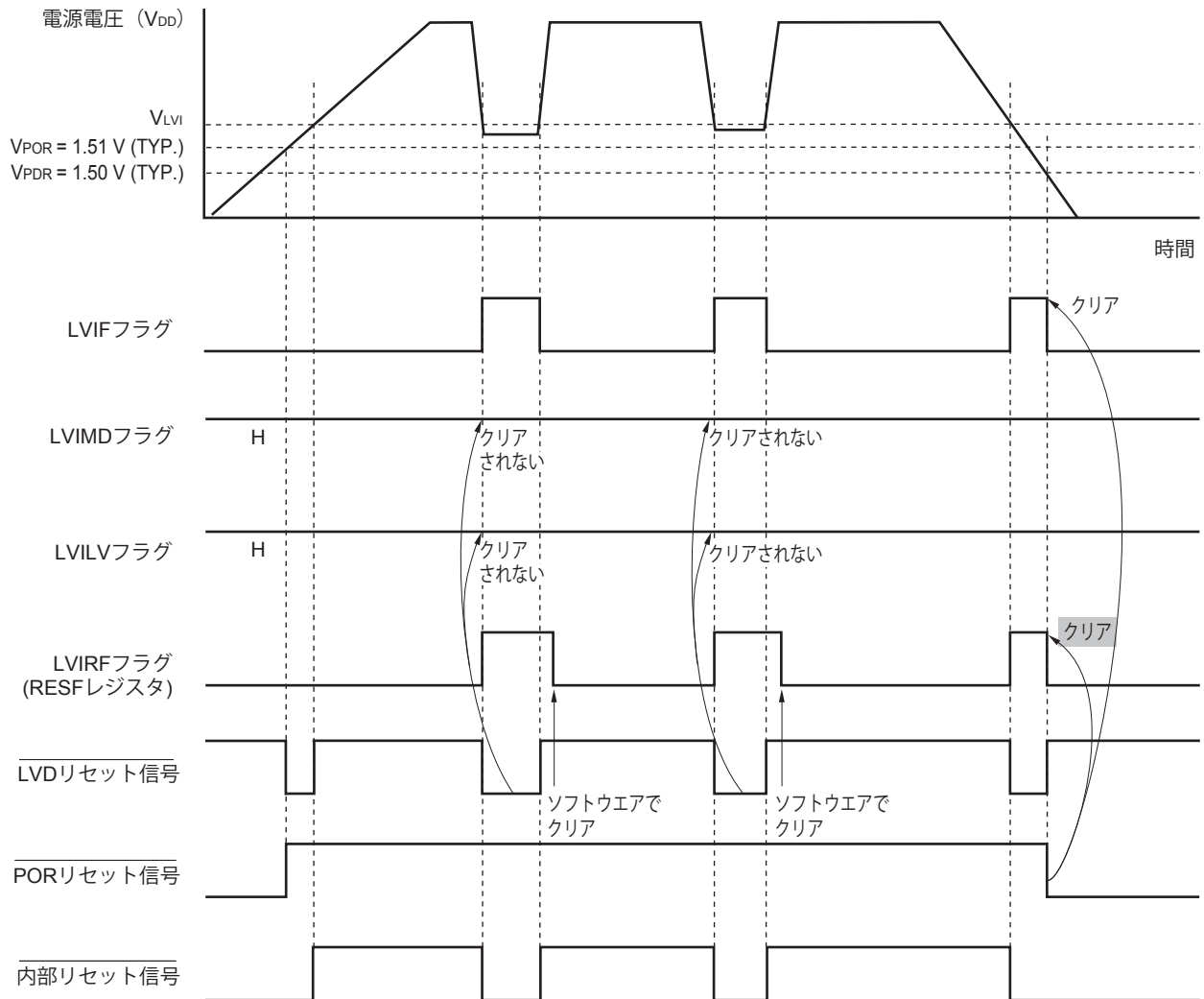
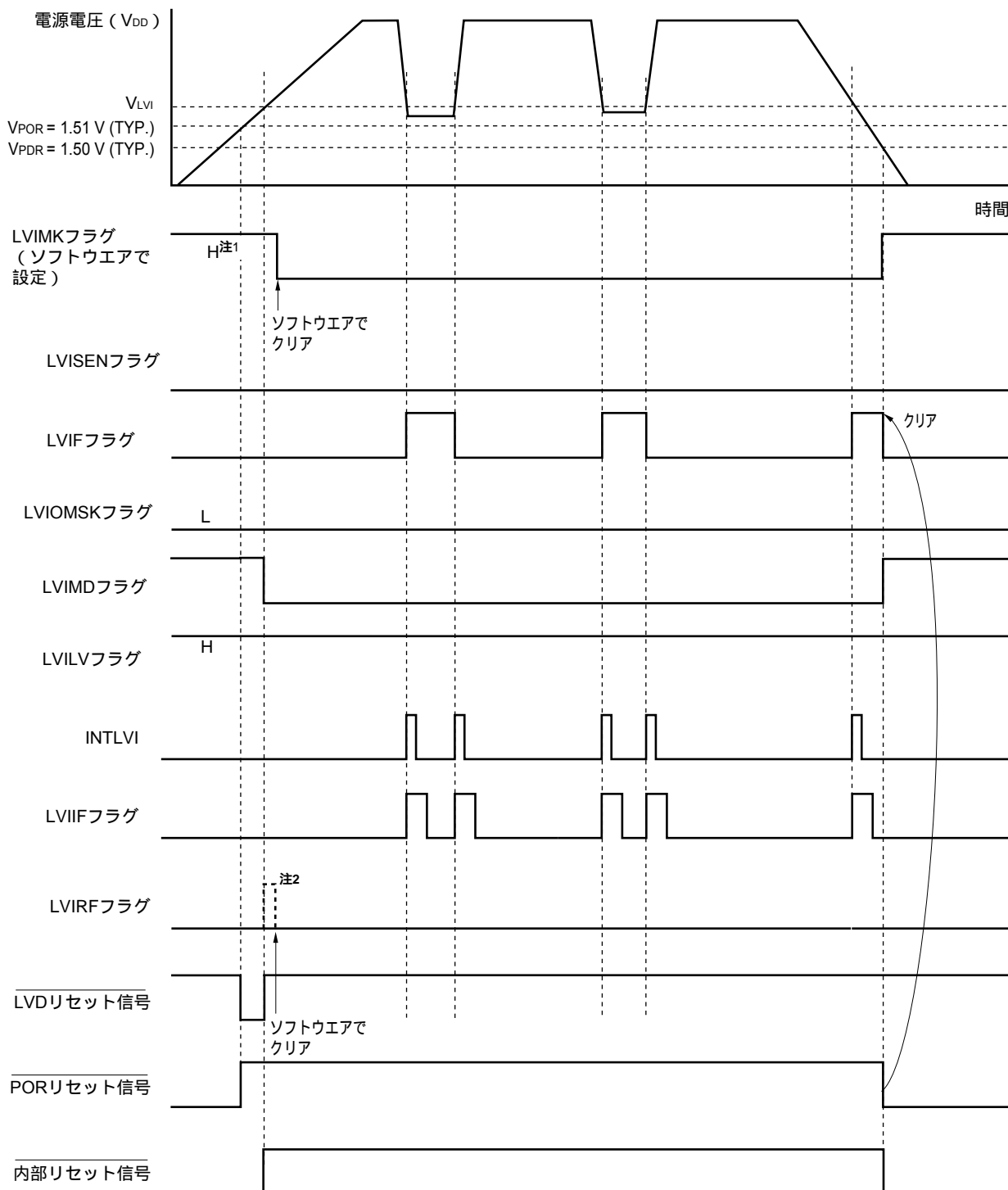


図 21-5 割り込み信号発生タイミングの誤記訂正 (p.895)

誤)

図21-5 割り込み信号発生タイミング (オプション・バイトLVIMDS1, LVIMDS0 = 0, 1)



注 1. LVIMK フラグはリセット信号の発生により，“1” になっています。

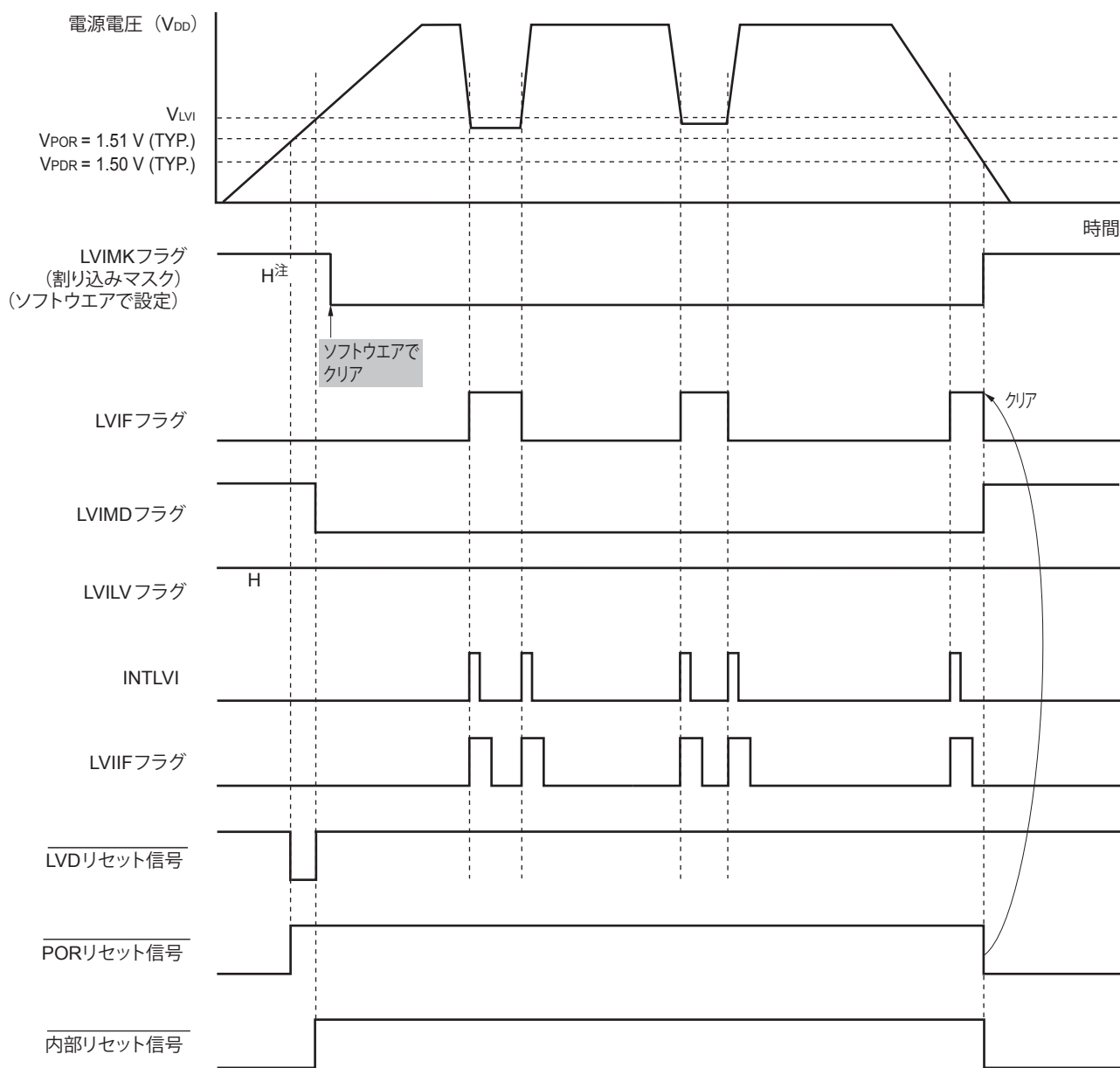
2. LVIRF フラグはリセット・コントロール・フラグ・レジスタ (RESF) のビット 0 です。

電源立ち上がり波形により、LVIRF フラグが最初から 1 になることがあります。

RESF レジスタについての詳細は、第 19 章 リセット機能を参照してください。

正)

図21 - 5 割り込み信号発生タイミング (オプション・バイトLVIMDS1, LVIMDS0 = 0, 1)



注. LVIMK フラグはリセット信号の発生により、“1” になっています。

## 9. 電圧検出回路(LVD) 割り込み&リセット・モードの誤記訂正

### 割り込み&リセット・モードとして使用時の設定の誤記訂正 (p.896)

誤)

#### 21. 4. 3 割り込み&リセット・モードとして使用時の設定

##### 動作開始時

動作モード (割り込み&リセット・モード (LVIMDS1, LVIMDS0 = 1, 0)) と検出電圧 ( $V_{LVIH}$ ,  $V_{LVIL}$ ) の設定は、オプション・バイト 000C1H/010C1H で設定しておきます。

(省略)

図21 - 6に、電圧検出回路の内部リセット信号と割り込み信号発生タイミングを示します。

注意 電源立ち上がり波形により、LVTRFフラグが最初から1になることがあります。

RESFレジスタについての詳細は、第19章 リセット機能を参照してください。

正)

#### 21. 4. 3 割り込み&リセット・モードとして使用時の設定

##### 動作開始時

動作モード (割り込み&リセット・モード (LVIMDS1, LVIMDS0 = 1, 0)) と検出電圧 ( $V_{LVIH}$ ,  $V_{LVIL}$ ) の設定は、オプション・バイト 000C1H/010C1H で設定しておきます。

(省略)

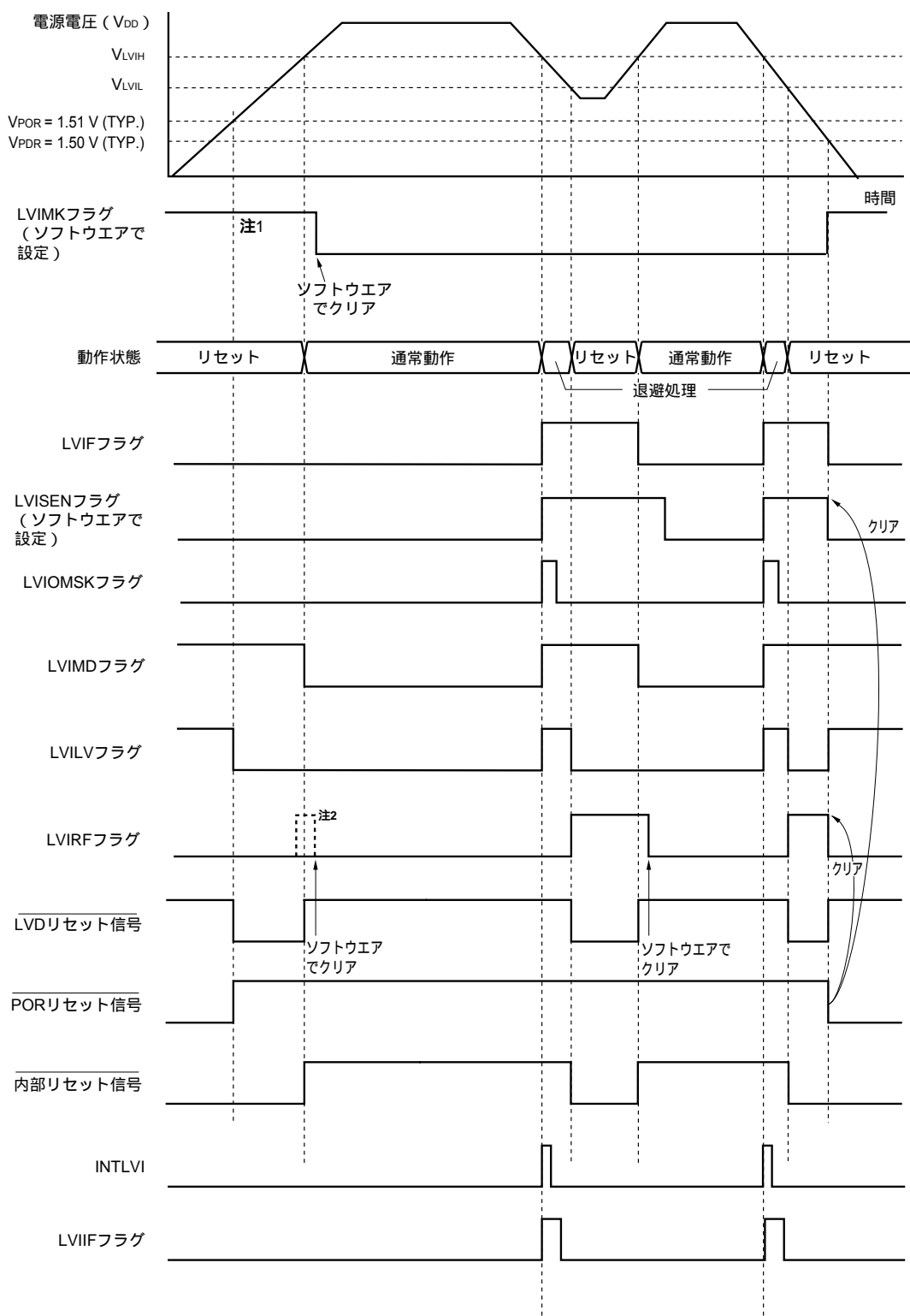
図21 - 6に、電圧検出回路の内部リセット信号と割り込み信号発生タイミングを示します。

図21 - 7 動作電圧確認/リセットの設定手順, 図21 - 8 割り込み&リセット・モードの初期設定に示すフローチャートの手順に従って設定をしてください。

割り込み&リセット信号発生タイミングの誤記訂正 (p.897)

誤)

図21 - 6 割り込み&リセット信号発生タイミング (オプション・バイトLVIMDS1, LVIMDS0 = 1, 0)



注 1. LVIMK フラグはリセット信号の発生により、“1” になっています。

2. LVIRF フラグはリセット・コントロール・フラグ・レジスタ (RESF) のビット 0 です。

電源立ち上がり波形により、LVIRF フラグが最初から 1 になることがあります。

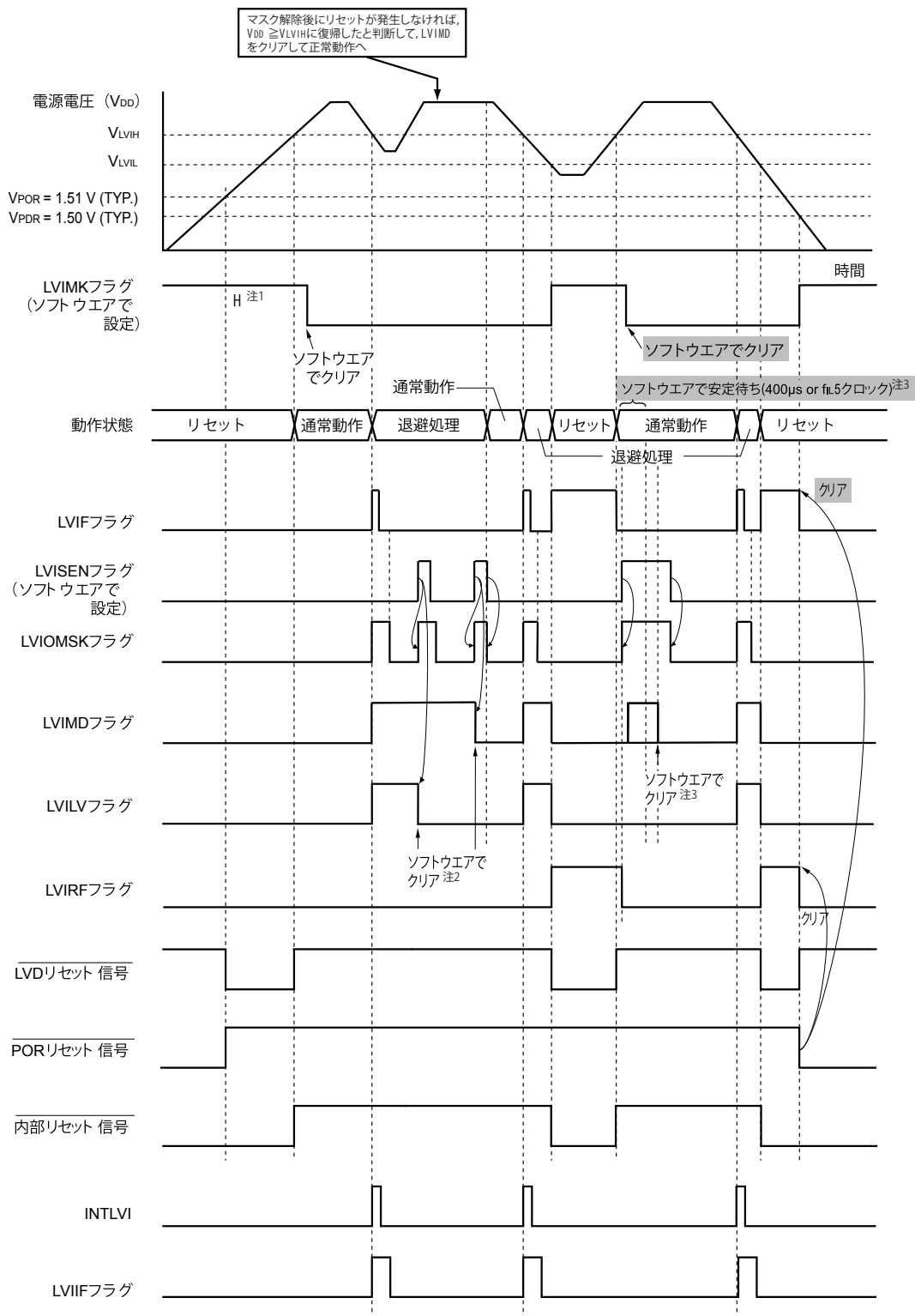
RESF レジスタについての詳細は、第 19 章 リセット機能を参照してください。

備考 V<sub>POR</sub> : POR電源立ち上がり検出電圧

V<sub>PDR</sub> : POR 電源立ち下がり検出電圧

正)

図21-6 割り込み&リセット信号発生のタイミング(オプション・バイトLVIMDS1, LVIMDS0 = 1, 0) (1/2)



注 1. LVIMK フラグはリセット信号の発生により，“1”になっています。

2. 割り込み&リセット・モード使用時，割り込み発生後は，図 21-7 動作電圧確認/リセットの設定手順に従って設定をしてください。

3. 割り込み&リセット・モード使用時，リセット解除後は，図 21-8 割り込み&リセット・モードの初期設定の設定手順に従って設定をしてください。

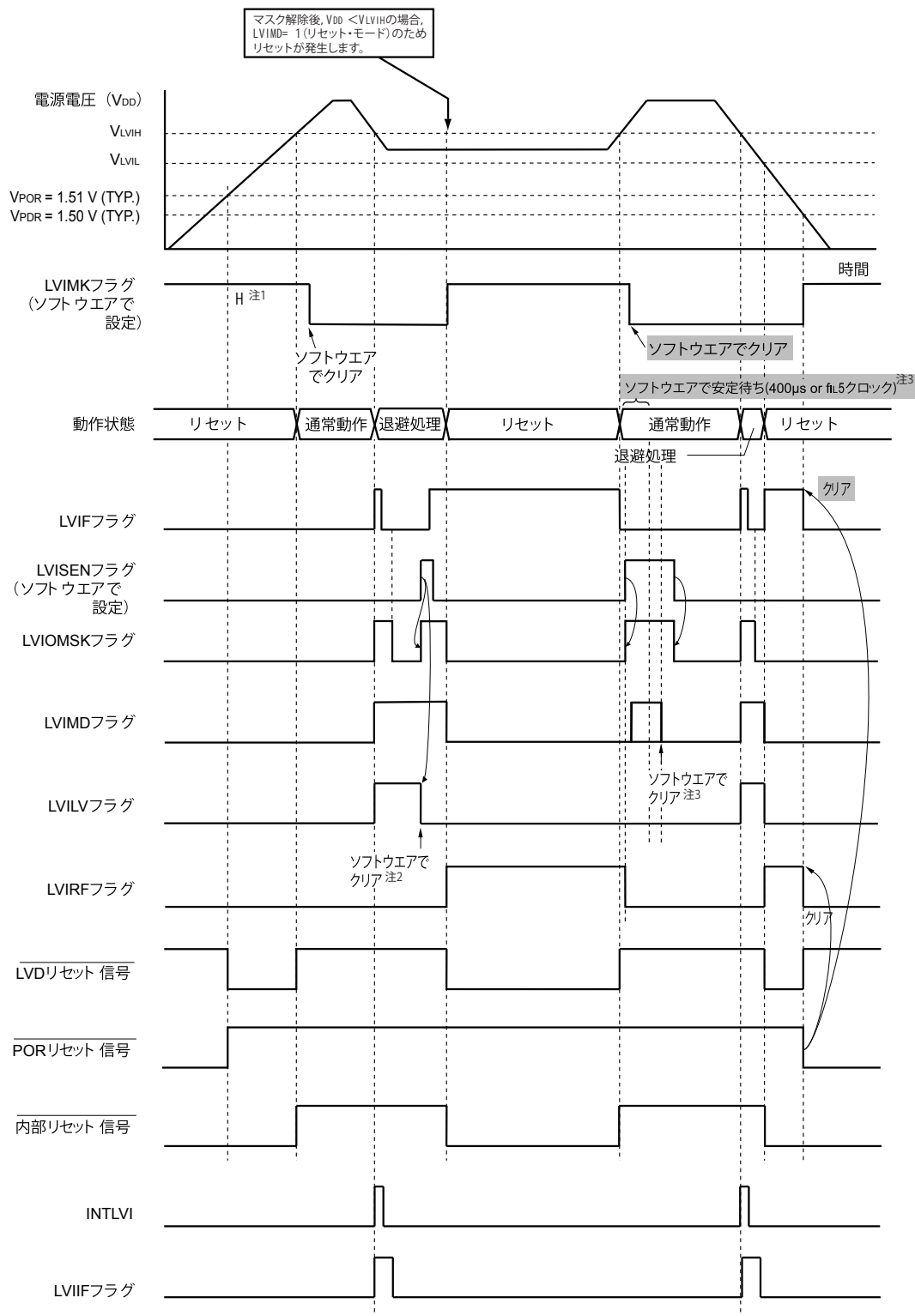
備考 V<sub>POR</sub> : POR電源立ち上がり検出電圧

V<sub>PDR</sub> : POR 電源立ち下がり検出電圧



正)

図21-6 割り込み&リセット信号発生タイミング(オプション・バイトLVIMDS1, LVIMDS0 = 1, 0) (2/2)



注1. LVIMK フラグはリセット信号の発生により、“1”になっています。

2. 割り込み&リセット・モード使用時、割り込み発生後は、図 21-7 動作電圧確認/リセットの設定手順に従って設定をしてください。

3. 割り込み&リセット・モード使用時、リセット解除後は、図 21-8 割り込み&リセット・モードの初期設定の設定手順に従って設定をしてください。

備考  $V_{POR}$  : POR電源立ち上がり検出電圧

$V_{PDR}$  : POR 電源立ち下がり検出電圧

図21-7 動作電圧確認／リセットの設定手順

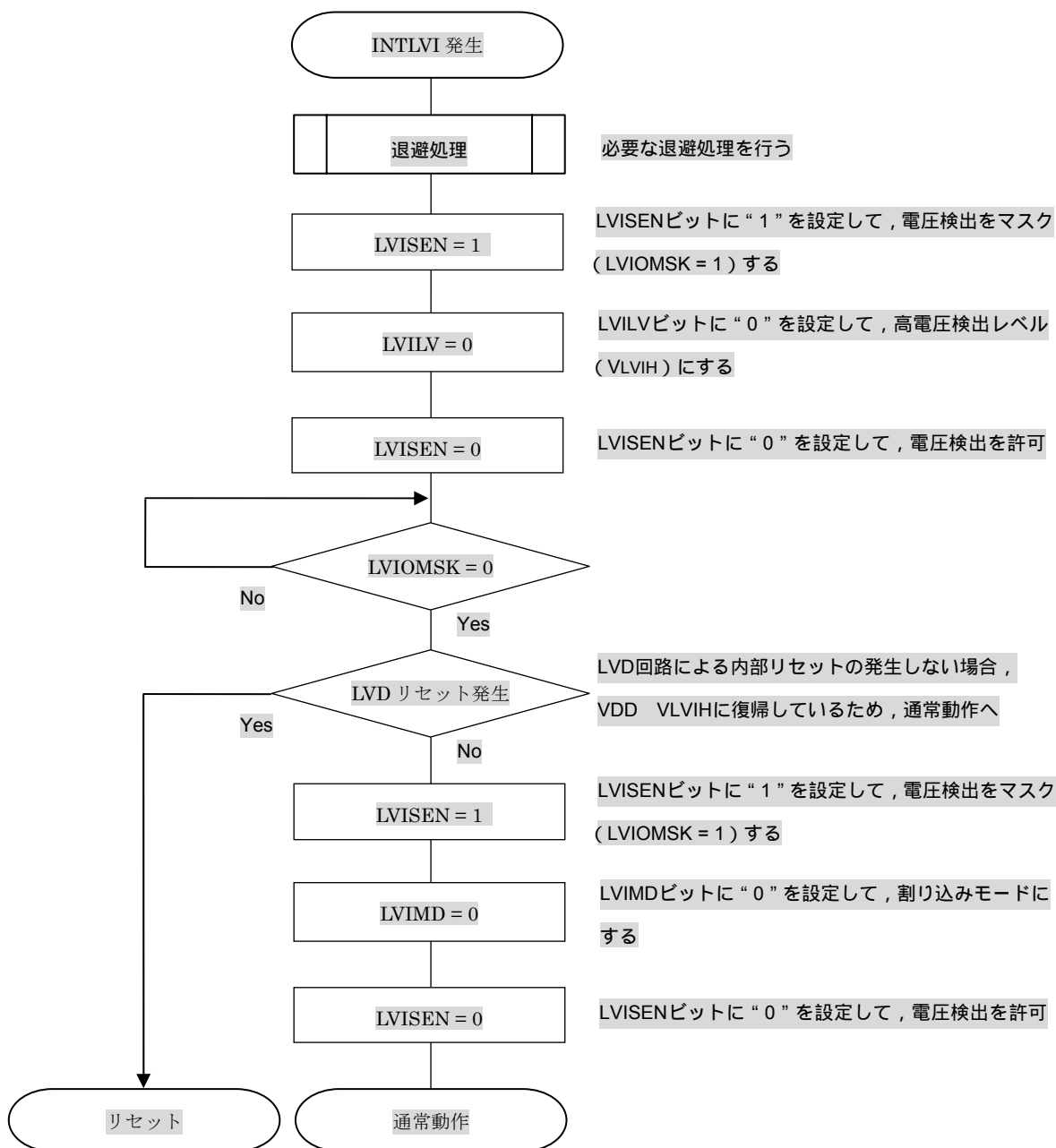
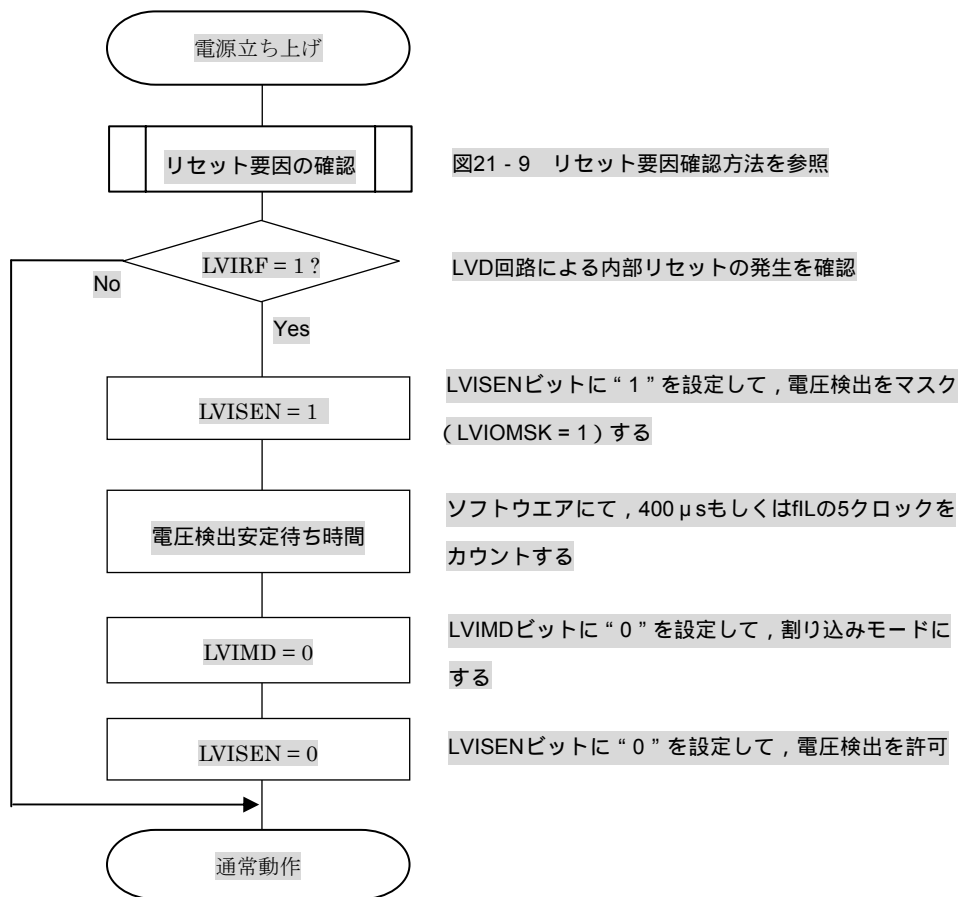


図 21-8 割り込み&リセット・モードの初期設定の説明追加 (p.898)

割り込み&リセット・モード(LVIMDS1, LVIMDS0 = 1, 0)を設定した場合, LVDリセット解除後(LVIRF = 1)から400 $\mu$ sもしくはf<sub>IL</sub>の5クロック分の電圧検出安定待ち時間が必要です。電圧検出安定待ち後, LVIMDビットをクリア(0)して初期化してください。電圧検出安定待ち時間のカウント中およびLVIMDビットの書き換え時は, LVISEN = 1に設定してLVDによるリセットまたは割り込み発生をマスクしてください。

図21-8 割り込み&リセット・モードの初期設定の手順を示します。

図21-8 割り込み&リセット・モードの初期設定



備考 f<sub>IL</sub>: 低速オンチップ・オシレータ・クロック周波数

10. 電気的特性 29.4.2 電源電流特性(4)RL78/G13 全製品共通の項目追加 (p.1005)

誤)

(4) RL78/G13全製品共通

(TA = -40 ~ +85 , 1.6 V EVDD0 = EVDD1 VDD 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
RTC動作電流	I <sub>RTC</sub> <sup>注1,2</sup>	f <sub>SUB</sub> = 32.768 kHz	リアルタイム・クロック動作		0.02		μA
			インターバル・タイマ動作		0.02		
ウォッチドッグ・タイマ動作電流	I <sub>WDT</sub> <sup>注2,3</sup>	f <sub>IL</sub> = 15 kHz			0.22		μA
A/Dコンバータ動作電流	I <sub>ADC</sub> <sup>注4</sup>	最高速変換時	標準モード, AV <sub>REFP</sub> = V <sub>DD</sub> = 5.0 V		1.3	1.7	mA
			低電圧モード*, AV <sub>REFP</sub> = V <sub>DD</sub> = 3.0 V		0.5	0.7	mA
温度センサ動作電流	I <sub>TMPS</sub>				75		μA
LVD動作電流	I <sub>LVI</sub> <sup>注5</sup>				0.08		μA
BGO動作電流	I <sub>BGO</sub> <sup>注6</sup>				2.50	12.20	mA

注. (省略)

正)

(4) RL78/G13全製品共通

(TA = -40 ~ +85 , 1.6 V EVDD0 = EVDD1 VDD 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
RTC動作電流	I <sub>RTC</sub> <sup>注1,2</sup>	f <sub>SUB</sub> = 32.768 kHz	リアルタイム・クロック動作		0.02		μA
			インターバル・タイマ動作		0.02		
ウォッチドッグ・タイマ動作電流	I <sub>WDT</sub> <sup>注2,3</sup>	f <sub>IL</sub> = 15 kHz			0.22		μA
A/Dコンバータ動作電流	I <sub>ADC</sub> <sup>注4</sup>	最高速変換時	標準モード, AV <sub>REFP</sub> = V <sub>DD</sub> = 5.0 V		1.3	1.7	mA
			低電圧モード*, AV <sub>REFP</sub> = V <sub>DD</sub> = 3.0 V		0.5	0.7	mA
A/Dコンバータ基準電圧電流	I <sub>ADREF</sub>				75		μA
温度センサ動作電流	I <sub>TMPS</sub>				75		μA
LVD動作電流	I <sub>LVI</sub> <sup>注5</sup>				0.08		μA
BGO動作電流	I <sub>BGO</sub> <sup>注6</sup>				2.50	12.20	mA

注. (省略)

11. A/Dコンバータ 温度センサ、内部基準電圧(1.45V)の説明追加

図 11-7 A/Dコンバータ・モード・レジスタ2(ADM2)の説明追加 (p.500)

誤)

図11-7 A/Dコンバータ・モード・レジスタ2 (ADM2) のフォーマット (1/2)

アドレス：F0010H リセット時：00H R/W

略号	7	6	5	4	③	②	1	①
ADM2	ADREFP1	ADREFP0	ADREFM	0	ADRCK	AWC	0	ADTYP

ADREFP1	ADREFP0	A/Dコンバータの+側の基準電圧源の選択
0	0	V <sub>DD</sub> から供給
0	1	P20/AV <sub>REFP</sub> /ANI0から供給
1	0	内部基準電圧(1.45V)から供給
1	1	設定禁止
(省略)		

(省略)

正)

図11-7 A/Dコンバータ・モード・レジスタ2 (ADM2) のフォーマット (1/2)

アドレス：F0010H リセット時：00H R/W

略号	7	6	5	4	③	②	1	①
ADM2	ADREFP1	ADREFP0	ADREFM	0	ADRCK	AWC	0	ADTYP

ADREFP1	ADREFP0	A/Dコンバータの+側の基準電圧源の選択
0	0	V <sub>DD</sub> から供給
0	1	P20/AV <sub>REFP</sub> /ANI0から供給
1	0	内部基準電圧(1.45V)から供給 <sup>注</sup>
1	1	設定禁止
(省略)		

注 HS (高速メイン) モードでのみ選択可能です。

(省略)

図 11-11 アナログ入力チャンネル指定レジスタ(ADS)の説明追加 (p.503)

誤)

図11 - 11 アナログ入力チャンネル指定レジスタ (ADS) のフォーマット (1/2)

セレクト・モード (ADMD = 0)

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力 チャンネル	入力ソース
0	0	0	0	0	0	ANI0	P20/ANI0/AV <sub>REFP</sub> 端子
0	0	0	0	0	1	ANI1	P21/ANI1/AV <sub>REFM</sub> 端子
(省略)							
0	1	1	0	1	1	設定禁止	
1	0	0	0	0	0	-	温度センサ出力
1	0	0	0	0	1	-	内部基準電圧出力 (1.45 V)
上記以外						設定禁止	

- 注 1. 20, 24, 25, 30, 32ピン製品の場合は, P01/ANI16端子になります。  
 2. 20, 24, 25, 30, 32ピン製品の場合は, P00/ANI17端子になります。

正)

図11 - 11 アナログ入力チャンネル指定レジスタ (ADS) のフォーマット (1/2)

セレクト・モード (ADMD = 0)

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力 チャンネル	入力ソース
0	0	0	0	0	0	ANI0	P20/ANI0/AV <sub>REFP</sub> 端子
0	0	0	0	0	1	ANI1	P21/ANI1/AV <sub>REFM</sub> 端子
(省略)							
0	1	1	0	1	1	設定禁止	
1	0	0	0	0	0	-	温度センサ出力 <sup>注3</sup>
1	0	0	0	0	1	-	内部基準電圧出力 (1.45 V) <sup>注3</sup>
上記以外						設定禁止	

- 注 1. 20, 24, 25, 30, 32ピン製品の場合は, P01/ANI16端子になります。  
 2. 20, 24, 25, 30, 32ピン製品の場合は, P00/ANI17端子になります。  
 3. HS (高速メイン) モードでのみ選択可能です。

#### 11.7.4 温度センサ使用時の設定の説明追加 (p.530)

誤)

#### 11.7.4 温度センサ使用時の設定 (例 ソフトウェア・トリガ・モード, ワンショット変換モード時)

図11 - 35 温度センサ使用時の設定

(省略)

注 ADRCKビット, ADUL/ADLLレジスタの設定により, 割り込み信号が発生しない場合があります。この場合, ADCR, ADCRHレジスタに結果は格納されません。

正)

#### 11.7.4 温度センサ使用時の設定 (例 ソフトウェア・トリガ・モード, ワンショット変換モード時)

図11 - 35 温度センサ使用時の設定

(省略)

注 ADRCKビット, ADUL/ADLLレジスタの設定により, 割り込み信号が発生しない場合があります。この場合, ADCR, ADCRHレジスタに結果は格納されません。

注意 HS (高速メイン) モードでのみ選択可能です。

## 11.10 A/Dコンバータの注意事項(2)ANI0-ANI14, ANI16-ANI26 端子入力範囲についての説明追加 (p.538)

誤)

### 11.10 A/Dコンバータの注意事項

#### (2) ANI0-ANI14, ANI16-ANI26端子入力範囲について

ANI0-ANI14, ANI16-ANI26端子入力電圧は規格の範囲内でご使用ください。特に $V_{DD}$ ,  $AV_{REFP}$ 以上,  $V_{SS}$ ,  $AV_{REFM}$ 以下(絶対最大定格の範囲内でも)の電圧が入力されると, そのチャンネルの変換値が不定となります。また, ほかのチャンネルの変換値にも影響を与えることがあります。

内蔵基準電圧(1.45 V)をA/Dコンバータの+側の基準電圧源に選択した場合は, ADSレジスタで選択されている端子には内蔵基準電圧以上の電圧を入れないでください。ただし, ADSレジスタで選択されていない端子が内蔵基準電圧以上の電圧になっていても問題ありません。

正)

### 11.10 A/Dコンバータの注意事項

#### (2) ANI0-ANI14, ANI16-ANI26端子入力範囲について

ANI0-ANI14, ANI16-ANI26端子入力電圧は規格の範囲内でご使用ください。特に $V_{DD}$ ,  $AV_{REFP}$ 以上,  $V_{SS}$ ,  $AV_{REFM}$ 以下(絶対最大定格の範囲内でも)の電圧が入力されると, そのチャンネルの変換値が不定となります。また, ほかのチャンネルの変換値にも影響を与えることがあります。

内部基準電圧(1.45 V)をA/Dコンバータの+側の基準電圧源に選択した場合は, ADSレジスタで選択されている端子には内部基準電圧以上の電圧を入れないでください。ただし, ADSレジスタで選択されていない端子が内部基準電圧以上の電圧になっていても問題ありません。

**注意** 内部基準電圧(1.45 V)は, HS(高速メイン)モードでのみ選択可能です。



12. 安全機能 22.3.8 A/Dテスト機能の説明追加

図 22-15 A/Dテスト・レジスタ(ADTES)の説明追加 (p.916)

誤)

(1) A/Dテスト・レジスタ (ADTES)

図22 - 15 A/Dテスト・レジスタ (ADTES) のフォーマット

アドレス：F0013H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	ADTES0

ADTES1	ADTES0	A/D変換対象
0	0	ANlxx (アナログ入力チャネル指定レジスタ (ADS) で設定)
1	0	AVREFM
1	1	AVREFP
上記以外		設定禁止

正)

(1) A/Dテスト・レジスタ (ADTES)

図22 - 15 A/Dテスト・レジスタ (ADTES) のフォーマット

アドレス：F0013H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	ADTES0

ADTES1	ADTES0	A/D変換対象
0	0	ANlxx (アナログ入力チャネル指定レジスタ (ADS) で設定) <sup>注</sup>
1	0	AVREFM
1	1	AVREFP
上記以外		設定禁止

注 温度センサ出力，内部基準電圧出力 (1.45V) は，HS (高速メイン) モードでのみ選択可能です。

図 22-16 アナログ入力チャンネル指定レジスタ(ADS)の説明追加 (p.917 - p.918)

誤)

図22 - 16 アナログ入力チャンネル指定レジスタ (ADS) のフォーマット

セレクト・モード (ADMD = 0)

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力 チャンネル	入力ソース
0	0	0	0	0	0	ANI0	P20/ANI0/AV <sub>REFP</sub> 端子
0	0	0	0	0	1	ANI1	P21/ANI1/AV <sub>REFM</sub> 端子
(省略)							
0	1	1	0	1	1	設定禁止	
1	0	0	0	0	0	-	温度センサ出力
1	0	0	0	0	1	-	内部基準電圧出力 (1.45 V)
上記以外						設定禁止	

(注1, 2と注意1-5は次ページにあります。)

注 1. 20, 24, 25, 30, 32ピン製品の場合は, P01/ANI16端子になります。

2. 20, 24, 25, 30, 32ピン製品の場合は, P00/ANI17端子になります。

(省略)

正)

図22 - 16 アナログ入力チャンネル指定レジスタ (ADS) のフォーマット

セレクト・モード (ADMD = 0)

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力 チャンネル	入力ソース
0	0	0	0	0	0	ANI0	P20/ANI0/AV <sub>REFP</sub> 端子
0	0	0	0	0	1	ANI1	P21/ANI1/AV <sub>REFM</sub> 端子
(省略)							
0	1	1	0	1	1	設定禁止	
1	0	0	0	0	0	-	温度センサ出力 <sup>注3</sup>
1	0	0	0	0	1	-	内部基準電圧出力 (1.45 V) <sup>注3</sup>
上記以外						設定禁止	

(注1, 2と注意1-5は次ページにあります。)

注 1. 20, 24, 25, 30, 32ピン製品の場合は, P01/ANI16端子になります。

2. 20, 24, 25, 30, 32ピン製品の場合は, P00/ANI17端子になります。

3. HS (高速メイン) モードでのみ選択可能です。

(省略)

13. 電気的特性 29.7.1 A/Dコンバータ特性の条件追加

(1)AVREF(+)=AVREFP/ANI0, AVREF(-)=AVREFM/ANI1 選択時,

対象 ANI 端子:ANI2-ANI14(VDD を電源とする ANI 端子)の条件追加 (p.1032)

誤)

(1)AVREF(+)=AVREFP/ANI0 (ADREFP1=0, ADREFP0=1), AVREF(-)=AVREFM/ANI1 (ADREFM=1) 選択時, 対象

ANI端子: ANI2-ANI14 (VDDを電源とするANI端子)

(TA = -40 ~ +85 , 1.6 V EVDD0 = EVDD1 VDD 5.5 V, VSS = EVSS0 = EVSS1 = 0 V, 基本電圧 (+) = AVREFP, 基準電圧 (-) = AVREFM = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
分解能	RES		8		10	bit	
総合誤差 <sup>注1,2</sup>	AINL	10ビット分解能	1.8 V VDD 5.5 V		1.2	±3.5	LSB
		AVREFP = VDD	1.6 V VDD 5.5 V		1.2	±7.0	LSB
変換時間	tCONV	(省略)					
ゼロスケール誤差 <sup>注1,2</sup>	EZS						
フルスケール誤差 <sup>注1,2</sup>	EFS						
積分直線性誤差 <sup>注1</sup>	ILE						
微分直線性誤差 <sup>注1</sup>	DLE						
基準電圧 (+)	AVREFP		1.6		VDD	V	
アナログ入力電圧	VAIN		0		AVREFP	V	
	VBGR	2.4 V VDD 5.5 V	1.38	1.45	1.5	V	

(省略)

正)

(1)AVREF(+)=AVREFP/ANI0 (ADREFP1=0, ADREFP0=1), AVREF(-)=AVREFM/ANI1 (ADREFM=1) 選択時, 対象

ANI端子: ANI2-ANI14 (VDDを電源とするANI端子)

(TA = -40 ~ +85 , 1.6 V EVDD0 = EVDD1 VDD 5.5 V, VSS = EVSS0 = EVSS1 = 0 V, 基本電圧 (+) = AVREFP, 基準電圧 (-) = AVREFM = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
分解能	RES		8		10	bit	
総合誤差 <sup>注1,2</sup>	AINL	10ビット分解能	1.8 V VDD 5.5 V		1.2	±3.5	LSB
		AVREFP = VDD	1.6 V VDD 5.5 V		1.2	±7.0	LSB
変換時間	tCONV	(省略)					
ゼロスケール誤差 <sup>注1,2</sup>	EZS						
フルスケール誤差 <sup>注1,2</sup>	EFS						
積分直線性誤差 <sup>注1</sup>	ILE						
微分直線性誤差 <sup>注1</sup>	DLE						
基準電圧 (+)	AVREFP		1.6		VDD	V	
アナログ入力電圧	VAIN		0		AVREFP	V	
	VBGR	2.4 V VDD 5.5 V HSモード	1.38	1.45	1.5	V	

(省略)

**(2)AVREF(+)=AVREFP/ANI0, AVREF(-)=AVREFM/ANI1 選択時,**

**対象 ANI 端子:ANI16-ANI26(EVDD0を電源とする ANI 端子)の条件追加 (p.1033)**

誤)

(2)AVREF(+)=AVREFP/ANI0(ADREFP1=0, ADREFP0=1), AVREF(-)=AVREFM/ANI1(ADREFM=1) 選択時, 対象

ANI端子: ANI16-ANI26(EVDD0を電源とするANI端子)

(TA = -40 ~ +85 , 1.6 V EVDD0 = EVDD1 VDD 5.5 V, VSS = EVSS0 = EVSS1 = 0 V, 基本電圧(+)=AVREFP, 基準電圧(-)=AVREFM=0V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES			8		10	bit
総合誤差 <sup>注1,2</sup>	AINL	10ビット分解能 AVREFP = VDD	1.8 V VDD 5.5 V		1.2	±5.0	LSB
			1.6 V VDD 5.5 V		1.2	±8.5	LSB
変換時間	tCONV	(省略)					
ゼロスケール誤差 <sup>注1,2</sup>	EZS						
フルスケール誤差 <sup>注1,2</sup>	EFS						
積分直線性誤差 <sup>注1</sup>	ILE						
微分直線性誤差 <sup>注1</sup>	DLE						
基準電圧(+)	AVREFP						
アナログ入力電圧	VAIN		0		AVREFP かつ EVDD0	V	
	VBGR	2.4 V VDD 5.5 V	1.38	1.45	1.5	V	

(省略)

正)

(2)AVREF(+)=AVREFP/ANI0(ADREFP1=0, ADREFP0=1), AVREF(-)=AVREFM/ANI1(ADREFM=1) 選択時, 対象

ANI端子: ANI16-ANI26(EVDD0を電源とするANI端子)

(TA = -40 ~ +85 , 1.6 V EVDD0 = EVDD1 VDD 5.5 V, VSS = EVSS0 = EVSS1 = 0 V, 基本電圧(+)=AVREFP, 基準電圧(-)=AVREFM=0V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES			8		10	bit
総合誤差 <sup>注1,2</sup>	AINL	10ビット分解能 AVREFP = VDD	1.8 V VDD 5.5 V		1.2	±5.0	LSB
			1.6 V VDD 5.5 V		1.2	±8.5	LSB
変換時間	tCONV	(省略)					
ゼロスケール誤差 <sup>注1,2</sup>	EZS						
フルスケール誤差 <sup>注1,2</sup>	EFS						
積分直線性誤差 <sup>注1</sup>	ILE						
微分直線性誤差 <sup>注1</sup>	DLE						
基準電圧(+)	AVREFP						
アナログ入力電圧	VAIN		0		AVREFP かつ EVDD0	V	
	VBGR	2.4 V VDD 5.5 V HSモード	1.38	1.45	1.5	V	

(省略)

**(3)AVREF(+)=VDD, AVREF(-)=VSS 選択時,**

**対象 ANI 端子:ANI0-ANI14, ANI16-ANI26 の条件追加 (p.1034)**

誤)

(3)AVREF(+)=VDD(ADREFP1=0, ADREFP0=0), AVREF(-)=VSS(ADREFM=0)選択時,対象ANI端子:ANI0-ANI14, ANI16-ANI26

(TA = -40 ~ +85 , 1.6 V EVDD0 = EVDD1 VDD 5.5 V, VSS = EVSS0 = EVSS1 = 0 V, 基本電圧(+)=VDD, 基準電圧(-)=VSS)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
分解能	RES		8		10	bit	
総合誤差 <sup>注1,2</sup>	AINL	10ビット分解能	1.8 V VDD 5.5 V		1.2	±7.0	LSB
			1.6 V VDD 5.5 V		1.2	±10.5	LSB
変換時間	tCONV	(省略)					
ゼロスケール誤差 <sup>注1,2</sup>	EZS						
フルスケール誤差 <sup>注1,2</sup>	EFS						
積分直線性誤差 <sup>注1</sup>	ILE						
微分直線性誤差 <sup>注1</sup>	DLE						
アナログ入力電圧	VAIN	ANI0-ANI14	0		VDD	V	
		ANI16-ANI26	0		EVDD0	V	
	VBGR	2.4 V VDD 5.5 V	1.38	1.45	1.5	V	

(省略)

正)

(3)AVREF(+)=VDD(ADREFP1=0, ADREFP0=0), AVREF(-)=VSS(ADREFM=0)選択時,対象ANI端子:ANI0-ANI14, ANI16-ANI26

(TA = -40 ~ +85 , 1.6 V EVDD0 = EVDD1 VDD 5.5 V, VSS = EVSS0 = EVSS1 = 0 V, 基本電圧(+)=VDD, 基準電圧(-)=VSS)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
分解能	RES		8		10	bit	
総合誤差 <sup>注1,2</sup>	AINL	10ビット分解能	1.8 V VDD 5.5 V		1.2	±7.0	LSB
			1.6 V VDD 5.5 V		1.2	±10.5	LSB
変換時間	tCONV	(省略)					
ゼロスケール誤差 <sup>注1,2</sup>	EZS						
フルスケール誤差 <sup>注1,2</sup>	EFS						
積分直線性誤差 <sup>注1</sup>	ILE						
微分直線性誤差 <sup>注1</sup>	DLE						
アナログ入力電圧	VAIN	ANI0-ANI14	0		VDD	V	
		ANI16-ANI26	0		EVDD0	V	
	VBGR	2.4 V VDD 5.5 V HSモード	1.38	1.45	1.5	V	

(省略)

**(4)AVREF(+)=内部基準電圧, AVREF(-)=AVREFM/ANI1 選択時,  
対象 ANI 端子:ANI0-ANI14, ANI16-ANI26 の条件追加 (p.1035)**

誤)

(4) AVREF(+)=内部基準電圧 (ADREFP1=1, ADREFP0=0), AVREF(-)=AVREFM/ANI1 (ADREFM=1) 選択時, 対象 ANI 端子: ANI0-ANI14, ANI16-ANI26

(TA = -40 ~ +85 , 1.6 V EVDD0 = EVDD1 VDD 5.5 V, VSS = EVSS0 = EVSS1 = 0 V, 基本電圧(+)=VBGR, 基準電圧(-)=AVREFM=0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES			8			bit
変換時間	tCONV	8ビット分解能	2.4 V VDD 5.5 V	17		39	μs
ゼロスケール誤差 <sup>注1, 2</sup>	EZS	8ビット分解能	2.4 V VDD 5.5 V			±0.60	%FSR
積分直線性誤差 <sup>注1</sup>	ILE	8ビット分解能	2.4 V VDD 5.5 V			±2.0	LSB
微分直線性誤差 <sup>注1</sup>	DLE	8ビット分解能	2.4 V VDD 5.5 V			±1.0	LSB
基準電圧(+)	VBGR			1.38	1.45	1.5	V
基準電圧(-)	AVREFM			VSS			V
アナログ入力電圧	VAIN			0		VBGR	V

(省略)

正)

(4) AVREF(+)=内部基準電圧 (ADREFP1=1, ADREFP0=0), AVREF(-)=AVREFM/ANI1 (ADREFM=1) 選択時, 対象 ANI 端子: ANI0-ANI14, ANI16-ANI26

(TA = -40 ~ +85 , 2.4 V VDD 5.5 V, VSS = EVSS0 = EVSS1 = 0 V, 基本電圧(+)=VBGR, 基準電圧(-)=AVREFM=0 V, HS (高速メイン) モード)

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES			8			bit
変換時間	tCONV	8ビット分解能	2.4 V VDD 5.5 V	17		39	μs
ゼロスケール誤差 <sup>注1, 2</sup>	EZS	8ビット分解能	2.4 V VDD 5.5 V			±0.60	%FSR
積分直線性誤差 <sup>注1</sup>	ILE	8ビット分解能	2.4 V VDD 5.5 V			±2.0	LSB
微分直線性誤差 <sup>注1</sup>	DLE	8ビット分解能	2.4 V VDD 5.5 V			±1.0	LSB
基準電圧(+)	VBGR			1.38	1.45	1.5	V
基準電圧(-)	AVREFM			VSS			V
アナログ入力電圧	VAIN			0		VBGR	V

(省略)

14. 電気的特性 29.7.2 温度センサ特性の条件追加 (p.1036)

誤)

29.7.2 温度センサ特性

( $T_A = -40 \sim +85$  ,  $2.4\text{ V}$   $E_{VDD0} = E_{VDD1}$   $V_{DD} 5.5\text{ V}$ ,  $V_{SS} = E_{VSS0} = E_{VSS1} = 0\text{ V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
温度センサ出力電圧	$V_{TMS25}$	ADSレジスタ = 80H設定, $T_A = +25$		1.05		V
リファレンス出力電圧	$V_{CONST}$	ADSレジスタ = 81H設定	1.38	1.45	1.5	V
温度係数	$F_{VTMPS}$	温度センサ電圧の温度依存		-3.6		mV/
動作安定待ち時間	$t_{AMP}$				5	$\mu\text{s}$

正)

29.7.2 温度センサ特性

( $T_A = -40 \sim +85$  ,  $2.4\text{ V}$   $V_{DD} 5.5\text{ V}$ ,  $V_{SS} = E_{VSS0} = E_{VSS1} = 0\text{ V}$  , HS (高速メイン) モード)

項目	略号	条件	MIN.	TYP.	MAX.	単位
温度センサ出力電圧	$V_{TMS25}$	ADSレジスタ = 80H設定, $T_A = +25$		1.05		V
リファレンス出力電圧	$V_{CONST}$	ADSレジスタ = 81H設定	1.38	1.45	1.5	V
温度係数	$F_{VTMPS}$	温度センサ電圧の温度依存		-3.6		mV/
動作安定待ち時間	$t_{AMP}$				5	$\mu\text{s}$

**発行文書履歴**

RL78/G13 誤記訂正通知 発行文書履歴

文書番号	発行日	記事
TN-RL*-A001A/J	2011年11月25日	初版発行 訂正一覧の No.1 ~ No.10 の誤記訂正
TN-RL*-A001B/J	2012年1月31日	2版発行 訂正一覧の No.11 ~ No.14 の誤記訂正を追加 (本通知です。)

—以上—