

RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシア
ルネサス エレクトロニクス株式会社
問合せ窓口 <https://www.renesas.com/jp/ja/support/contact/>

製品分類	MPU & MCU	発行番号	TN-RA*-A0124A/J	Rev.	第1版
題名	フラッシュキャッシュの誤記訂正		情報分類	技術情報	
適用製品	RA4E2 グループ、RA4M1 グループ、RA4T1 グループ、RA4W1 グループ	対象ロット等	関連資料	表 1 参照	
	RA6E1 グループ、RA6E2 グループ、RA6M1 グループ、RA6M2 グループ、RA6M3 グループ、RA6M4 グループ、RA6M5 グループ、RA6T1 グループ、RA6T2 グループ、RA6T3 グループ RA8D1 グループ、RA8M1 グループ、RA8T1 グループ	全ロット			

表 1 関連資料一覧

No	関連資料名	Rev	文章管理番号
1	RA4E2 グループ ユーザーズマニュアルハードウェア編	1.20	R01UH0996JJ0120
2	RA4M1 グループ ユーザーズマニュアルハードウェア編	1.10	R01UH0887JJ0110
3	RA4T1 グループ ユーザーズマニュアルハードウェア編	1.10	R01UH0999JJ0110
4	RA4W1 グループ ユーザーズマニュアルハードウェア編	1.00	R01UH0883JJ0100
5	RA6E1 グループ ユーザーズマニュアルハードウェア編	1.20	R01UH0930JJ0120
6	RA6E2 グループ ユーザーズマニュアルハードウェア編	1.30	R01UH0988JJ0130
7	RA6M1 グループ ユーザーズマニュアルハードウェア編	1.10	R01UH0884JJ0110
8	RA6M2 グループ ユーザーズマニュアルハードウェア編	1.10	R01UH0885JJ0110
9	RA6M3 グループ ユーザーズマニュアルハードウェア編	1.10	R01UH0886JJ0110
10	RA6M4 グループ ユーザーズマニュアルハードウェア編	1.40	R01UH0890JJ0140
11	RA6M5 グループ ユーザーズマニュアルハードウェア編	1.30	R01UH0891JJ0130
12	RA6T1 グループ ユーザーズマニュアルハードウェア編	1.10	R01UH0897JJ0110
13	RA6T2 グループ ユーザーズマニュアルハードウェア編	1.40	R01UH0951JJ0140
14	RA6T3 グループ ユーザーズマニュアルハードウェア編	1.20	R01UH0998JJ0120
15	RA8D1 グループ ユーザーズマニュアルハードウェア編	1.10	R01UH0995JJ0110
16	RA8M1 グループ ユーザーズマニュアルハードウェア編	1.10	R01UH0994JJ0110
17	RA8T1 グループ ユーザーズマニュアルハードウェア編	1.10	R01UH1016JJ0110

1.RA4E2 グループの変更を以下に示す。

1.1 「41.5.1 フラッシュキャッシュの特長」の変更前、変更後を以下に示す。

<変更前>

41.5.1 フラッシュキャッシュの特長

FCACHE（フラッシュキャッシュ）は、バスマスタからフラッシュメモリへのリードアクセスを高速化します。
FCACHE には以下が含まれます。

- CPU 命令フェッチで使用する FCACHE1
- CPU オペランドアクセスと EDMAC からのアクセスで使用する FCACHE2
- CPU 命令フェッチのプリフェッチアクセスで使用する FLPF

<変更後>

41.5.1 フラッシュキャッシュの特長

FCACHE（フラッシュキャッシュ）は、バスマスタからフラッシュメモリへのリードアクセスを高速化します。
FCACHE には以下が含まれます。

- CPU 命令フェッチで使用する FCACHE1
- CPUオペランドアクセスとDMAC/DTCからのアクセスで使用するFCACHE2
- CPU 命令フェッチのプリフェッチアクセスで使用する FLPF

1.2 「フラッシュキャッシュ 2 (FCACHE2)の概要」の変更前、変更後を以下に示す。

<変更前>

表 41.7 フラッシュキャッシュ 2 (FCACHE2) の概要

キャッシュ対象領域	0x0000_0000～0x007F_FFFF
対象バスマスタ	CPU オペランドアクセスおよび EDMAC からのアクセス
容量	16 バイト
アソシアティブ方式	フルアソシアティブ
	128 ビット／エントリ（128 ビット整列データ）、1 エントリ
アクセスサイクル	キャッシュヒット：0 ウェイト キャッシュミス：フラッシュウェイトサイクルレジスタのウェイト数

<変更後>

表 41.7 フラッシュキャッシュ 2 (FCACHE2) の概要

キャッシュ対象領域	0x0000_0000～0x007F_FFFF
対象バスマスタ	CPUオペランドアクセスおよびDMAC/DTCからのアクセス
容量	16 バイト
アソシアティブ方式	フルアソシアティブ
	128 ビット／エントリ（128 ビット整列データ）、1 エントリ
アクセスサイクル	キャッシュヒット：0 ウェイト キャッシュミス：フラッシュウェイトサイクルレジスタのウェイト数

2. RA4M1 グループの変更を以下に示す。

<変更前>

44.3 フラッシュキャッシュ

44.3.1 概要

フラッシュキャッシュ（FCACHE）は、バスマスタからフラッシュメモリへのリードアクセスを高速化します。FCACHE には以下が含まれます。

- CPU 命令フェッチで使用する FCACHE1
- CPU オペランドアクセスと DMA で使用する FCACHE2
- CPU 命令フェッチのプリフェッチアクセスで使用する FLPF

表 44.4 フラッシュキャッシュの概要

項目	フラッシュキャッシュ 1 (FCACHE1)	フラッシュキャッシュ 2 (FCACHE2)	プリフェッチバッファ (FLPF)
キャッシュ対象領域	0000 0000h～007F FFFFh	0000 0000h～007F FFFFh	0000 0000h～007F FFFFh
対象バスマスタ	CPU 命令フェッチ	CPU オペランドアクセスおよび CPU 以外からのアクセス	FLPF
容量	128 バイト	8 バイト	16 バイト
アソシアティブ方式	2 ウェイセットアソシアティブ • 64 ビット/エントリ (64 ビット整列データ)、 • 8 エントリ/ウェイ	フルアソシアティブ • 64 ビット/エントリ (64 ビット整列データ)、 • 1 エントリ	— • 64 ビット/エントリ (64 ビット整列データ) • 2 エントリ • 前の CPU 命令の次のアドレス
アクセスサイクル	キャッシュヒット：0 ウェイト キャッシュミス： SYSTEM.MEMWAIT レジスタに従 う： MEMWAIT = 0：0 ウェイト MEMWAIT = 1：1～2 ウェイト	キャッシュヒット：0 ウェイト キャッシュミス： SYSTEM.MEMWAIT レジスタに従 う： MEMWAIT = 0：0 ウェイト MEMWAIT = 1：1～2 ウェイト	キャッシュヒット：0 ウェイト キャッシュミス： SYSTEM.MEMWAIT レジスタに従 う： MEMWAIT = 0：0 ウェイト MEMWAIT = 1：1～2 ウェイト

<変更後>

44.3 フラッシュキャッシュ

44.3.1 概要

フラッシュキャッシュ（FCACHE）は、バスマスタからフラッシュメモリへのリードアクセスを高速化します。FCACHE には以下が含まれます。

- CPU 命令フェッチで使用する FCACHE1
- CPU オペランドアクセスと **DMAC/DTC** からのアクセスで使用する **FCACHE2**
- CPU 命令フェッチのプリフェッチアクセスで使用する FLPF

表 44.4 フラッシュキャッシュの概要

項目	フラッシュキャッシュ 1 (FCACHE1)	フラッシュキャッシュ 2 (FCACHE2)	プリフェッチバッファ (FLPF)
キャッシュ対象領域	0000 0000h～007F FFFFh	0000 0000h～007F FFFFh	0000 0000h～007F FFFFh
対象バスマスタ	CPU 命令フェッチ	CPU オペランドアクセスおよび DMAC/DTC からのアクセス	CPU 命令フェッチ
容量	128 バイト	8 バイト	16 バイト
アソシアティブ方式	2 ウェイセットアソシアティブ • 64 ビット/エントリ (64 ビット整列データ)、 • 8 エントリ/ウェイ	フルアソシアティブ • 64 ビット/エントリ (64 ビット整列データ)、 • 1 エントリ	— • 64 ビット/エントリ (64 ビット整列データ) • 2 エントリ • 前の CPU 命令の次のアドレス
アクセスサイクル	キャッシュヒット：0 ウェイト キャッシュミス： SYSTEM.MEMWAIT レジスタに従 う： MEMWAIT = 0：0 ウェイト MEMWAIT = 1：1～2 ウェイト	キャッシュヒット：0 ウェイト キャッシュミス： SYSTEM.MEMWAIT レジスタに従 う： MEMWAIT = 0：0 ウェイト MEMWAIT = 1：1～2 ウェイト	キャッシュヒット：0 ウェイト キャッシュミス： SYSTEM.MEMWAIT レジスタに従 う： MEMWAIT = 0：0 ウェイト MEMWAIT = 1：1～2 ウェイト

3. RA4T1 グループの変更を以下に示す。

<変更前>

38.5.1 フラッシュキャッシュの特長

FCACHE（フラッシュキャッシュ）は、バスマスタからフラッシュメモリへのリードアクセスを高速化します。FCACHE には以下が含まれます。

- CPU 命令フェッチで使用する FCACHE1
- CPU オペランドアクセスと EDMAC からのアクセスで使用する FCACHE2
- CPU 命令フェッチのプリフェッチアクセスで使用する FLPF

表 38.6 フラッシュキャッシュ 1 (FCACHE1) の概要

キャッシュ対象領域	0x0000_0000~0x007F_FFFF
対象バスマスタ	CPU 命令フェッチ
容量	256 バイト
アソシアティブ方式	8 ウェイセットアソシアティブ 128 ビット/エントリ（128 ビット整列データ）、2 エントリ/ウェイ
アクセスサイクル	キャッシュヒット：0 ウェイト キャッシュミス：フラッシュウェイトサイクルレジスタのウェイト数

表 38.7 フラッシュキャッシュ 2 (FCACHE2) の概要

キャッシュ対象領域	0x0000_0000~0x007F_FFFF
対象バスマスタ	CPU オペランドアクセスおよび EDMAC からのアクセス
容量	16 バイト
アソシアティブ方式	フルアソシアティブ 128 ビット/エントリ（128 ビット整列データ）、1 エントリ
アクセスサイクル	キャッシュヒット：0 ウェイト キャッシュミス：フラッシュウェイトサイクルレジスタのウェイト数

<変更後>

38.5.1 フラッシュキャッシュの特長

FCACHE（フラッシュキャッシュ）は、バスマスタからフラッシュメモリへのリードアクセスを高速化します。FCACHE には以下が含まれます。

- CPU 命令フェッチで使用する FCACHE1
- CPUオペランドアクセスとDMAC/DTCからのアクセスで使用するFCACHE2
- CPU 命令フェッチのプリフェッチアクセスで使用する FLPF

表 38.6 フラッシュキャッシュ 1 (FCACHE1) の概要

キャッシュ対象領域	0x0000_0000~0x007F_FFFF
対象バスマスタ	CPU 命令フェッチ
容量	256 バイト
アソシアティブ方式	8 ウェイセットアソシアティブ 128 ビット/エントリ（128 ビット整列データ）、2 エントリ/ウェイ
アクセスサイクル	キャッシュヒット：0 ウェイト キャッシュミス：フラッシュウェイトサイクルレジスタのウェイト数

表 38.7 フラッシュキャッシュ 2 (FCACHE2) の概要

キャッシュ対象領域	0x0000_0000~0x007F_FFFF
対象バスマスタ	CPUオペランドアクセスおよびDMAC/DTCからのアクセス
容量	16 バイト
アソシアティブ方式	フルアソシアティブ 128 ビット/エントリ（128 ビット整列データ）、1 エントリ
アクセスサイクル	キャッシュヒット：0 ウェイト キャッシュミス：フラッシュウェイトサイクルレジスタのウェイト数

4. RA4W1 グループの変更を以下に示す。

<変更前>

43.3 フラッシュキャッシュ

43.3.1 概要

フラッシュキャッシュ (FCACHE) は、バスマスタからフラッシュメモリへのリードアクセスを高速化します。FCACHE には以下が含まれます。

- CPU 命令フェッチで使用する FCACHE1
- CPU オペランドアクセスと DMA で使用する FCACHE2
- CPU 命令フェッチのプリフェッチアクセスで使用する FLPF

表 43.4 フラッシュキャッシュの概要

項目	フラッシュキャッシュ 1 (FCACHE1)	フラッシュキャッシュ 2 (FCACHE2)	プリフェッチバッファ (FLPF)
キャッシュ対象領域	0000 0000h～007F FFFFh	0000 0000h～007F FFFFh	0000 0000h～007F FFFFh
対象バスマスタ	CPU 命令フェッチ	CPUオペランドアクセスおよび CPU 以外からのアクセス	FLPF
容量	128 バイト	8 バイト	16 バイト
アソシアティブ方式	2 ウェイセットアソシアティブ	フルアソシアティブ	—
	64 ビット/エントリ (64 ビット整列データ)、 8 エントリ/ウェイ	64 ビット/エントリ (64 ビット整列データ)、 1 エントリ	64 ビット/エントリ (64 ビット整列データ)、 2 エントリ、 前の CPU 命令の次のアドレス
アクセスサイクル	キャッシュヒット：0 ウェイト キャッシュミス：SYSTEM.MEMWAIT レジスタに従う： MEMWAIT = 0：0 ウェイト MEMWAIT = 1：1～2 ウェイト	キャッシュヒット：0 ウェイト キャッシュミス：SYSTEM.MEMWAIT レジスタに従う： MEMWAIT = 0：0 ウェイト MEMWAIT = 1：1～2 ウェイト	キャッシュヒット：0 ウェイト キャッシュミス：SYSTEM.MEMWAIT レジスタに従う： MEMWAIT = 0：0 ウェイト MEMWAIT = 1：1～2 ウェイト

<変更後>

43.3 フラッシュキャッシュ

43.3.1 概要

フラッシュキャッシュ (FCACHE) は、バスマスタからフラッシュメモリへのリードアクセスを高速化します。FCACHE には以下が含まれます。

- CPU 命令フェッチで使用する FCACHE1
- CPUオペランドアクセスとDMAC/DTCからのアクセスで使用するFCACHE2
- CPU 命令フェッチのプリフェッチアクセスで使用する FLPF

表 43.4 フラッシュキャッシュの概要

項目	フラッシュキャッシュ 1 (FCACHE1)	フラッシュキャッシュ 2 (FCACHE2)	プリフェッチバッファ (FLPF)
キャッシュ対象領域	0000 0000h～007F FFFFh	0000 0000h～007F FFFFh	0000 0000h～007F FFFFh
対象バスマスタ	CPU 命令フェッチ	CPUオペランドアクセスおよび DMAC/DTCからのアクセス	CPU 命令フェッチ
容量	128 バイト	8 バイト	16 バイト
アソシアティブ方式	2 ウェイセットアソシアティブ	フルアソシアティブ	—
	64 ビット/エントリ (64 ビット整列データ)、 8 エントリ/ウェイ	64 ビット/エントリ (64 ビット整列データ)、 1 エントリ	64 ビット/エントリ (64 ビット整列データ)、 2 エントリ、 前の CPU 命令の次のアドレス
アクセスサイクル	キャッシュヒット：0 ウェイト キャッシュミス：SYSTEM.MEMWAIT レジスタに従う： MEMWAIT = 0：0 ウェイト MEMWAIT = 1：1～2 ウェイト	キャッシュヒット：0 ウェイト キャッシュミス：SYSTEM.MEMWAIT レジスタに従う： MEMWAIT = 0：0 ウェイト MEMWAIT = 1：1～2 ウェイト	キャッシュヒット：0 ウェイト キャッシュミス：SYSTEM.MEMWAIT レジスタに従う： MEMWAIT = 0：0 ウェイト MEMWAIT = 1：1～2 ウェイト

5. RA6E1 グループの変更を以下に示す。

<変更前>

44.5.1 フラッシュキャッシュの特長

FCACHE（フラッシュキャッシュ）は、バスマスタからフラッシュメモリへのリードアクセスを高速化します。FCACHE には以下が含まれます。

- CPU 命令フェッチで使用する FCACHE1
- CPU オペランドアクセスと EDMAC からのアクセスで使用する FCACHE2
- CPU 命令フェッチのプリフェッチアクセスで使用する FLPF

表 44.7 フラッシュキャッシュ 1 (FCACHE1) の概要

キャッシュ対象領域	0x0000_0000~0x007F_FFFF
対象バスマスタ	CPU 命令フェッチ
容量	256 バイト
アソシアティブ方式	8 ウェイセットアソシアティブ
	128 ビット/エントリ（128 ビット整列データ）、2 エントリ/ウェイ
アクセスサイクル	キャッシュヒット：0 ウェイト キャッシュミス：フラッシュウェイトサイクルレジスタのウェイト数

表 44.8 フラッシュキャッシュ 2 (FCACHE2) の概要

キャッシュ対象領域	0x0000_0000~0x007F_FFFF
対象バスマスタ	CPU オペランドアクセスおよび EDMAC からのアクセス
容量	16 バイト
アソシアティブ方式	フルアソシアティブ
	128 ビット/エントリ（128 ビット整列データ）、1 エントリ
アクセスサイクル	キャッシュヒット：0 ウェイト キャッシュミス：フラッシュウェイトサイクルレジスタのウェイト数

<変更後>

44.5.1 フラッシュキャッシュの特長

FCACHE（フラッシュキャッシュ）は、バスマスタからフラッシュメモリへのリードアクセスを高速化します。FCACHE には以下が含まれます。

- CPU 命令フェッチで使用する FCACHE1
- CPU オペランドアクセスと ~~EDMAC からのアクセス~~ で使用する FCACHE2
- CPU 命令フェッチのプリフェッチアクセスで使用する FLPF

表 44.7 フラッシュキャッシュ 1 (FCACHE1) の概要

キャッシュ対象領域	0x0000_0000~0x007F_FFFF
対象バスマスタ	CPU 命令フェッチ
容量	256 バイト
アソシアティブ方式	8 ウェイセットアソシアティブ
	128 ビット/エントリ（128 ビット整列データ）、2 エントリ/ウェイ
アクセスサイクル	キャッシュヒット：0 ウェイト キャッシュミス：フラッシュウェイトサイクルレジスタのウェイト数

表 44.8 フラッシュキャッシュ 2 (FCACHE2) の概要

キャッシュ対象領域	0x0000_0000~0x007F_FFFF
対象バスマスタ	CPU オペランドアクセスおよび EDMAC からのアクセス
容量	16 バイト
アソシアティブ方式	フルアソシアティブ
	128 ビット/エントリ（128 ビット整列データ）、1 エントリ
アクセスサイクル	キャッシュヒット：0 ウェイト キャッシュミス：フラッシュウェイトサイクルレジスタのウェイト数

6. RA6E2 グループの変更を以下に示す。

<変更前>

42.5.1 フラッシュキャッシュの特長

FCACHE（フラッシュキャッシュ）は、バスマスタからフラッシュメモリへのリードアクセスを高速化します。FCACHE には以下が含まれます。

- CPU 命令フェッチで使用する FCACHE1
- CPU オペランドアクセスと EDMAC からのアクセスで使用する FCACHE2
- CPU 命令フェッチのブリフェッチアクセスで使用する FLPF

表 42.6 フラッシュキャッシュ 1 (FCACHE1) の概要

キャッシュ対象領域	0x0000_0000～0x007F_FFFF
対象バスマスタ	CPU 命令フェッチ
容量	256 バイト
アソシアティブ方式	8 ウェイセットアソシアティブ 128 ビット／エントリ（128 ビット整列データ）、2 エントリ／ウェイ
アクセスサイクル	キャッシュヒット：0 ウェイト キャッシュミス：フラッシュウェイトサイクルレジスタのウェイト数

表 42.7 フラッシュキャッシュ 2 (FCACHE2) の概要

キャッシュ対象領域	0x0000_0000～0x007F_FFFF
対象バスマスタ	CPU オペランドアクセスおよび EDMAC からのアクセス
容量	16 バイト
アソシアティブ方式	フルアソシアティブ 128 ビット／エントリ（128 ビット整列データ）、1 エントリ
アクセスサイクル	キャッシュヒット：0 ウェイト キャッシュミス：フラッシュウェイトサイクルレジスタのウェイト数

<変更後>

42.5.1 フラッシュキャッシュの特長

FCACHE（フラッシュキャッシュ）は、バスマスタからフラッシュメモリへのリードアクセスを高速化します。FCACHE には以下が含まれます。

- CPU 命令フェッチで使用する FCACHE1
- CPUオペランドアクセスとDMAC/DTCからのアクセスで使用するFCACHE2
- CPU 命令フェッチのブリフェッチアクセスで使用する FLPF

表 42.6 フラッシュキャッシュ 1 (FCACHE1) の概要

キャッシュ対象領域	0x0000_0000～0x007F_FFFF
対象バスマスタ	CPU 命令フェッチ
容量	256 バイト
アソシアティブ方式	8 ウェイセットアソシアティブ 128 ビット／エントリ（128 ビット整列データ）、2 エントリ／ウェイ
アクセスサイクル	キャッシュヒット：0 ウェイト キャッシュミス：フラッシュウェイトサイクルレジスタのウェイト数

表 42.7 フラッシュキャッシュ 2 (FCACHE2) の概要

キャッシュ対象領域	0x0000_0000～0x007F_FFFF
対象バスマスタ	CPUオペランドアクセスおよびDMAC/DTCからのアクセス
容量	16 バイト
アソシアティブ方式	フルアソシアティブ 128 ビット／エントリ（128 ビット整列データ）、1 エントリ
アクセスサイクル	キャッシュヒット：0 ウェイト キャッシュミス：フラッシュウェイトサイクルレジスタのウェイト数

7. RA6M1 グループの変更を以下に示す。

<変更前>

50.4 フラッシュキャッシュ

50.4.1 概要

フラッシュキャッシュ（FCACHE）は、バスマスタからフラッシュメモリへのリードアクセスを高速化します。FCACHE には以下が含まれます。

- CPU 命令フェッチで使用する FCACHE1
- CPU オペランドアクセスと DMA で使用する FCACHE2
- CPU 命令フェッチのプリフェッチアクセスで使用する FLPF

表 50.3 フラッシュキャッシュの概要

項目	フラッシュキャッシュ 1 (FCACHE1)	フラッシュキャッシュ 2 (FCACHE2)	プリフェッチバッファ (FLPF)
キャッシュ対象領域	0000 0000h～0007 FFFFh	0000 0000h～0007 FFFFh	0000 0000h～0007 FFFFh
対象バスマスタ	CPU 命令フェッチ	CPUオペランドアクセスおよび CPU 以外からのアクセス	FLPF
容量	256 バイト	16 バイト	32 バイト
アソシアティブ方式	• 8ウェイセットアソシアティブ • 128ビット/エントリ (128ビット整列データ) • 2エントリ/ウェイ	• フルアソシアティブ • 128ビット/エントリ (128ビット整列データ) • FCACHE2の1エントリ	• フルアソシアティブ • 128ビット/エントリ (128ビット整列データ) • 2エントリ
アクセスサイクル	• キャッシュヒット：0ウェイト • キャッシュミス：フラッシュ ウェイトサイクルレジスタに 設定されたウェイト数	• キャッシュヒット：0ウェイト • キャッシュミス：フラッシュ ウェイトサイクルレジスタに 設定されたウェイト数	• キャッシュヒット：0ウェイト • キャッシュミス：フラッシュ ウェイトサイクルレジスタに 設定されたウェイト数

<変更後>

50.4 フラッシュキャッシュ

50.4.1 概要

フラッシュキャッシュ（FCACHE）は、バスマスタからフラッシュメモリへのリードアクセスを高速化します。FCACHE には以下が含まれます。

- CPU 命令フェッチで使用する FCACHE1
- CPUオペランドアクセスとDMAC/DTCからのアクセスで使用するFCACHE2
- CPU 命令フェッチのプリフェッチアクセスで使用する FLPF

表 50.3 フラッシュキャッシュの概要

項目	フラッシュキャッシュ 1 (FCACHE1)	フラッシュキャッシュ 2 (FCACHE2)	プリフェッチバッファ (FLPF)
キャッシュ対象領域	0000 0000h～0007 FFFFh	0000 0000h～0007 FFFFh	0000 0000h～0007 FFFFh
対象バスマスタ	CPU 命令フェッチ	CPUオペランドアクセスおよび DMAC/DTCからのアクセス	CPU命令フェッチ
容量	256 バイト	16 バイト	32 バイト
アソシアティブ方式	• 8ウェイセットアソシアティブ • 128ビット/エントリ (128ビット整列データ) • 2エントリ/ウェイ	• フルアソシアティブ • 128ビット/エントリ (128ビット整列データ) • FCACHE2の1エントリ	• フルアソシアティブ • 128ビット/エントリ (128ビット整列データ) • 2エントリ
アクセスサイクル	• キャッシュヒット：0ウェイト • キャッシュミス：フラッシュ ウェイトサイクルレジスタに 設定されたウェイト数	• キャッシュヒット：0ウェイト • キャッシュミス：フラッシュ ウェイトサイクルレジスタに 設定されたウェイト数	• キャッシュヒット：0ウェイト • キャッシュミス：フラッシュ ウェイトサイクルレジスタに 設定されたウェイト数

8. RA6M2 グループの変更を以下に示す。

<変更前>

53.4 フラッシュキャッシュ

53.4.1 概要

フラッシュキャッシュ (FCACHE) は、バスマスタからフラッシュメモリへのリードアクセスを高速化します。FCACHE には以下が含まれます。

- CPU 命令フェッチで使用する FCACHE1
- CPU オペランドアクセスと DMA で使用する FCACHE2
- CPU 命令フェッチのプリフェッチアクセスで使用する FLPF

表 53.3 フラッシュキャッシュの概要

項目	フラッシュキャッシュ 1 (FCACHE1)	フラッシュキャッシュ 2 (FCACHE2)	プリフェッチバッファ (FLPF)
キャッシュ対象領域	0000 0000h ~ 000F FFFFh	0000 0000h ~ 000F FFFFh	0000 0000h ~ 000F FFFFh
対象バスマスタ	CPU 命令フェッチ	CPUオペランドアクセスおよび CPU以外からのアクセス	FLPF
容量	256バイト	16バイト	32バイト
アソシアティブ方式	• 8ウェイセットアソシアティブ • 128ビット/エントリ (128ビット整列データ) • 2エントリ/ウェイ	• フルアソシアティブ • 128ビット/エントリ (128ビット整列データ) • FCACHE2の1エントリ	• フルアソシアティブ • 128ビット/エントリ (128ビット整列データ) • 2エントリ
アクセスサイクル	• キャッシュヒット: 0ウェイト • キャッシュミス: フラッシュ ウェイトサイクルレジスタに 設定されたウェイト数	• キャッシュヒット: 0ウェイト • キャッシュミス: フラッシュ ウェイトサイクルレジスタに 設定されたウェイト数	• キャッシュヒット: 0ウェイト • キャッシュミス: フラッシュ ウェイトサイクルレジスタに 設定されたウェイト数

<変更後>

53.4 フラッシュキャッシュ

53.4.1 概要

フラッシュキャッシュ (FCACHE) は、バスマスタからフラッシュメモリへのリードアクセスを高速化します。FCACHE には以下が含まれます。

- CPU 命令フェッチで使用する FCACHE1
- CPUオペランドアクセスとDMAC/DTC,EDMACからのアクセスで使用するFCACHE2
- CPU 命令フェッチのプリフェッチアクセスで使用する FLPF

表 53.3 フラッシュキャッシュの概要

項目	フラッシュキャッシュ 1 (FCACHE1)	フラッシュキャッシュ 2 (FCACHE2)	プリフェッチバッファ (FLPF)
キャッシュ対象領域	0000 0000h ~ 000F FFFFh	0000 0000h ~ 000F FFFFh	0000 0000h ~ 000F FFFFh
対象バスマスタ	CPU 命令フェッチ	CPUオペランドアクセスおよび DMAC/DTC,EDMACからのアクセス	CPU命令フェッチ
容量	256バイト	16バイト	32バイト
アソシアティブ方式	• 8ウェイセットアソシアティブ • 128ビット/エントリ (128ビット整列データ) • 2エントリ/ウェイ	• フルアソシアティブ • 128ビット/エントリ (128ビット整列データ) • FCACHE2の1エントリ	• フルアソシアティブ • 128ビット/エントリ (128ビット整列データ) • 2エントリ
アクセスサイクル	• キャッシュヒット: 0ウェイト • キャッシュミス: フラッシュ ウェイトサイクルレジスタに 設定されたウェイト数	• キャッシュヒット: 0ウェイト • キャッシュミス: フラッシュ ウェイトサイクルレジスタに 設定されたウェイト数	• キャッシュヒット: 0ウェイト • キャッシュミス: フラッシュ ウェイトサイクルレジスタに 設定されたウェイト数

9. RA6M3 グループの変更を以下に示す。

<変更前>

55.4 フラッシュキャッシュ

55.4.1 概要

フラッシュキャッシュ（FCACHE）は、バスマスタからフラッシュメモリへのリードアクセスを高速化します。FCACHE には以下が含まれます。

- CPU 命令フェッチで使用する FCACHE1
- CPU オペランドアクセスと DMA で使用する FCACHE2
- CPU 命令フェッチのプリフェッチアクセスで使用する FLPF

表 55.3 フラッシュキャッシュの概要

項目	フラッシュキャッシュ 1 (FCACHE1)	フラッシュキャッシュ 2 (FCACHE2)	プリフェッチバッファ (FLPF)
キャッシュ対象領域	0000 0000h~001F FFFFh	0000 0000h~001F FFFFh	0000 0000h~001F FFFFh
対象バスマスタ	CPU 命令フェッチ	CPUオペランドアクセスおよび CPU以外からのアクセス	FLPF
容量	256バイト	16バイト	32バイト
アソシアティブ方式	• 8ウェイセットアソシアティブ • 128ビット/エントリ (128ビット整列データ) • 2エントリ/ウェイ	• フルアソシアティブ • 128ビット/エントリ (128ビット整列データ) • FCACHE2の1エントリ	• フルアソシアティブ • 128ビット/エントリ (128ビット整列データ) • 2エントリ
アクセスサイクル	• キャッシュヒット：0ウェイト • キャッシュミス：フラッシュ ウェイトサイクルレジスタに 設定されたウェイト数	• キャッシュヒット：0ウェイト • キャッシュミス：フラッシュ ウェイトサイクルレジスタに 設定されたウェイト数	• キャッシュヒット：0ウェイト • キャッシュミス：フラッシュ ウェイトサイクルレジスタに 設定されたウェイト数

<変更後>

55.4 フラッシュキャッシュ

55.4.1 概要

フラッシュキャッシュ（FCACHE）は、バスマスタからフラッシュメモリへのリードアクセスを高速化します。FCACHE には以下が含まれます。

- CPU 命令フェッチで使用する FCACHE1
- CPUオペランドアクセスとDMAC/DTC、EDMAC、グラフィックIPからのアクセスで使用するFCACHE2
- CPU 命令フェッチのプリフェッチアクセスで使用する FLPF

表 55.3 フラッシュキャッシュの概要

項目	フラッシュキャッシュ 1 (FCACHE1)	フラッシュキャッシュ 2 (FCACHE2)	プリフェッチバッファ(FLPF)
キャッシュ対象領域	0000 0000h~001F FFFFh	0000 0000h~001F FFFFh	0000 0000h~001F FFFFh
対象バスマスタ	CPU命令フェッチ	CPUオペランドアクセスおよび DMAC/DTC、EDMAC、グラフィックIP からのアクセス	CPU命令フェッチ
容量	256バイト	16バイト	32バイト
アソシアティブ方式	• 8ウェイセットアソシアティブ • 128ビット/エントリ (128ビット整列データ) • 2エントリ/ウェイ	• フルアソシアティブ • 128ビット/エントリ (128ビット整列データ) • FCACHE2の1エントリ	• フルアソシアティブ • 128ビット/エントリ (128ビット整列データ) • 2エントリ
アクセスサイクル	• キャッシュヒット：0ウェイト • キャッシュミス：フラッシュ ウェイトサイクルレジスタに 設定されたウェイト数	• キャッシュヒット：0ウェイト • キャッシュミス：フラッシュ ウェイトサイクルレジスタに 設定されたウェイト数	• キャッシュヒット：0ウェイト • キャッシュミス：フラッシュ ウェイトサイクルレジスタに 設定されたウェイト数

10. RA6M4 グループの変更を以下に示す。

<変更前>

47.5.1 フラッシュキャッシュの特長

FCACHE（フラッシュキャッシュ）は、バスマスタからフラッシュメモリへのリードアクセスを高速化します。FCACHE には以下が含まれます。

- CPU 命令フェッチで使用する FCACHE1
- CPU オペランドアクセスと EDMAC からのアクセスで使用する FCACHE2
- CPU 命令フェッチのプリフェッチアクセスで使用する FLPF

表 47.7 フラッシュキャッシュ 1 (FCACHE1) の概要

キャッシュ対象領域	0x0000_0000~0x007F_FFFF
対象バスマスタ	CPU 命令フェッチ
容量	256 バイト
アソシアティブ方式	8 ウェイセットアソシアティブ 128 ビット/エントリ（128 ビット整列データ）、2 エントリ/ウェイ
アクセスサイクル	キャッシュヒット：0 ウェイト キャッシュミス：フラッシュウェイトサイクルレジスタのウェイト数

表 47.8 フラッシュキャッシュ 2 (FCACHE2) の概要

キャッシュ対象領域	0x0000_0000~0x007F_FFFF
対象バスマスタ	CPU オペランドアクセスおよび EDMAC からのアクセス
容量	16 バイト
アソシアティブ方式	フルアソシアティブ 128 ビット/エントリ（128 ビット整列データ）、1 エントリ
アクセスサイクル	キャッシュヒット：0 ウェイト キャッシュミス：フラッシュウェイトサイクルレジスタのウェイト数

<変更後>

47.5.1 フラッシュキャッシュの特長

FCACHE（フラッシュキャッシュ）は、バスマスタからフラッシュメモリへのリードアクセスを高速化します。FCACHE には以下が含まれます。

- CPU 命令フェッチで使用する FCACHE1
- CPU オペランドアクセスとEDMACからのアクセスで使用する FCACHE2
- CPU 命令フェッチのプリフェッチアクセスで使用する FLPF

表 47.7 フラッシュキャッシュ 1 (FCACHE1) の概要

キャッシュ対象領域	0x0000_0000~0x007F_FFFF
対象バスマスタ	CPU 命令フェッチ
容量	256 バイト
アソシアティブ方式	8 ウェイセットアソシアティブ 128 ビット/エントリ（128 ビット整列データ）、2 エントリ/ウェイ
アクセスサイクル	キャッシュヒット：0 ウェイト キャッシュミス：フラッシュウェイトサイクルレジスタのウェイト数

表 47.8 フラッシュキャッシュ 2 (FCACHE2) の概要

キャッシュ対象領域	0x0000_0000~0x007F_FFFF
対象バスマスタ	CPU オペランドアクセスおよびEDMACからのアクセス
容量	16 バイト
アソシアティブ方式	フルアソシアティブ 128 ビット/エントリ（128 ビット整列データ）、1 エントリ
アクセスサイクル	キャッシュヒット：0 ウェイト キャッシュミス：フラッシュウェイトサイクルレジスタのウェイト数

11. RA6M5 グループの変更を以下に示す。

<変更前>

50.5.1 フラッシュキャッシュの特長

FCACHE（フラッシュキャッシュ）は、バスマスタからフラッシュメモリへのリードアクセスを高速化します。FCACHE には以下が含まれます。

- CPU 命令フェッチで使用する FCACHE1
- CPU オペランドアクセスと EDMAC からのアクセスで使用する FCACHE2
- CPU 命令フェッチのプリフェッチアクセスで使用する FLPF

表 50.7 フラッシュキャッシュ 1 (FCACHE1) の概要

キャッシュ対象領域	0x0000_0000~0x007F_FFFF
対象バスマスタ	CPU 命令フェッチ
容量	256 バイト
アソシアティブ方式	8 ウェイセットアソシアティブ 128 ビット/エントリ (128 ビット整列データ)、2 エントリ/ウェイ
アクセスサイクル	キャッシュヒット：0 ウェイト キャッシュミス：フラッシュウェイトサイクルレジスタのウェイト数

表 50.8 フラッシュキャッシュ 2 (FCACHE2) の概要

キャッシュ対象領域	0x0000_0000~0x007F_FFFF
対象バスマスタ	CPU オペランドアクセスおよび EDMAC からのアクセス
容量	16 バイト
アソシアティブ方式	フルアソシアティブ 128 ビット/エントリ (128 ビット整列データ)、1 エントリ
アクセスサイクル	キャッシュヒット：0 ウェイト キャッシュミス：フラッシュウェイトサイクルレジスタのウェイト数

<変更後>

50.5.1 フラッシュキャッシュの特長

FCACHE（フラッシュキャッシュ）は、バスマスタからフラッシュメモリへのリードアクセスを高速化します。FCACHE には以下が含まれます。

- CPU 命令フェッチで使用する FCACHE1
- CPU オペランドアクセスと ~~EDMAC~~からのアクセスで使用する FCACHE2
- CPU 命令フェッチのプリフェッチアクセスで使用する FLPF

表 50.7 フラッシュキャッシュ 1 (FCACHE1) の概要

キャッシュ対象領域	0x0000_0000~0x007F_FFFF
対象バスマスタ	CPU 命令フェッチ
容量	256 バイト
アソシアティブ方式	8 ウェイセットアソシアティブ 128 ビット/エントリ (128 ビット整列データ)、2 エントリ/ウェイ
アクセスサイクル	キャッシュヒット：0 ウェイト キャッシュミス：フラッシュウェイトサイクルレジスタのウェイト数

表 50.8 フラッシュキャッシュ 2 (FCACHE2) の概要

キャッシュ対象領域	0x0000_0000~0x007F_FFFF
対象バスマスタ	CPU オペランドアクセスおよび EDMAC からのアクセス
容量	16 バイト
アソシアティブ方式	フルアソシアティブ 128 ビット/エントリ (128 ビット整列データ)、1 エントリ
アクセスサイクル	キャッシュヒット：0 ウェイト キャッシュミス：フラッシュウェイトサイクルレジスタのウェイト数

12. RA6T1 グループの変更を以下に示す。

<変更前>

41.3 フラッシュキャッシュ

41.3.1 概要

フラッシュキャッシュ（FCACHE）は、バスマスタからフラッシュメモリへのリードアクセスを高速化します。FCACHE には以下が含まれます。

- CPU 命令フェッチで使用する FCACHE1
- CPU オペランドアクセスと DMA で使用する FCACHE2
- CPU 命令フェッチのプリフェッチアクセスで使用する FLPF

表 41.3 フラッシュキャッシュの概要

項目	フラッシュキャッシュ 1 (FCACHE1)	フラッシュキャッシュ 2 (FCACHE2)	プリフェッチバッファ (FLPF)
キャッシュ対象領域	0000 0000h～0007 FFFFh	0000 0000h～0007 FFFFh	0000 0000h～0007 FFFFh
対象バスマスタ	CPU 命令フェッチ	CPU オペランドアクセスおよび CPU 以外からのアクセス	FLPF
容量	256 バイト	16 バイト	32 バイト
アソシアティブ方式	• 8ウェイセットアソシアティブ • 128ビット／エントリ (128ビット整列データ) • 2エントリ／ウェイ	• フルアソシアティブ • 128ビット／エントリ (128ビット整列データ) • FCACHE2の1エントリ	• フルアソシアティブ • 128ビット／エントリ (128ビット整列データ) • 2エントリ
アクセスサイクル	• キャッシュヒット：0ウェイト • キャッシュミス：フラッシュ ウェイトサイクルレジスタに 設定されたウェイト数	• キャッシュヒット：0ウェイト • キャッシュミス：フラッシュ ウェイトサイクルレジスタに 設定されたウェイト数	• キャッシュヒット：0ウェイト • キャッシュミス：フラッシュ ウェイトサイクルレジスタに 設定されたウェイト数

<変更後>

41.3 フラッシュキャッシュ

41.3.1 概要

フラッシュキャッシュ（FCACHE）は、バスマスタからフラッシュメモリへのリードアクセスを高速化します。FCACHE には以下が含まれます。

- CPU 命令フェッチで使用する FCACHE1
- CPUオペランドアクセスとDMAC/DTCからのアクセスで使用するFCACHE2
- CPU 命令フェッチのプリフェッチアクセスで使用する FLPF

表 41.3 フラッシュキャッシュの概要

項目	フラッシュキャッシュ 1 (FCACHE1)	フラッシュキャッシュ 2 (FCACHE2)	プリフェッチバッファ (FLPF)
キャッシュ対象領域	0000 0000h～0007 FFFFh	0000 0000h～0007 FFFFh	0000 0000h～0007 FFFFh
対象バスマスタ	CPU 命令フェッチ	CPU オペランドアクセスおよび DMAC/DTCからのアクセス	CPU 命令フェッチ
容量	256 バイト	16 バイト	32 バイト
アソシアティブ方式	• 8ウェイセットアソシアティブ • 128ビット／エントリ (128ビット整列データ) • 2エントリ／ウェイ	• フルアソシアティブ • 128ビット／エントリ (128ビット整列データ) • FCACHE2の1エントリ	• フルアソシアティブ • 128ビット／エントリ (128ビット整列データ) • 2エントリ
アクセスサイクル	• キャッシュヒット：0ウェイト • キャッシュミス：フラッシュ ウェイトサイクルレジスタに 設定されたウェイト数	• キャッシュヒット：0ウェイト • キャッシュミス：フラッシュ ウェイトサイクルレジスタに 設定されたウェイト数	• キャッシュヒット：0ウェイト • キャッシュミス：フラッシュ ウェイトサイクルレジスタに 設定されたウェイト数

13. RA6T2 グループの変更を以下に示す。

<変更前>

43.5.1 フラッシュキャッシュの特長

FCACHE（フラッシュキャッシュ）は、バスマスタからフラッシュメモリへのリードアクセスを高速化します。FCACHE には以下が含まれます。

- CPU 命令フェッチで使用する FCACHE1
- CPU オペランドアクセスで使用する FCACHE2
- CPU 命令フェッチのプリフェッチアクセスで使用する FLPF

表 43.6 フラッシュキャッシュ 1 (FCACHE1) の概要

キャッシュ対象領域	0x0000_0000~0x007F_FFFF
対象バスマスタ	CPU 命令フェッチ
容量	256 バイト
アソシアティブ方式	8 ウェイセットアソシアティブ
	128 ビット/エントリ（128 ビット整列データ）、2 エントリ/ウェイ
アクセスサイクル	キャッシュヒット：0 ウェイト キャッシュミス：フラッシュウェイトサイクルレジスタのウェイト数

表 43.7 フラッシュキャッシュ 2 (FCACHE2) の概要

キャッシュ対象領域	0x0000_0000~0x007F_FFFF
対象バスマスタ	CPU オペランドアクセス
容量	16 バイト
アソシアティブ方式	フルアソシアティブ
	128 ビット/エントリ（128 ビット整列データ）、1 エントリ
アクセスサイクル	キャッシュヒット：0 ウェイト キャッシュミス：フラッシュウェイトサイクルレジスタのウェイト数

<変更後>

43.5.1 フラッシュキャッシュの特長

FCACHE（フラッシュキャッシュ）は、バスマスタからフラッシュメモリへのリードアクセスを高速化します。FCACHE には以下が含まれます。

- CPU 命令フェッチで使用する FCACHE1
- CPUオペランドアクセスとDMAC/DTCからのアクセスで使用するFCACHE2
- CPU 命令フェッチのプリフェッチアクセスで使用する FLPF

表 43.6 フラッシュキャッシュ 1 (FCACHE1) の概要

キャッシュ対象領域	0x0000_0000~0x007F_FFFF
対象バスマスタ	CPU 命令フェッチ
容量	256 バイト
アソシアティブ方式	8 ウェイセットアソシアティブ
	128 ビット/エントリ（128 ビット整列データ）、2 エントリ/ウェイ
アクセスサイクル	キャッシュヒット：0 ウェイト キャッシュミス：フラッシュウェイトサイクルレジスタのウェイト数

表 43.7 フラッシュキャッシュ 2 (FCACHE2) の概要

キャッシュ対象領域	0x0000_0000~0x007F_FFFF
対象バスマスタ	CPUオペランドアクセスおよびDMAC/DTCからのアクセス
容量	16 バイト
アソシアティブ方式	フルアソシアティブ
	128 ビット/エントリ（128 ビット整列データ）、1 エントリ
アクセスサイクル	キャッシュヒット：0 ウェイト キャッシュミス：フラッシュウェイトサイクルレジスタのウェイト数

14. RA6T3 グループの変更を以下に示す。

<変更前>

39.5.1 フラッシュキャッシュの特長

FCACHE（フラッシュキャッシュ）は、バスマスタからフラッシュメモリへのリードアクセスを高速化します。FCACHE には以下が含まれます。

- CPU 命令フェッチで使用する FCACHE1
- CPU オペランドアクセスと EDMAC からのアクセスで使用する FCACHE2
- CPU 命令フェッチのプリフェッチアクセスで使用する FLPF

表 39.6 フラッシュキャッシュ 1 (FCACHE1) の概要

キャッシュ対象領域	0x0000_0000~0x007F_FFFF
対象バスマスタ	CPU 命令フェッチ
容量	256 バイト
アソシアティブ方式	8 ウェイセットアソシアティブ 128 ビット/エントリ (128 ビット整列データ)、2 エントリ/ウェイ
アクセスサイクル	キャッシュヒット：0 ウェイト キャッシュミス：フラッシュウェイトサイクルレジスタのウェイト数

表 39.7 フラッシュキャッシュ 2 (FCACHE2) の概要

キャッシュ対象領域	0x0000_0000~0x007F_FFFF
対象バスマスタ	CPU オペランドアクセスおよび EDMAC からのアクセス
容量	16 バイト
アソシアティブ方式	フルアソシアティブ 128 ビット/エントリ (128 ビット整列データ)、1 エントリ
アクセスサイクル	キャッシュヒット：0 ウェイト キャッシュミス：フラッシュウェイトサイクルレジスタのウェイト数

<変更後>

39.5.1 フラッシュキャッシュの特長

FCACHE（フラッシュキャッシュ）は、バスマスタからフラッシュメモリへのリードアクセスを高速化します。FCACHE には以下が含まれます。

- CPU 命令フェッチで使用する FCACHE1
- CPUオペランドアクセスとDMAC/DTCからのアクセスで使用するFCACHE2
- CPU 命令フェッチのプリフェッチアクセスで使用する FLPF

表 39.6 フラッシュキャッシュ 1 (FCACHE1) の概要

キャッシュ対象領域	0x0000_0000~0x007F_FFFF
対象バスマスタ	CPU 命令フェッチ
容量	256 バイト
アソシアティブ方式	8 ウェイセットアソシアティブ 128 ビット/エントリ (128 ビット整列データ)、2 エントリ/ウェイ
アクセスサイクル	キャッシュヒット：0 ウェイト キャッシュミス：フラッシュウェイトサイクルレジスタのウェイト数

表 39.7 フラッシュキャッシュ 2 (FCACHE2) の概要

キャッシュ対象領域	0x0000_0000~0x007F_FFFF
対象バスマスタ	CPU オペランドアクセスおよび DMAC/DTCからのアクセス
容量	16 バイト
アソシアティブ方式	フルアソシアティブ 128 ビット/エントリ (128 ビット整列データ)、1 エントリ
アクセスサイクル	キャッシュヒット：0 ウェイト キャッシュミス：フラッシュウェイトサイクルレジスタのウェイト数

15. RA8D1 グループの変更を以下に示す。

15.1 「52.5.1 フラッシュキャッシュの特長」の変更前、変更後を以下に示す。

<変更前>

52.5.1 フラッシュキャッシュの特長

FCACHE（フラッシュキャッシュ）は、バスマスタからフラッシュメモリへのリードアクセスを高速化します。
FCACHE には以下が含まれます。

- CPU 命令フェッチで使用する FCACHE1
- CPU オペランドアクセスと EDMAC からのアクセスで使用する FCACHE2
- CPU 命令フェッチのプリフェッチアクセスで使用する FLPF

<変更後>

52.5.1 フラッシュキャッシュの特長

FCACHE（フラッシュキャッシュ）は、バスマスタからフラッシュメモリへのリードアクセスを高速化します。
FCACHE には以下が含まれます。

- CPU 命令フェッチで使用する FCACHE1
- CPUオペランドアクセスとDMAC/DTCからのアクセスで使用するFCACHE2
- CPU 命令フェッチのプリフェッチアクセスで使用する FLPF

15.2 「表 52.11 フラッシュキャッシュ 2(FCACHE2)の概要」の変更前、変更後を以下に示す。

<変更前>

表 52.11 フラッシュキャッシュ 2 (FCACHE2) の概要

キャッシュ対象領域	セキュアエイリアス：0x0200_0000～0x021F_7FFF 非セキュアエイリアス：0x1200_0000～0x121F_7FFF
対象バスマスタ	CPU オペランドアクセスおよび CPU 以外からのアクセス
容量	16 バイト
アソシアティブ方式	フルアソシアティブ 128 ビット／エントリ（128 ビット整列データ）、1 エントリ
アクセスサイクル	キャッシュヒット：0 ウェイト キャッシュミス：フラッシュウェイトサイクルレジスタのウェイト数

<変更後>

表 52.11 フラッシュキャッシュ 2 (FCACHE2) の概要

キャッシュ対象領域	セキュアエイリアス：0x0200_0000～0x021F_7FFF 非セキュアエイリアス：0x1200_0000～0x121F_7FFF
対象バスマスタ	CPU オペランドアクセスおよび DMAC/DTCからのアクセス
容量	16 バイト
アソシアティブ方式	フルアソシアティブ 128 ビット／エントリ（128 ビット整列データ）、1 エントリ
アクセスサイクル	キャッシュヒット：0 ウェイト キャッシュミス：フラッシュウェイトサイクルレジスタのウェイト数

16. RA8M1 グループの変更を以下に示す。

16.1 「52.5.1 フラッシュキャッシュの特長」の変更前、変更後を以下に示す。

<変更前>

52.5.1 フラッシュキャッシュの特長

FCACHE（フラッシュキャッシュ）は、バスマスタからフラッシュメモリへのリードアクセスを高速化します。
FCACHE には以下が含まれます。

- CPU 命令フェッチで使用する FCACHE1
- CPU オペランドアクセスと EDMAC からのアクセスで使用する FCACHE2
- CPU 命令フェッチのプリフェッチアクセスで使用する FLPF

<変更後>

52.5.1 フラッシュキャッシュの特長

FCACHE（フラッシュキャッシュ）は、バスマスタからフラッシュメモリへのリードアクセスを高速化します。
FCACHE には以下が含まれます。

- CPU 命令フェッチで使用する FCACHE1
- CPUオペランドアクセスとDMAC/DTCからのアクセスで使用するFCACHE2
- CPU 命令フェッチのプリフェッチアクセスで使用する FLPF

16.2 「表 52.11 フラッシュキャッシュ 2(FCACHE2)の概要」の変更前、変更後を以下に示す。

<変更前>

表 52.11 フラッシュキャッシュ 2 (FCACHE2) の概要

キャッシュ対象領域	セキュアエイリアス：0x0200_0000～0x021F_7FFF 非セキュアエイリアス：0x1200_0000～0x121F_7FFF
対象バスマスタ	CPU オペランドアクセスおよび CPU 以外からのアクセス
容量	16 バイト
アソシアティブ方式	フルアソシアティブ
	128 ビット／エントリ（128 ビット整列データ）、1 エントリ
アクセスサイクル	キャッシュヒット：0 ウェイト キャッシュミス：フラッシュウエイトサイクルレジスタのウェイト数

<変更後>

表 52.11 フラッシュキャッシュ 2 (FCACHE2) の概要

キャッシュ対象領域	セキュアエイリアス：0x0200_0000～0x021F_7FFF 非セキュアエイリアス：0x1200_0000～0x121F_7FFF
対象バスマスタ	CPU オペランドアクセスおよび DMAC/DTCからのアクセス
容量	16 バイト
アソシアティブ方式	フルアソシアティブ
	128 ビット／エントリ（128 ビット整列データ）、1 エントリ
アクセスサイクル	キャッシュヒット：0 ウェイト キャッシュミス：フラッシュウエイトサイクルレジスタのウェイト数

17. RA8T1 グループの変更を以下に示す。

17.1 「46.5.1 フラッシュキャッシュの特長」の変更前、変更後を以下に示す。

＜変更前＞

46.5.1 フラッシュキャッシュの特長

FCACHE（フラッシュキャッシュ）は、バスマスタからフラッシュメモリへのリードアクセスを高速化します。
FCACHE には以下が含まれます。

- CPU 命令フェッチで使用する FCACHE1
- CPU オペランドアクセスと EDMAC からのアクセスで使用する FCACHE2
- CPU 命令フェッチのプリフェッチアクセスで使用する FLPF

＜変更後＞

46.5.1 フラッシュキャッシュの特長

FCACHE（フラッシュキャッシュ）は、バスマスタからフラッシュメモリへのリードアクセスを高速化します。
FCACHE には以下が含まれます。

- CPU 命令フェッチで使用する FCACHE1
- CPUオペランドアクセスとDMAC/DTCからのアクセスで使用するFCACHE2
- CPU 命令フェッチのプリフェッチアクセスで使用する FLPF

17.2 「表 46.11 フラッシュキャッシュ 2(FCACHE2)の概要」の変更前、変更後を以下に示す。

＜変更前＞

表 46.11 フラッシュキャッシュ 2 (FCACHE2) の概要

キャッシュ対象領域	セキュアエイリアス：0x0200_0000～0x021F_7FFF 非セキュアエイリアス：0x1200_0000～0x121F_7FFF
対象バスマスタ	CPU オペランドアクセスおよび CPU 以外からのアクセス
容量	16 バイト
アソシアティブ方式	フルアソシアティブ
	128 ビット／エントリ（128 ビット整列データ）、1 エントリ
アクセスサイクル	キャッシュヒット：0 ウェイト キャッシュミス：フラッシュウェイトサイクルレジスタのウェイト数

＜変更後＞

表 46.11 フラッシュキャッシュ 2 (FCACHE2) の概要

キャッシュ対象領域	セキュアエイリアス：0x0200_0000～0x021F_7FFF 非セキュアエイリアス：0x1200_0000～0x121F_7FFF
対象バスマスタ	CPU オペランドアクセスおよび DMAC/DTCからのアクセス
容量	16 バイト
アソシアティブ方式	フルアソシアティブ
	128 ビット／エントリ（128 ビット整列データ）、1 エントリ
アクセスサイクル	キャッシュヒット：0 ウェイト キャッシュミス：フラッシュウェイトサイクルレジスタのウェイト数

-以上-