

RENESAS TECHNICAL UPDATE

〒211-8668 神奈川県川崎市中原区下沼部 1753
 ルネサス エレクトロニクス株式会社
 問合せ窓口 <http://japan.renesas.com/inquiry>
 E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-SH7-A787A/J	Rev.	第1版
題名	SH7280 グループハードウェアマニュアル誤記訂正		情報分類	技術情報	
適用製品	SH7280シリーズ、SH7243シリーズ	対象ロット等	関連資料	SH7280 グループハードウェア マニュアル (RJJ09B0366-0200)	
		全ロット			

上記適用製品のハードウェアマニュアルにおいて、誤記がございましたので、訂正のご連絡を致します。

詳細は、以下をご参照ください。

「1章 概要」 P1-7 図 1.1 ブロック図を SH7286, SH7285 と SH7243 に分けて記載します。

【変更前】

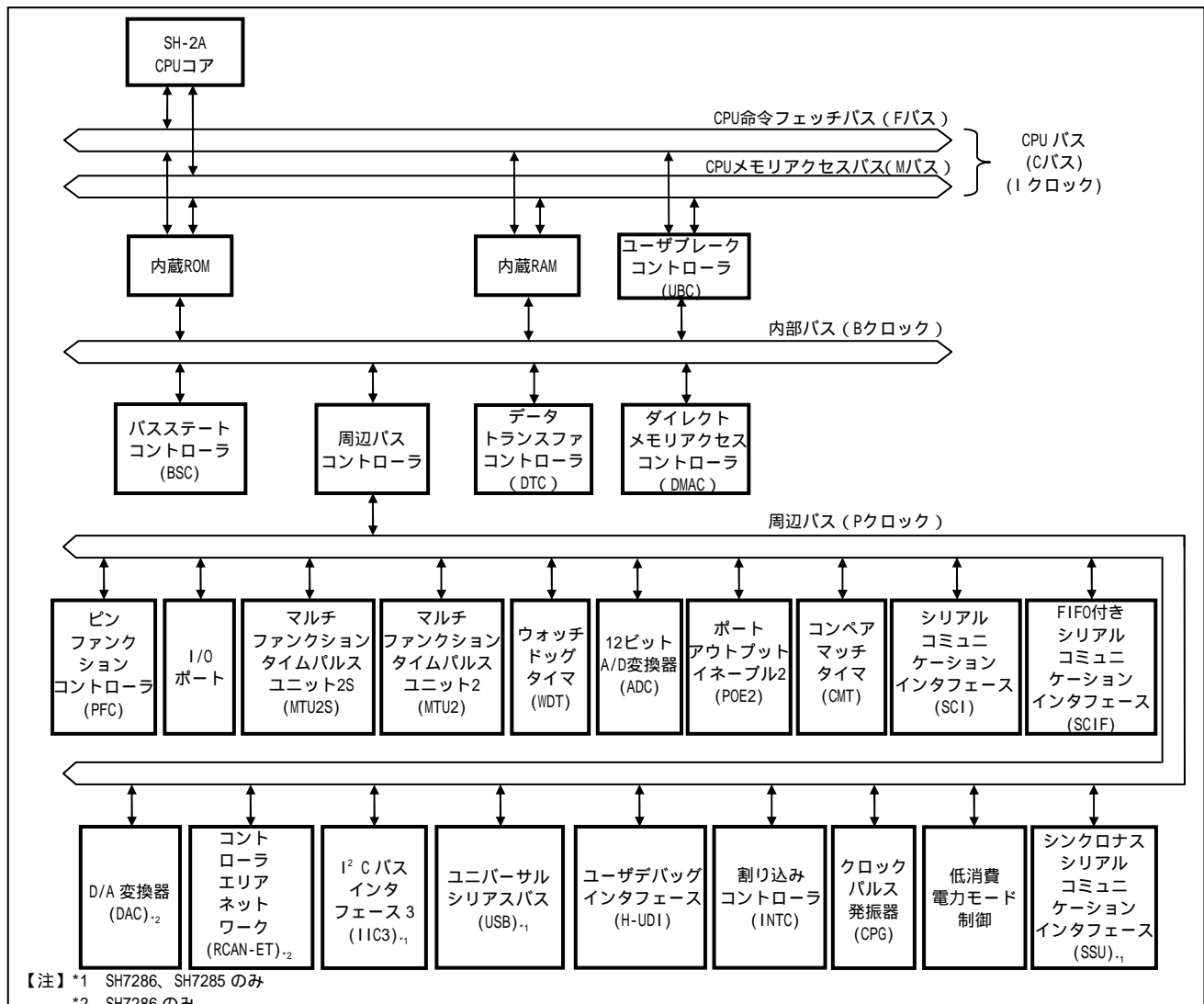


図 1.1 ブロック図

【変更後】

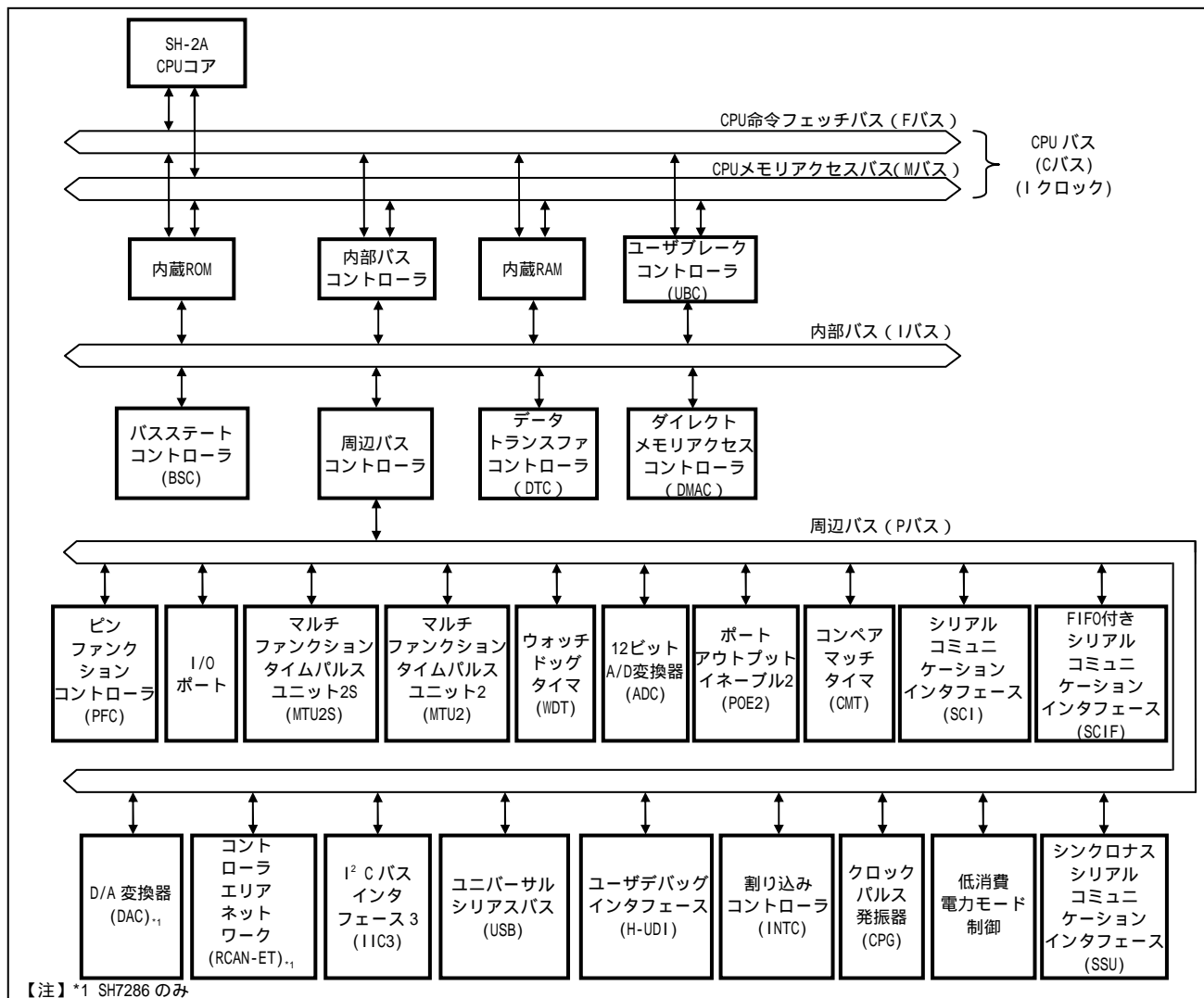


図 1.1(a) ブロック図(SH7285、SH7286)

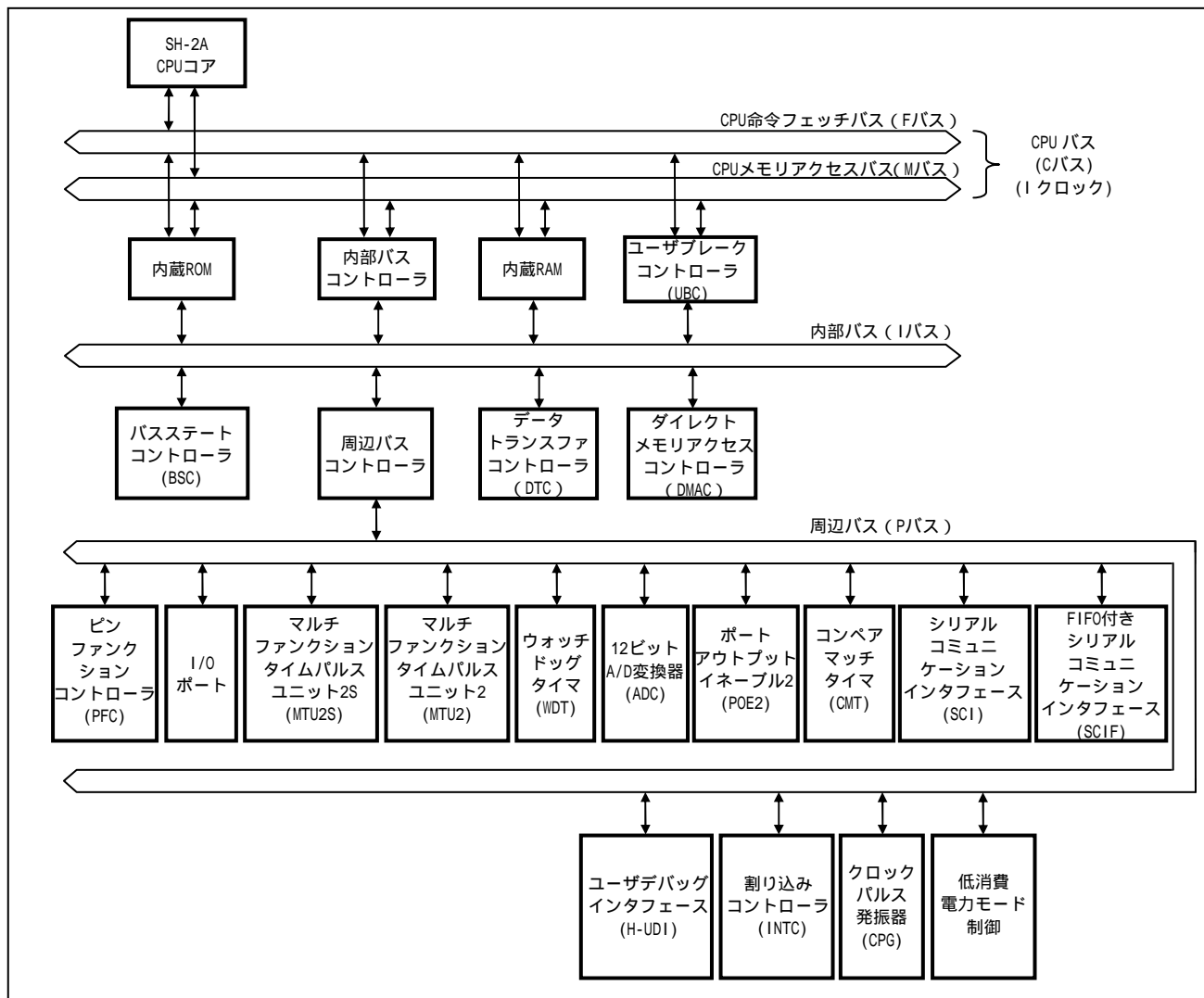


図 1.1(b) ブロック図(SH7243)

「4章 クロックパルス発振器(CPG)」 P4-9 4.4.1 周波数レジスタ(FRQCR)の説明を以下のように修正します。

【変更前】

FRQCR を設定する命令の直後は 32 個の NOP 命令を実行してください。特に、フラッシュメモリの書き込み / 消去を行う場合、FRQCR をリードして設定値になったことを確認してから 32P クロック分の NOP を実行してください。

【変更後】

FRQCR を設定する命令の直後は 32P クロック分の NOP を実行してください。FRQCR の設定は、内蔵 ROM、内蔵 RAM 上のプログラムにて行ってください。

「4章 クロックパルス発振器(CPG)」 P4-17 図 4.5 セラミック発振子の接続例の一部を修正します。

【変更前】

セラミック発振子：CSTCZ48MOX11R()-R0 [村田製作所]

Rf、Rd の値は下記までお問い合わせください。

Ta = -30 ~ 85

問い合わせ先：(株)村田製作所 デバイス事業部 圧電事業部 第1圧電商品部 商品技術3課

TEL：075(955)6915 FAX：075(955)6579

【変更後】

セラミック発振子：CSTCW48MOX11()-R0 [村田製作所]

Rf、Rd の値は下記までお問い合わせください。

Ta = 0 ~ 70

問い合わせ先：(株)村田製作所 エレクトロメカニカル商品事業部 第1商品部 商品技術1課

<https://www.murata.co.jp/contact/product/contact.php>

「7章 ユーザブ레이크コントローラ(UBC)」 P7-27 に説明を追加します。

【変更後】

7.5 割り込み要因

7.5.1 割り込み要因

UBC の割り込み要因にはユーザブ레이크割り込みがあります。表 7.4 に割り込み要因を示します。

ブ레이크コントロールレジスタ(BRCR)のコンペアマッチフラグ SCMFD3~0、SCMFC3~0 ビットのいずれかに 1 がセットされたとき、ユーザブ레이크割り込みが発生します。割り込みフラグビットを 0 にクリアすることで割り込み要求は解除されます。

表 7.4 割り込み要因

名称	割り込み要因	割り込み許可ビット	割り込みフラグ	割り込みレベル
ユーザブ레이크	ユーザブ레이크割り込み	-	SCMFD3, SCMFD2, SCMFD1, SCMFDO, SCMFC3, SCMFC2, SCMFC1, SCMFC0	15 固定

「8章 データトランスファコントローラ(DTC)」 P8-29 8.5.9 DTC のバス権解放タイミングの説明を以下のように修正します。

【変更前】

DTC は起動要求が発生するとバスアービタに対してバス権を要求します。

【変更後】

DTC は起動要求が発生するとバスアービタに対して内部バス(Iバス)へのバス権を要求します。

「8章 データトランスファコントローラ(DTC)」 P8-29 表 8.11 DTC のバス権解放タイミングを以下のように修正します。

【変更前】

設定	バス拡張レジスタ (BSCHER) 設定		バス権開放タイミング (: バス権を開放する、× : バス権を開放しない)				
	DTLOCK	DTBST	ベクタ リード後	転送情報 リード後	1回の 転送後	転送情報ライト後	
						通常時	連続転送時
設定 1	0	0	×	×	×		
設定 2*	0	1	×	×	×		×
設定 3	1	0					

【注】 * 設定 2 では、以下の制限があります。

- 周波数制限レジスタ (FROCR) によるクロック設定は、I : B : P = 8 : 4 : 4、4 : 2 : 2、または 2 : 1 : 1 にしてください。
- ベクタ情報は、内蔵フラッシュメモリまたは内蔵 RAM にしてください。
- 転送情報は内蔵 RAM に配置してください。
- 転送元および転送先は、内蔵 RAM と内蔵周辺モジュール間または外部メモリと内部周辺モジュール間としてください。

【変更後】

設定	バス拡張レジスタ (BSCHER) 設定		バス権開放タイミング (: バス権を開放する、× : バス権を開放しない)				
	DTLOCK	DTBST	ベクタ リード後	転送情報 リード後	1回の 転送後	転送情報ライト後	
						通常時	連続転送時
設定 1	0	0	×	×	×		
設定 2 ¹	0	1	×	×	×		×
設定 3 ²	1	0					

【注】 *1 設定 2 では、以下の制限があります。

- 周波数制限レジスタ (FROCR) によるクロック設定は、I : B : P : M : A = 8 : 4 : 4 : 8 : 4 または 8 : 4 : 4 : 4 : 4 にしてください。
- ベクタ情報は、内蔵フラッシュメモリまたは内蔵 RAM にしてください。
- 転送情報は内蔵 RAM に配置してください。
- 転送元および転送先は、内蔵 RAM と内蔵周辺モジュール間または外部メモリと内部周辺モジュール間としてください。

*2 設定 3 では、以下の制限があります。

- BSCEHR レジスタは DTPR=0 にて使用してください。DTPR=1 は設定禁止です。

「8章 データトランスファコントローラ (DTC)」 P8-31 8.5.10 DTC 起動の優先順位の説明について説明を追加します。

【変更前】

バス機能拡張レジスタ (BSCEHR) の DTTPR ビットの設定にて、DTC が起動する前に複数の DTC 起動要求が発生した場合、最初に要求のあった起動要因から転送を開始するか、DTC 起動優先順位に従って開始するかを選択できます。

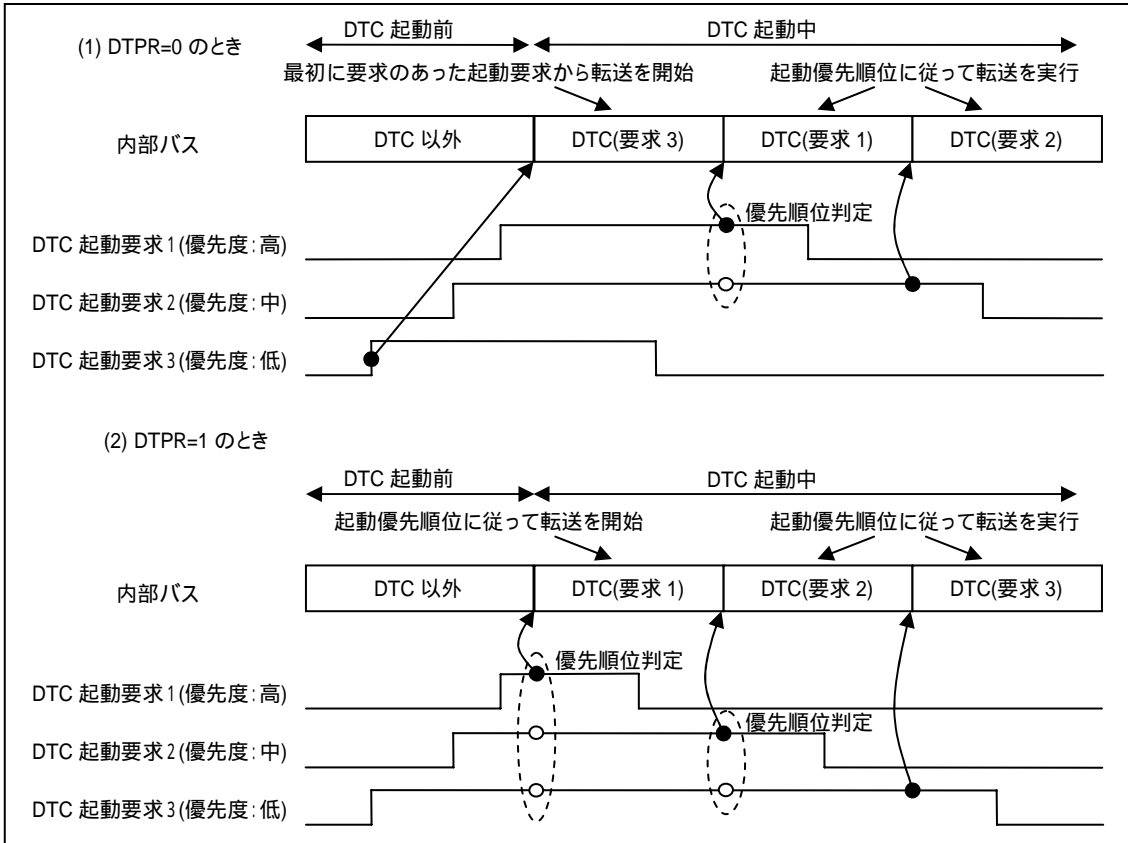
【変更後】

バス機能拡張レジスタ (BSCEHR) の DTTPR ビットの設定にて、DTC が起動する前に複数の DTC 起動要求が発生した場合、最初に要求のあった起動要因から転送を開始するか、DTC 起動優先順位に従って開始するかを選択できます。

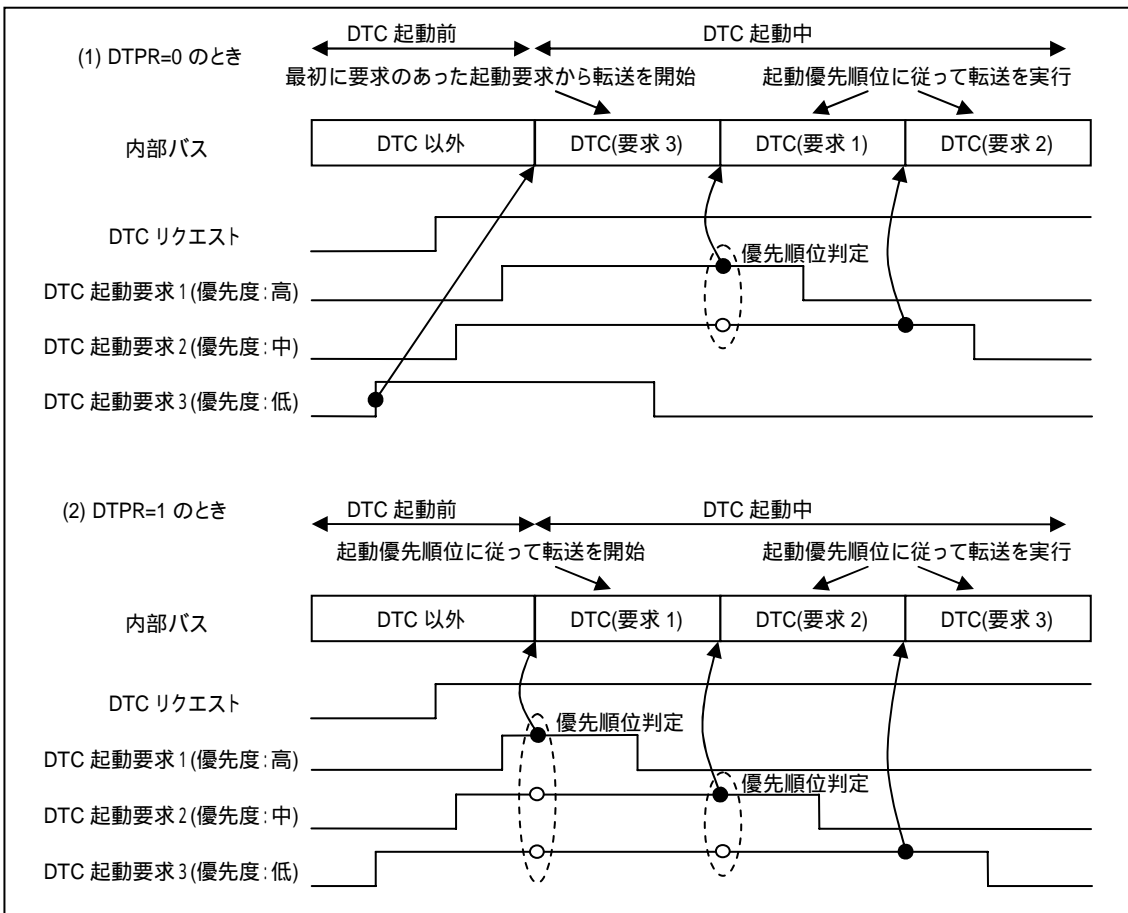
【注】 * 次の起動要因が来る前に DTC リクエストが発生した場合は最初に要求のあった要因から転送を開始しますが、DTC リクエストが発生する前に優先度の高い起動要因が来た場合は優先度の高い要因から転送を開始します。尚、DTC リクエストは内部バスの動作状態により発生タイミングが変化します。

「8章 データトランスファコントローラ(DTC)」 P8-31 図8.17 DTCの起動優先順位の動作例を以下のように修正します。

【変更前】



【変更後】



「9章 バスステートコントローラ(BSC)」 P9-13 9.4.2 CSn 空間バスコントロールレジスタ(CSnBCR) (n=0~7) ビット BSZ[1:0]の注記3の説明を以下のように修正します。

【変更前】

3. エリア2 またはエリア3 を SDRAM 空間に設定した場合は、バス幅は 16 ビットのみ設定が可能です。

【変更後】

3. エリア2 またはエリア3 を SDRAM 空間に設定した場合は、バス幅は 16 ビットまたは 32 ビットの設定が可能です。

「9章 バスステートコントローラ(BSC)」 P9-42 9.4.8 バス機能拡張レジスタ(BSCEHR) ビット DTBST の注記1の説明を以下のように修正します。

【変更前】

1. 周波数制御レジスタ (FRQCR) によるクロック設定は、I : B : P : M : A = 8 : 4 : 4 : 4 : 4、4 : 2 : 2 : 2 : 2、または 2 : 1 : 1 : 1 : 1 にしてください。

【変更後】

1. 周波数制御レジスタ (FRQCR) によるクロック設定は、I : B : P : M : A = 8 : 4 : 4 : 4 : 4 または 8 : 4 : 4 : 8 : 4 にしてください。

「9章 バスステートコントローラ(BSC)」 P9-43 9.4.8 バス機能拡張レジスタ(BSCEHR) ビット DTPR の説明を以下のように修正します。

【変更前】

DTC 起動の優先順位指定

DTC が起動する前に複数の DTC 起動要求が発生した場合、最初に要求のあった起動要求から転送を開始するか、DTC 起動優先順位に従って転送を開始するかを選択します。

ただし、DTC 起動中に複数の DTC 起動要求が発生した場合には、DTC 起動優先順位に従って次の転送が行われます。

- 0 : 最初に要求のあった DTC 起動要求から転送を開始する
- 1 : DTC 起動優先順位に従って転送を開始する

【注】本ビットを 1 に設定する場合は、以下の制限があります。

- 1. ベクタ情報は、内蔵 ROM または内蔵 RAM に配置してください
- 2. 転送情報は内蔵 ROM に配置してください
- 3. 転送情報リードスキップ機能は常に無効となります

【変更後】

DTC 起動の優先順位指定

DTC が起動する前に複数の DTC 起動要求が発生した場合、最初に要求のあった起動要求から転送を開始するか、DTC 起動優先順位に従って転送を開始するかを選択します。

詳細は「8.5.10 DTC 起動の優先順位」を参照ください。

0：最初に要求のあった DTC 起動要求から転送を開始する

1：DTC 起動優先順位に従って転送を開始する

【注】本ビットを 1 に設定する場合は、以下の制限があります。

1. ベクタ情報は、内蔵 ROM または内蔵 RAM に配置してください。
2. 転送情報は内蔵 RAM に配置してください。
3. 転送情報リードスキップ機能は常に無効となります。
4. DTLOCK = 0 にて使用してください。DTLOCK = 1 は設定禁止です。

「9章 バスステートコントローラ(BSC)」 P9-60,61 図 9.14、9.15 の図名を以下のように修正します。

【変更前】

図 9.14 32 ビットデータ幅 SRAM 接続例 (RASU、CASU 未使用)

図 9.15 16 ビットデータ幅 SRAM 接続例 (RASU、CASU 使用)

【変更後】

図 9.14 32 ビットデータ幅 SDRAM 接続例 (RASU、CASU 未使用)

図 9.15 16 ビットデータ幅 SDRAM 接続例 (RASU、CASU 使用)

「9章 バスステートコントローラ(BSC)」 P9-88 表 9.17 バス幅およびアクセスサイズとバースト数の関係を以下のように修正します。

【変更前】

バス幅	アクセスサイズ	CSnWCR.BST[1:0]ビット	バースト数	アクセス回数
8 ビット	8 ビット	影響なし	1	1
	16 ビット	影響なし	2	1
	32 ビット	影響なし	4	1
	16 バイト	x0	16	1
		10	4	4
16 ビット	8 ビット	影響なし	1	1
	16 ビット	影響なし	2	1
	32 ビット	影響なし	8	1
	16 バイト	00	2	4
		01	4	2
		10*	2、4、2	3

【注】 * バス幅 16 ビット、アクセスサイズ 16 バイト、CSnWCR.BST[1:0]が 10 の場合、アクセス先頭アドレスによってバースト数とアクセス回数が変わり、H'xxx0、H'xxx8 番地の場合 4-4 バースト、H'xxx4、H'xxxC 番地の場合 2-4-2 バーストアクセスになります。

【変更後】

バス幅	アクセスサイズ	CSnWCR.BST[1:0]ビット	バースト数	アクセス回数
8ビット	8ビット	影響なし	1	1
	16ビット	影響なし	2	1
	32ビット	影響なし	4	1
	16バイト ^{*2}	x0	16	1
		10	4	4
16ビット	8ビット	影響なし	1	1
	16ビット	影響なし	2	1
	32ビット	影響なし	8	1
	16バイト ^{*2}	00	2	4
		01	4	2
		10 ^{*1}	2、4、2	3

【注】*1 バス幅 16 ビット、アクセスサイズ 16 バイト、CSnWCR.BST[1:0]が 10 の場合、アクセス先頭アドレスによってバースト数とアクセス回数が変わり、H'xxx0, H'xxx8 番地の場合 4-4 バースト、H'xxx4, H'xxxC 番地の場合 2-4-2 バーストアクセスになります。

*2 アクセスサイズ 16 バイト転送は DMAC のみ使用可能です。DTC, CPU によるアクセスサイズは最大 32 ビットとなります。

「9章 バスステートコントローラ(BSC)」 P9-93 9.5.9 バーストROM(クロック同期)インタフェースの説明を以下のように修正します。

【変更前】

このような空読み出しサイクルは、メモリアクセスタイムの増加をもたらし、プログラム実行速度の低下およびDMA転送速度の低下を招くので、キャッシュ有効空間でのキャッシュフィルによる16バイトリードや、DMAによる16バイトリードを有効に活用することが重要です。ライトアクセス時は、通常空間アクセスと同様のタイミングとなります。

【変更後】

このような空読み出しサイクルは、メモリアクセスタイムの増加をもたらし、プログラム実行速度の低下およびDMA転送速度の低下を招くので、DMAによる16バイトリードを有効に活用することが重要です。ライトアクセス時は、通常空間アクセスと同様のタイミングとなります。

「9章 バスステートコントローラ(BSC)」 P9-95 表 9.18 アイドルサイクル数を定める項目 (5)リードデータ転送サイクルの説明を以下のように修正します。

【変更前】

また CSnWCR.HM[1:0]が B'00 以外の場合にも発生しません。

【変更後】

また CSnWCR.WM[1:0]が B'00 以外の場合にも発生しません。

「9章 バスステートコントローラ(BSC)」 P9-103 に説明を追加します。

【変更後】

9.6 割り込み要因

9.6.1 割り込み要因

BSCの割り込み要因にはコンペアマッチ割り込み(CMI)があります。

表 9.23 に割り込み要因を示します。割り込み要因は、リフレッシュタイムコントロール/ステータスレジスタ(RTCSR)のコンペアマッチインタラプトイネーブルビット(CMIE)で、許可または禁止ができます。

RTCSRのコンペアマッチフラグ(CMF)に1がセットされ、かつコンペアマッチインタラプトイネーブルビット(CMIE)に1がセットされているとき、コンペアマッチ割り込み(CMI)が発生します。

割り込みフラグを0にクリアすることで割り込み要求は解除されます。

表 9.23 割り込み要因

名称	割り込み要因	割り込み許可ビット	割り込みフラグ
CMI	コンペアマッチ割り込み	CMIE	CMF

「10章 ダイレクトメモリアクセスコントローラ (DMAC)」 P10-42 に説明を追加します。

【変更後】

10.5 割り込み要因

10.5.1 割り込み要因と優先順位

DMACの割り込み要因は各チャンネル毎にデータ転送終了割り込み(DEI)とデータ転送1/2終了割り込み(HEI)の2種類があります。

表 10.11 に各割り込み要因と優先順位を示します。各割り込み要因は、DMAチャンネルコントロールレジスタ(CHCR)のIEビットおよびHIEビットで、許可または禁止ができます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

DMAチャンネルコントロールレジスタ(CHCR)のトランスファエンドフラグに1がセットされ、かつトランスファエンドインタラプトイネーブルビット(IE)に1がセットされているとき、データ転送終了割り込み(DEI)が発生します。

DMAチャンネルコントロールレジスタ(CHCR)のハーフエンドフラグに1がセットされ、かつハーフエンドインタラプトイネーブルビット(HIE)に1がセットされているとき、データ転送1/2終了割り込み(HEI)が発生します。

割り込みフラグビットを0クリアすることで割り込み要求は解除されます。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。チャンネル内の優先順位は固定です。詳細は「第6章 割り込みコントローラ(INTC)」を参照してください。

表 10.11 割り込み要因

チャンネル	割り込み要因	割り込み許可ビット	割り込みフラグビット	優先順位
0	データ転送終了割り込み(TEI_0)	IE	TE	高  低
	データ転送 1/2 終了割り込み(HEI_0)	HIE	HE	
1	データ転送終了割り込み(TEI_1)	IE	TE	
	データ転送 1/2 終了割り込み(HEI_1)	HIE	HE	
2	データ転送終了割り込み(TEI_2)	IE	TE	
	データ転送 1/2 終了割り込み(HEI_2)	HIE	HE	
3	データ転送終了割り込み(TEI_3)	IE	TE	
	データ転送 1/2 終了割り込み(HEI_3)	HIE	HE	
4	データ転送終了割り込み(TEI_4)	IE	TE	
	データ転送 1/2 終了割り込み(HEI_4)	HIE	HE	
5	データ転送終了割り込み(TEI_5)	IE	TE	
	データ転送 1/2 終了割り込み(HEI_5)	HIE	HE	
6	データ転送終了割り込み(TEI_6)	IE	TE	
	データ転送 1/2 終了割り込み(HEI_6)	HIE	HE	
7	データ転送終了割り込み(TEI_7)	IE	TE	
	データ転送 1/2 終了割り込み(HEI_7)	HIE	HE	

「11 章 マルチファンクションタイマパルスユニット 2 (MTU2)」 P11-75 11.3.32 タイマ波形コントロールレジスタ (TWCR)のビット WRE の説明を以下のように修正します。

【変更前】

波形保持イネーブル

相補 PWM モードで同期カウンタクリアが起きたときの出力波形を選択します。

本機能によって波形が保持されるのは、相補 PWM モードの谷の Tb 区間で同期クリアが発生したときのみです。それ以外のときに同期クリアが発生した場合は、WRE ビットの設定によらず、TOCR レジスタで設定した初期値を出力します。また、TCNT_3、TCNT_4 スタート直後の谷の Tb 区間で同期クリアが発生した場合も、TOCR レジスタで設定した初期値を出力します。

相補 PWM モードの谷の Tb 区間については、図 11.40 を参照してください。

- 0 : TOCR レジスタで設定した初期出力値を出力
- 1 : 同期クリア直前の波形を保持する

[セット条件]

- WRE = 0 の状態で WRE をリード後、WRE に 1 をライトしたとき

【変更後】

初期出力抑止イネーブル

相補 PWM モードで同期カウンタクリアが起きたときの出力波形を選択します。

本機能によって初期出力が抑止されるのは、相補 PWM モードの谷の Tb 区間で同期クリアが発生したときのみです。それ以外のときに同期クリアが発生した場合は、WRE ビットの設定によらず、TOCR レジスタで設定した初期値を出力します。また、TCNT_3、TCNT_4 スタート直後の谷の Tb 区間で同期クリアが発生した場合も、TOCR レジスタで設定した初期値を出力します。

相補 PWM モードの谷の Tb 区間については、初図 11.40 を参照してください。

- 0 : TOCR レジスタで設定した初期出力値を出力
- 1 : 初期出力を抑止する

[セット条件]

- WRE = 0 の状態で WRE をリード後、WRE に 1 をライトしたとき

「14章 コンペアマッチタイマ(CMT)」 P14-6 14.4.1 割り込み要因と DTA/DMA 転送要求に表を追加します。

【変更後】

表 14.2 割り込み要因

チャンネル	割り込み要因	割り込み許可ビット	割り込みフラグビット	DMAC/DTC の起動	優先順位
0	CM10	CMIE	CMF	可	高 低
1	CM11	CMIE	CMF	可	

「15章 ウォッチドッグタイマ(WDT)」 P15-5 15.3.2 ウォッチドッグタイマコントロール/ステータスレジスタ(WTCSR)の説明を以下のように修正します。

【変更前】

WTCSR は、RES 端子によるパワーオンリセット、ソフトウェアスタンバイモード時に H'18 に初期化されます。

【変更後】

WTCSR は、RES 端子によるパワーオンリセット、WDT による内部リセット、ソフトウェアスタンバイモード時に H'18 に初期化されます。

「15章 ウォッチドッグタイマ(WDT)」 P15-11 15.4.2 ウォッチドッグタイマモードの使用法に説明を追加します。

【変更後】

7. WDT による内部リセットにて WTCSR は初期化されるため、WTCSR の TME は 0 クリアされます。

そのためカウンタは停止します。再度 WDT として使用する場合、WOVF を 0 にして再設定してください。

「15章 ウォッチドッグタイマ(WDT)」 P15-12 に説明を追加します。

【変更後】

15.5 割り込み要因

15.5.1 割り込み要因

WDTの割り込み要因にはインターバルタイマ割り込み(ITI)があります。

表 15.3 に割り込み要因を示します。割り込み要因は、ウォッチドッグタイマコントロールステータスレジスタ(WTCSR)のインターバルタイマオーバーフローフラグビット(IOVF)に1がセットされているとき、インターバルタイマ割り込み(ITI)が発生します。割り込みフラグビットを0にクリアすることで割り込み要求は解除されます。

表 15.3 割り込み要因

名称	割り込み要因	割り込み許可ビット	割り込みフラグビット
ITI	インターバルタイマ割り込み	-	インターバルタイマオーバーフロー (IOVF)

「16章 シリアルコミュニケーションインタフェース(SCI)」 P16-12,13,14 15 シリアルステータスレジスタの各ビットのクリア条件、セット条件の説明を以下のように修正します。

【変更前】

- パワーオンリセット、スタンバイモード時

【変更後】

- パワーオンリセット、モジュールスタンバイモード時

「16章 シリアルコミュニケーションインタフェース(SCI)」 P16-41 図 16.12 シリアルデータ受信フローの例(1)を以下のように修正します。

【変更前】

SCSSCR の CKE1、CKE0 ビットを設定 (TE、RE ビットは 0)

【変更後】

SCRDR の受信データを読み出し SCSSR の RDRF フラグを 0 にクリア

「16章 シリアルコミュニケーションインタフェース(SCI)」 P16-50 10.5 SCI の割り込み要因と DTC の説明を以下のように修正します。

【変更前】

また、SCSSR の ORER、FER フラグまたは PER が 1 にセットされると、ERI 割り込み要求が発生します。この ERI 割り込み要求で DTC の起動はできません。DTC で受信データの処理を行い、CPU への割り込みで受信エラー処理を行う場合、RIE ビットを 1 に設定するとともに、SCSPTR の E10 ビットを 1 にセットし受信エラーのみで割り込みエラーが発生するようにしてください。E10 ビットを 0 に設定しますと正常なデータ受信時にも CPU への割り込みが発生してしまいます。

【変更後】

また、SCSSR の ORER、FER フラグまたは PER が 1 にセットされると、ERI 割り込み要求が発生します。この ERI 割り込み要求で DTC の起動はできません。データ受信処理において、RXI 割り込み要求の発生を禁止にし、ERI 割り込み要求の発生のみ許可にすることも可能です。この場合、RIE ビットを 1 に設定するとともに、SCSPTR の E10 ビットを 1 にセットしてください。但し、E10 ビットを 1 に設定すると、RXI 割り込み要求が発生しないため、DMAC/DTC による受信データの転送も行われません。

「19章 I²C バスインタフェース(IIC3)」 P19-4 19.3.1 I²C バスコントロールレジスタ 1 (ICCR1)の ICE ビットの説明を以下のように修正します。

【変更前】

I²C バスインタフェース 3 イネーブル

- 0：本モジュールは機能停止状態 (SCL/SDA 端子はポート機能)
- 1：本モジュールは転送動作可能状態 (SCL/SDA はバス駆動状態)

【変更後】

I²C バスインタフェース 3 イネーブル

- 0：SCL/SDA の出力禁止 (SCL/SDA への入力は無効)
- 1：本モジュールは転送動作可能状態 (SCL/SDA はバス駆動状態)

「19章 I²C バスインタフェース(IIC3)」 P19-10 19.3.4 I²C バスインタラプトイネーブルレジスタ(ICIER)のNAKIE ビットの説明を以下のように修正します。

【変更前】

NACK 受信インタラプトイネーブル

NAKIE は、ICSR の NACKF または AL/OVE がセットされたとき、NACK 検出割り込み要求 (NAKI) の許可 / 禁止、および、クロック同期式フォーマット時のオーバランエラー (ICSR の OVE セット) 割り込み要求 (ERI) の許可 / 禁止を選択します。なお NAKI は、NACKF または AL/OVE を 0 にクリアするか、NAKIE を 0 にクリアすることで解除できます。

- 0 : NACK 受信割り込み要求 (NAKI) の禁止
- 1 : NACK 受信割り込み要求 (NAKI) の許可

【変更後】

NACK 受信インタラプトイネーブル

NAKIE は、ICSR の NACKF または AL/OVE がセットされたとき、NACK 検出割り込み要求 (NAKI) の許可 / 禁止します。なお NAKI は、NACKF または AL/OVE を 0 にクリアするか、NAKIE を 0 にクリアすることで解除できます。

- 0 : NACK 受信割り込み要求 (NAKI) の禁止
- 1 : NACK 受信割り込み要求 (NAKI) の許可

「19章 I²C バスインタフェース3 (IIC3)」 P19-28 19.4.8 に説明を追加します。

【変更後】

19.4.8 IIC3のリセット

I²C バスインタフェース3は、IICR2のIICRSTに1をライトすることで、I²Cの一部レジスタとコントロール部をリセットすることができます。以下にIICRSTを用いたリセット手順を示します。

1. ICCR1のICEに0をライトし、機能を停止します。
2. ICCR2のIICRSTに1をライトし、I²Cの一部レジスタとコントロール部をリセットします。
3. ICCR1のMSTに0、TRSに0をライトして、スレーブ受信モードに切替えます。
4. バス開放状態になるまで待機します。バス開放状態は、SCL、SDAに対応するI/Oポート(PBPRのPB2PR、PB3PR)をリードするなどの方法で判定してください。
5. SARのFSに1をライトして、IICR2のBBSYを0クリアします。BBSYを0クリア後、FSに0をライトします。
6. ICSRのフラグ(TEND、RDRF、NACKF、STOP、AL/OVE、AAS、ADZ)を0クリアします。
7. IICRSTに0をライトして、I²Cのリセットを解除します。
8. I²Cレジスタ(ICCR1、ICCR2、ICMR、ICIER、SAR、NF2CYC)を初期化します。
9. ICCR1のICEに1をライトし、転送動作可能状態にします。

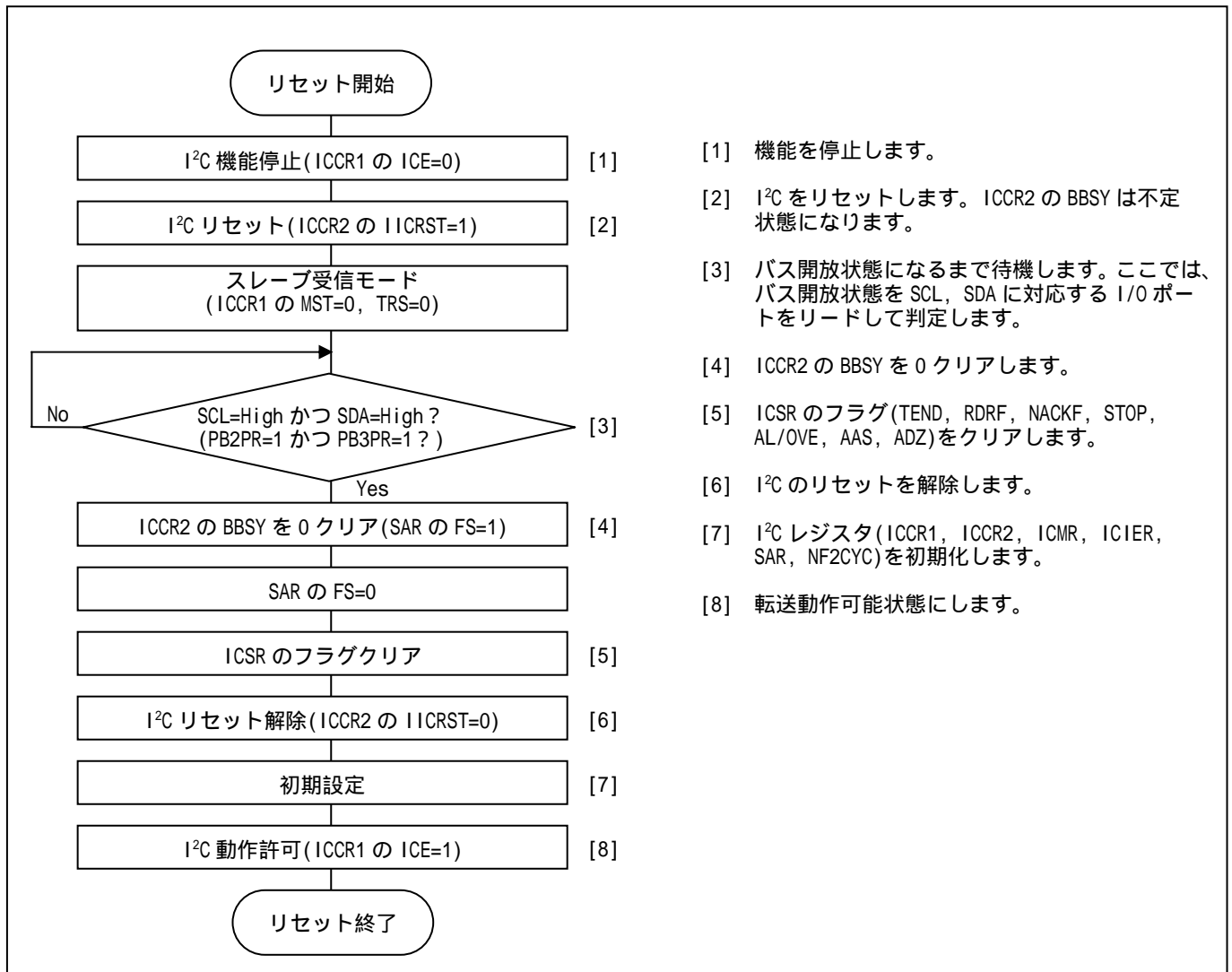


図 19.18 マスタ送信モード、マスタ受信モードにおける I²C リセット手順例

「19章 I²C バスインタフェース3 (IIC3)」 P19-38 19.8.2 マスタ受信モード時の注意の説明を修正します。

【変更前】

以下の、1.か2.の方法どちらかで対応してください。

1. マスタ受信モードで ICDRR をリードする処理は8クロックの立ち上がりまでに行ってください。
2. マスタ受信モードは RCVD=1 にし、1バイトごとの通信で処理を行ってください。

【変更後】

以下の方法で対応してください。

- マスタ受信モードで ICDRR をリードする処理は8クロックの立ち上がりまでに行ってください。

「19章 I²C バスインタフェース3 (IIC3)」 P19-38 19.8 使用上の注意事項に説明を追加します。

【変更後】

19.8.5 I²C バス動作中における ICE および IICRST のアクセス

下記(1)~(4)のいずれかの状態で、ICCR1のICEに0をライトもしくはICCR2のIICRSTに1をライトすると、ICCR2のBBSYとICSRのSTOPは不定となります。

- (1) マスタ送信モード(ICCR1のMST=1, TRS=1)において、本モジュールがI²Cのバス権を保有しているとき。
- (2) マスタ受信モード(ICCR1のMST=1, TRS=0)において、本モジュールがI²Cのバス権を保有しているとき。
- (3) スレーブ送信モード(ICCR1のMST=0, TRS=1)において、本モジュールがデータ送信中のとき。
- (4) スレーブ受信モード(ICCR1のMST=0, TRS=0)において、本モジュールがアクノリッジを送信しているとき。

ICCR2のBBSYの不定状態は、以下のいずれかで解消する事ができます。

- 開始条件(SCL=HighかつSDA立下り)を入力すると、BBSYは1セットされます。
- 停止条件(SCL=HighかつSDA立上り)を入力すると、BBSYは0クリアされます。
- マスタ送信モードにおいて、SCL=HighかつSDA=Highの状態、ICCR2のBBSYに1、SCPに0ライトして開始条件を発行します。開始条件(SCL=HighかつSDA立下り)が出力されると、BBSYは1セットされます。
- マスタ送信モードもしくはマスタ受信モードにおいて、SDA=Lowかつ本モジュール以外にSCLをLowにするデバイスがない状態で、ICCR2のBBSYに0、SCPに0ライトして停止条件を発行します。停止条件(SCL=HighかつSDA立上り)が出力されると、BBSYは0クリアされます。
- SARのFSに1をライトすると、BBSYは0クリアされます(SARのFSが存在する製品のみ)。

19.8.6 IICRSTによるレジスタ初期化

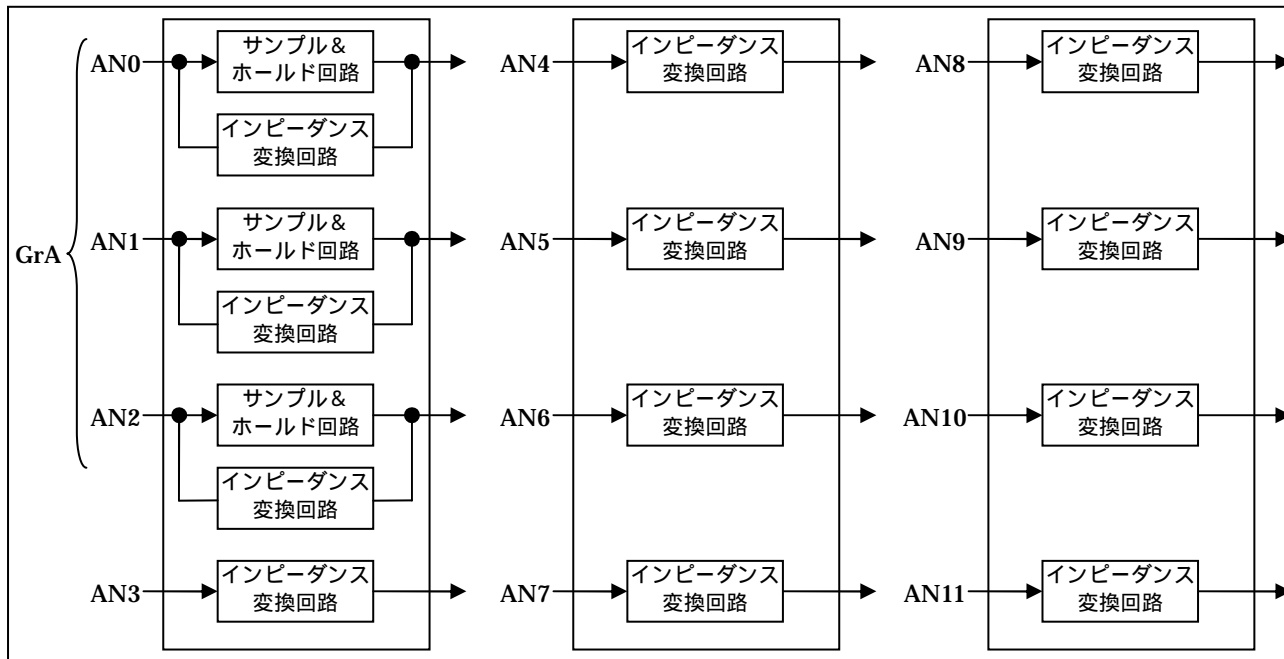
- IICRSTに1をライトすると、ICCR2のSDAO, SCL0は1セットされます。
- マスタ送信モード及びスレーブ送信モードにおいて、IICRSTに1をライトすると、ICSRのTDREは1セットされます。
- IICRST=1によるリセット期間中は、ICCR2のBBSY, SCP, SDA0へのライトは無効です。
- IICRST=1によるリセット期間中でも、SCL, SDAに開始条件(SCL=HighかつSDA立下り), 停止条件(SCL=HighかつSDA立上り)を入力すると、BBSYは1セット, 0クリアされます。

19.6.7 ICE=0におけるIIC3の動作

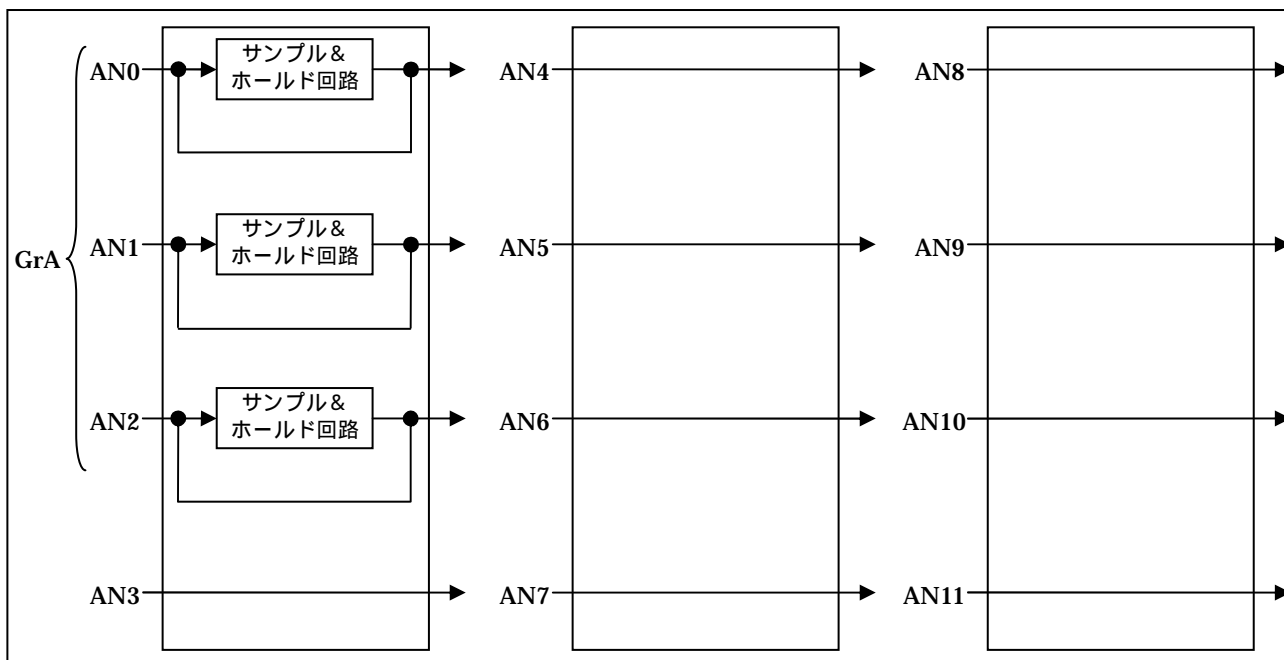
ICCR1のICEに0をライトするとSCL, SDA出力は禁止されますが、SCL, SDAへの入力は有効です。SCL, SDAへ入力された信号に従って、本モジュールは動作します。

「20章 A/D変換器(ADC)」 P20-3 図20.1 A/D変換器のブロック図の一部を修正します。

【変更前】



【変更後】



「20章 A/D変換器(ADC)」 P20-11 20.3.5 A/Dパイパスコントロールレジスタ(ADBYPSCR_0~ADBYPSCR_2)の説明を以下のように修正します。

【変更前】

グループA(GrA)は各チャンネル専用のサンプル&ホールド回路を用いたA/D変換を行うか、グループA以外のチャンネルと同様にインピーダンス変換回路を用いたA/D変換を行うかを選択することが可能です。

ADBYPSCR_0レジスタのSHビットを0に設定することでインピーダンス変換回路が選ばれます。またSHビットを1に設定することで各チャンネル専用のサンプル&ホールド回路が選ばれます。インピーダンス変換回路が選択されている場合、A/D変換時には各チャンネル専用のサンプル&ホールド回路でのサンプリング時間を含みません。詳細は「20.4動作説明」を参照してください。

【変更後】

グループA(GrA)は各チャンネル専用のサンプル&ホールド回路を用いたA/D変換と、用いないA/D変換を行うかを選択することが可能です。

ADBYPSCR_0レジスタのSHビットを1に設定することで各チャンネル専用のサンプル&ホールド回路が選ばれます。サンプル&ホールド回路を用いない場合、A/D変換時には各チャンネル専用のサンプル&ホールド回路でのサンプリング時間を含みません。詳細は「20.4動作説明」を参照してください。

「20章 A/D変換器(ADC)」 P20-11 20.3.5 A/Dパイパスコントロールレジスタ(ADBYPSCR_0~ADBYPSCR_2)のビットSHの説明を以下のように修正します。

【変更前】

各チャンネルの専用サンプル&ホールド回路選択ビット(ADBYPSCR_0のみ)

- 0：インピーダンス変換回路を選択
- 1：サンプル&ホールド回路を選択

【変更後】

各チャンネルの専用サンプル&ホールド回路選択ビット(ADBYPSCR_0のみ)

- 0：サンプル&ホールド回路を選択しない
- 1：サンプル&ホールド回路を選択する

「20章 A/D 変換器 (ADC)」 P20-29 20.7.5 ノイズ対策上の注意の説明を以下のように修正します。

【変更前】

過大なサージなどの異常電圧によるアナログ入力端子 (AN0 ~ AN11) およびアナログ基準電圧 (AVREF) の破壊を防ぐために、図 20.14 に示すように AVcc - AVss 間に保護回路を接続してください。また、AVREF に接続するバイパスコンデンサおよび ANn に接続するフィルタのコンデンサは、AVss に接続してください。なお、図 20.14 のようにフィルタ用のコンデンサを接続するとアナログ入力端子 (ANn) の入力電流が平均化されるため、誤差を生じることがあります。したがって、回路定数は十分ご検討の上決定してください。

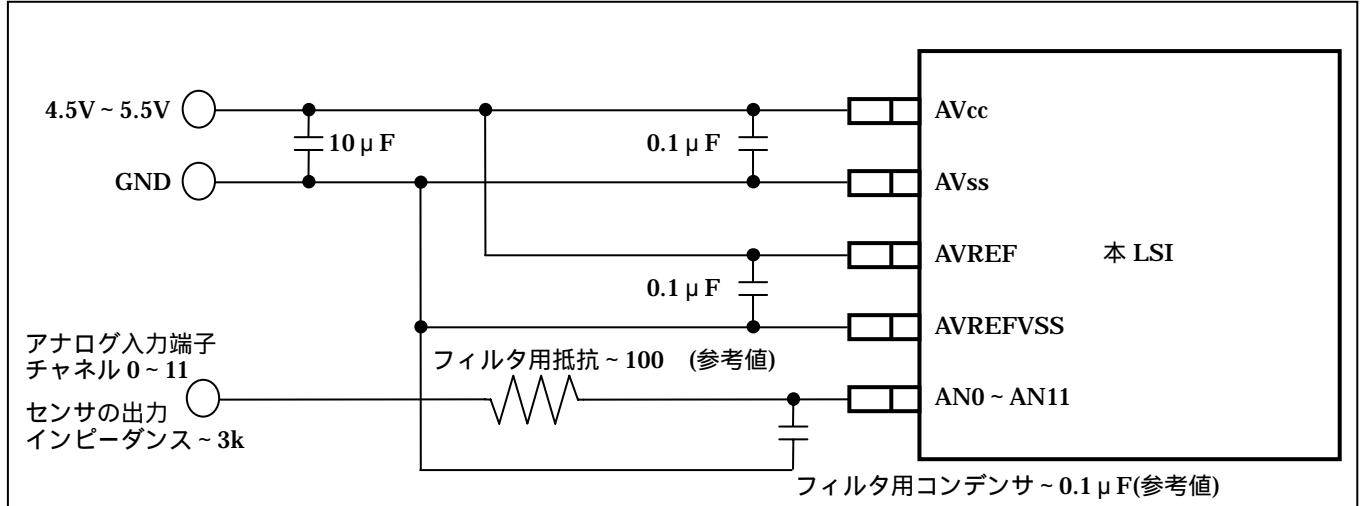


図 20.14 アナログ入力端子の保護回路の例

【変更後】

過大なサージなどの異常電圧によるアナログ入力端子 (AN0 ~ AN11) およびアナログ基準電圧 (AVREF) の破壊を防ぐために、図 20.14 に示すように AVcc - AVss 間に保護回路を接続してください。また、AVREF に接続するバイパスコンデンサおよび ANn に接続するフィルタのコンデンサは、AVREFVSS に接続してください。なお、図 20.14 のようにフィルタ用のコンデンサを接続するとアナログ入力端子 (ANn) の入力電流が平均化されるため、誤差を生じることがあります。したがって、回路定数は十分ご検討の上決定してください。図 20.14 に示す 0.1µF のコンデンサはできる限り端子の近くに配置してください。

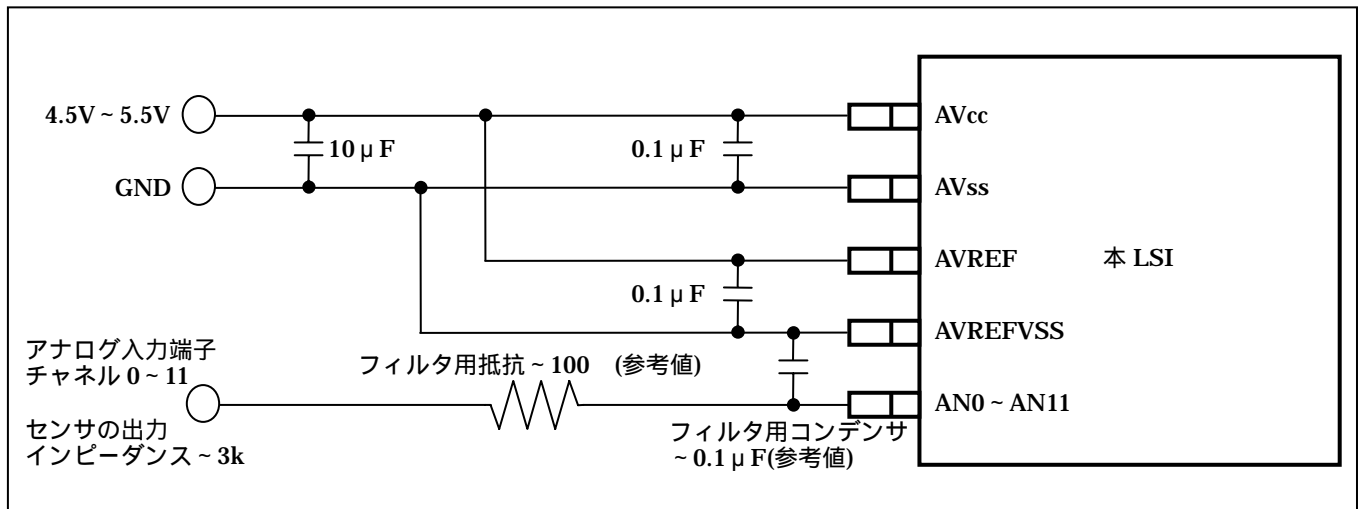


図 20.14 アナログ入力端子の保護回路の例

「22章 コントローラエリアネットワーク(RCAN-ET)」 P22-23 22.4.3 ビットコンフィギュレーションレジスタ 0、1 (BCR0、BCR1) (2)BCR0 の説明を以下のように修正します。

【変更前】

ビット	ビット名	初期値	R/W	説明
7~0	BPR[7:0]	0000000	R/W	ポーレートプリスケール これらのビットは、1 タイムクオンタに対応する周辺バスクロック数を設定します。 0000000 : 2×周辺バスクロック 0000001 : 4×周辺バスクロック 0000010 : 6×周辺バスクロック : : 2×(レジスタ値+1)×周辺バスクロック 1111111 : 512×周辺バスクロック

【変更後】

ビット	ビット名	初期値	R/W	説明
7~0	BPR[7:0]	00000000	R/W	ポーレートプリスケール これらのビットは、1 タイムクオンタに対応する周辺バスクロック数を設定します。 00000000 : 2×周辺バスクロック 00000001 : 4×周辺バスクロック 00000010 : 6×周辺バスクロック : : 2×(レジスタ値+1)×周辺バスクロック 01111111 : 512×周辺バスクロック

「22章 コントローラエリアネットワーク(RCAN-ET)」 P22-59 22.11.2 リセットの説明を以下のように修正します。

【変更前】

● ハードウェアリセット

パワーオンリセット、ハードウェアスタンバイ、モジュールスタンバイ、ソフトウェアスタンバイではRCAN-ETは初期化されません。

【変更後】

● ハードウェアリセット

パワーオンリセット、ハードウェアスタンバイ、モジュールスタンバイではRCAN-ETは初期化されます。

「23章 ピンファンクションコントローラ(PFC)」 P23-48 23.1.5 ポート B コントロールレジスタ H1、L1~L4 (PBCRH1、PBCRL1~PBCRL4) の説明を以下のように修正します。

【変更前】

PB12/ CS1 / CS3 / IRQ1/TXD2/ SC3 端子の機能を制御します

【変更後】

PB12/ CS1 / CS3 / IRQ1/TXD2/ CS3 端子の機能を制御します

「24章 I/Oポート」 P24-8 24.1.3 ポートA ポートレジスタH、L (PAPRH、PAPRL) の説明を修正します。

【変更前】

PAPRH および PAPRL は、読み出しのみ可能な 16 ビットのレジスタで、PFC の設定にかかわらず常に端子の状態を読み出すことができます。

【変更後】

PAPRH および PAPRL は、読み出しのみ可能な 16 ビットのレジスタで、端子の状態を読み出すことができます。ただし PA8 を SCIF 機能に設定し、SCSCR レジスタの TE=0 かつ SCSPTR レジスタの SPB2I0=0 の場合は、該当する端子の状態を読み出すことはできません。

「24章 I/Oポート」 P24-31 24.4.3 ポートD ポートレジスタH、L (PDPRH、PDPRL) の説明を修正します。

【変更後】

PDPRH および PDPRL は、読み出しのみ可能な 16 ビットのレジスタで、PFC の設定にかかわらず常に端子の状態を読み出すことができます。

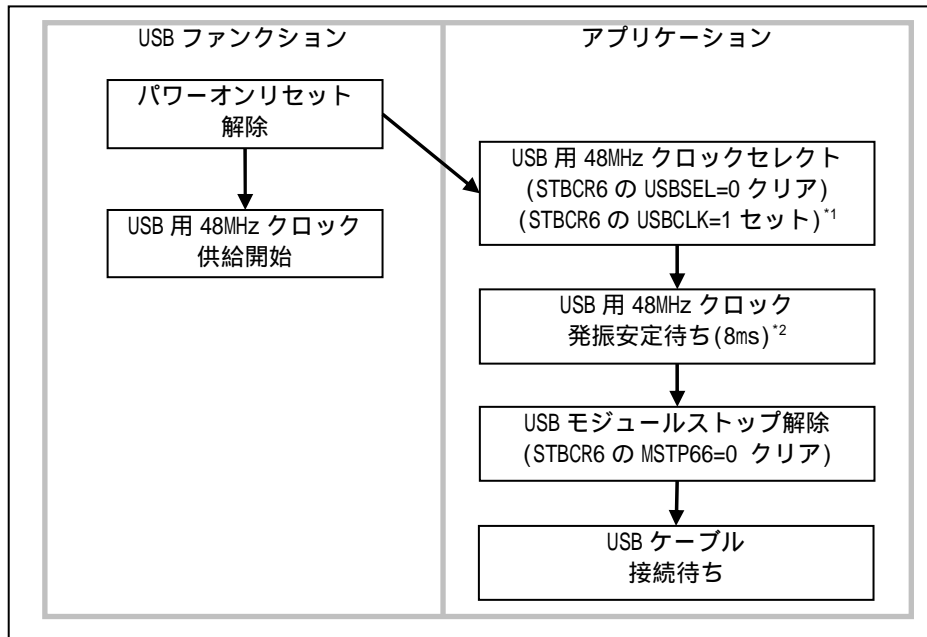
【変更後】

PDPRH および PDPRL は、読み出しのみ可能な 16 ビットのレジスタで、端子の状態を読み出すことができます。ただし PD18 を SCIF 機能に設定し、SCSCR レジスタの TE=0 かつ SCSPTR レジスタの SPB2I0=0 の場合は、該当する端子の状態を読み出すことはできません。

「25章 USB ファンクションモジュール」 P25-18 25.5 動作説明に説明を追加します。

【変更後】

25.5.1 初期設定



【注】*1 USB用セラミック発振子を接続する場合、または外部48MHzクロックを入力する場合は必要ありません。

*2 パワーオンリセット直後のSTBCR6の初期値は、USBSEL=0、USBCLK=1であるため、「31.3.1 クロックタイミング」記載のパワーオン発振安定時間を待ってパワーオンリセットを解除することで、USB用48MHzの発振安定時間は満たされます。

USBSEL、USBCLKの値を変化させ、クロックを停止し、さらにクロックを動作させる場合は、発振安定時間を確保してください。

「26章 フラッシュメモリ (ROM)」 P26-1 26.1 特長に説明を追加します。

【変更後】

- ROM キャッシュ経由で高速読み出し可能
ユーザマット、ユーザブートマットともにROMキャッシュ経由で高速読み出し可能です。ユーザマット/ユーザブートマットは、すべての内蔵ROM有効モードで読み出し可能です。

「26章 フラッシュメモリ (ROM)」 P26-2 26.1 特長の説明を以下のように修正します。

【変更前】

書き込み/消去時の動作周波数範囲は40MHz (P)です。

【変更後】

書き込み/消去時の動作周波数範囲は50MHz (P)です。

「26章 フラッシュメモリ (ROM)」 P26-5 表 26.2 プログラミングモードの比較を追加します。

【変更後】

表 26.2 プログラミングモードの比較

	ブートモード	ユーザプログラムモード	ユーザブート ³ モード	USB ブート ³ モード	ライターモード
端子状態	CK は出力、その他のポートは入力 (MCU 拡張モード 2 と同じ) RXD0, TXD0 は有効	ユーザ設定による	初期は CK は出力、その他のポートは入力	CK は出力、その他のポートは入力 (MCU 拡張モード 2 と同じ)	ライター専用ポート

「26章 フラッシュメモリ (ROM)」 P26-11 表 26.4 (1) レジスタ構成を以下のように修正します。

【変更前】

表 26.4 (1) レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
フラッシュコードコントロール/ステータスレジスタ	FCCS	R、W ¹	H'00 ² H'80 ²	H'FFFA800	8
フラッシュプログラムコードセレクトレジスタ	FPCS	R/W	H'00	H'FFFA801	8
フラッシュイレースコードセレクトレジスタ	FECS	R/W	H'00	H'FFFA802	8
フラッシュキーコードレジスタ	FKEY	R/W	H'00	H'FFFA804	8
フラッシュマットセレクトレジスタ	FMATS	R/W	H'00 ³ H'AA ³	H'FFFA805	8
フラッシュトランスファデスティネーションアドレスレジスタ	FTDAR	R/W	H'00	H'FFFA806	8

【変更後】

表 26.4 (1) レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
フラッシュコードコントロール/ステータスレジスタ	FCCS	R、W ¹	H'00 ² H'80 ²	H'FFFA800	8
フラッシュプログラムコードセレクトレジスタ	FPCS	R/W	H'00	H'FFFA801	8
フラッシュイレースコードセレクトレジスタ	FECS	R/W	H'00	H'FFFA802	8
フラッシュキーコードレジスタ	FKEY	R/W	H'00	H'FFFA804	8
フラッシュマットセレクトレジスタ	FMATS	R/W	H'00 ³ H'AA ³	H'FFFA805	8
フラッシュトランスファデスティネーションアドレスレジスタ	FTDAR	R/W	H'00	H'FFFA806	8
ROM キャッシュ制御レジスタ	RCCR	R/W	H'00000001	H'FFFC1400	32

「26章 フラッシュメモリ (ROM)」 P26-20 ROM キャッシュ制御レジスタ (RCCR) を追加します。

【変更後】

(7) ROM キャッシュ制御レジスタ (RCCR)

RCCR には、ROM キャッシュの全ラインの無効化を制御する RCF ビットがあります。

本レジスタはロングワードでしかアクセスできません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	RCF	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31~4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	RCF	0	R/W	ROM キャッシュフラッシュ 1を書き込むと、ROM キャッシュにキャッシングされた命令やデータを無効(フラッシュ)にします。読み出すと0が読み出されます。 0: ROM キャッシュにキャッシングされた命令やデータを無効にしない 1: ROM キャッシュにキャッシングされた命令やデータを無効にする [クリア条件] ・リセット/スタンバイ [セット条件] ・1を書き込む
2、1	-	すべて0	R	リザーブビット 書き込みを行う場合は0を書き込んでください。1を書き込んだ場合の動作は保証しません。
0	-	1	R	リザーブビット 書き込みを行う場合は1を書き込んでください。0を書き込んだ場合の動作は保証しません。

「26章 フラッシュメモリ (ROM)」 P26-22 26.4.3 書き込み/消去インタフェースパラメタ (2)書き込み/消去の初期化の説明を以下のように修正します。

【変更前】

- フラッシュプログラムイレース周波数コントロールパラメータ (FPEFEQ : CPU の汎用レジスタ R4)
CPU の動作周波数を設定するパラメータです。
本 LSI のフラッシュプログラムイレース周波数は、40MHz に制限されます。

【変更後】

- フラッシュプログラムイレース周波数コントロールパラメータ (FPEFEQ : CPU の汎用レジスタ R4)
CPU の動作周波数を設定するパラメータです。
本 LSI の動作周波数は、「31.3.1 クロックタイミング」をご覧ください。

「26章 フラッシュメモリ (ROM)」 P26-25 26.4.3 書き込み/消去インタフェースパラメータ (3)書き込み実行の説明を以下のように修正します。

【変更前】

- 2. ユーザマットへの書き込みデータを連続領域に準備してください。書き込みデータは CPU の MOV.B 命令でアクセス可能な連続空間で、内蔵フラッシュメモリ空間以外としてください。

【変更後】

- 2. ユーザマットへの書き込みデータを連続領域に準備してください。書き込みデータは CPU の MOV.L 命令でアクセス可能な連続空間で、内蔵フラッシュメモリ空間以外としてください。

「26章 フラッシュメモリ (ROM)」 P26-32 26.5.1 ブートモードの表 26.7 を以下のように修正します。

【変更前】

ホストのビットレート	本 LSI のビットレートの自動合わせ込みが可能な 周辺クロック(P)の周波数
9,600bps	10 ~ 40MHz
19,200bps	

【変更後】

ホストのビットレート	本 LSI のビットレートの自動合わせ込みが可能な 周辺クロック(P)の周波数
9,600bps	10 ~ 50MHz
19,200bps	

「26章 フラッシュメモリ (ROM)」 P26-38 図 26.11 書き込み/消去フローの説明を以下のように修正します。

【変更前】

- (2) 書き込み/消去は内蔵 RAM 上でしか実行できません。
ただし、書き込みデータは連続した領域で、SRAM/ROM のように CPU の MOV.B 命令でアクセスできるものなら外部空間にあってもかまいません。

【変更後】

- (2) 書き込み/消去は内蔵 RAM 上でしか実行できません。
ただし、書き込みデータは連続した領域で、SRAM/ROM のように CPU の MOV.L 命令でアクセスできるものなら外部空間にあってもかまいません。

「26章 フラッシュメモリ (ROM)」 P26-41 26.5.3 ユーザプログラムモードの説明を以下のように修正します。

【変更前】

また、周波数制御レジスタ(FRQCR)による内部クロック(I)、バスクロック(B)、周辺クロック(P)の分周率の設定は、すべて 1/4 : 1/4 : 1/4(初期値)としてください。

【変更後】

また、周波数制御レジスタ(FRQCR)による内部クロック(I)、バスクロック(B)、周辺クロック(P)の分周率の設定は、I =B =P としてください。

「26章 フラッシュメモリ (ROM)」 P26-43 26.5.3 ユーザプログラムモードの説明を以下のように修正します。

【変更前】

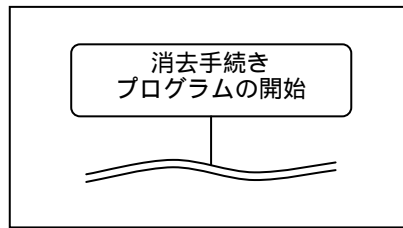
1. FPEFEQ パラメータ (汎用レジスタ : R4) に、現在の CPU クロックの周波数を設定します。FPEFEQ パラメータの設定可能範囲は、1 = 40MHz になります。

【変更後】

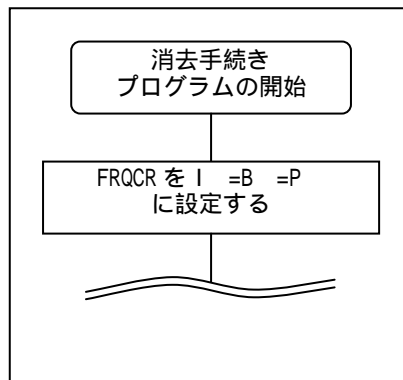
1. FPEFEQ パラメータ (汎用レジスタ : R4) に、現在の CPU クロックの周波数を設定します。FPEFEQ パラメータの設定可能範囲は、1 = 50MHz になります。

「26章 フラッシュメモリ (ROM)」 P26-45 図 26.14 消去手順を以下のように修正します。

【変更前】



【変更後】



「26章 フラッシュメモリ (ROM)」 P26-45 26.5.3 ユーザプログラムモードの説明を以下のように修正します。

【変更前】

また、周波数制御レジスタ (FRQCR) による内部クロック (I)、バスクロック (B)、周辺クロック (P) の分周率の設定は、1/4 : 1/4 : 1/4 (初期値) としてください。

【変更後】

また、周波数制御レジスタ (FRQCR) による内部クロック (I)、バスクロック (B)、周辺クロック (P) の分周率の設定は、I =B =P = 50MHz としてください。

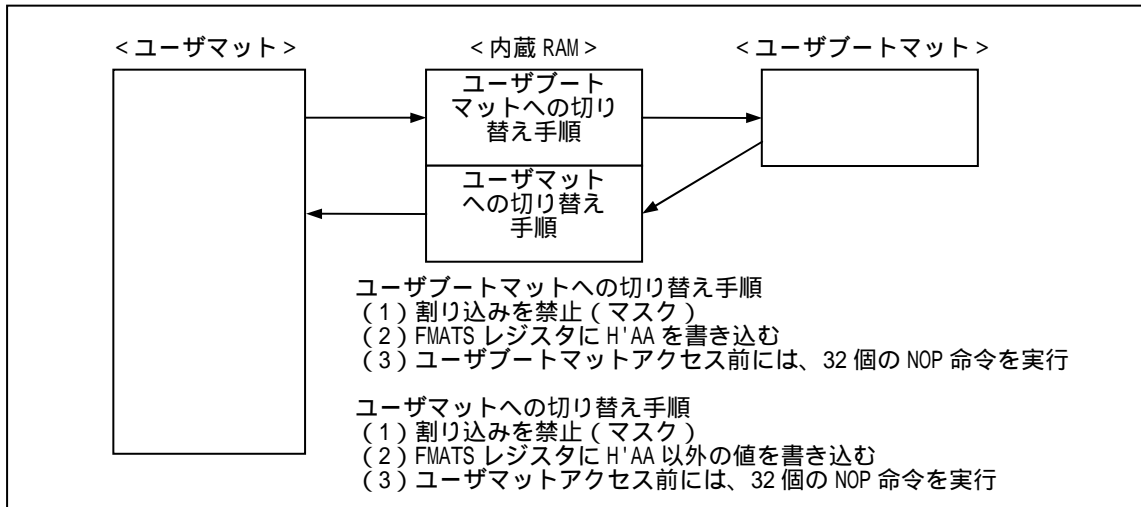
「26章 フラッシュメモリ (ROM)」 P26-56 26.7.1 ユーザマットとユーザブートマットの切り替えに説明を追加します。

【変更後】

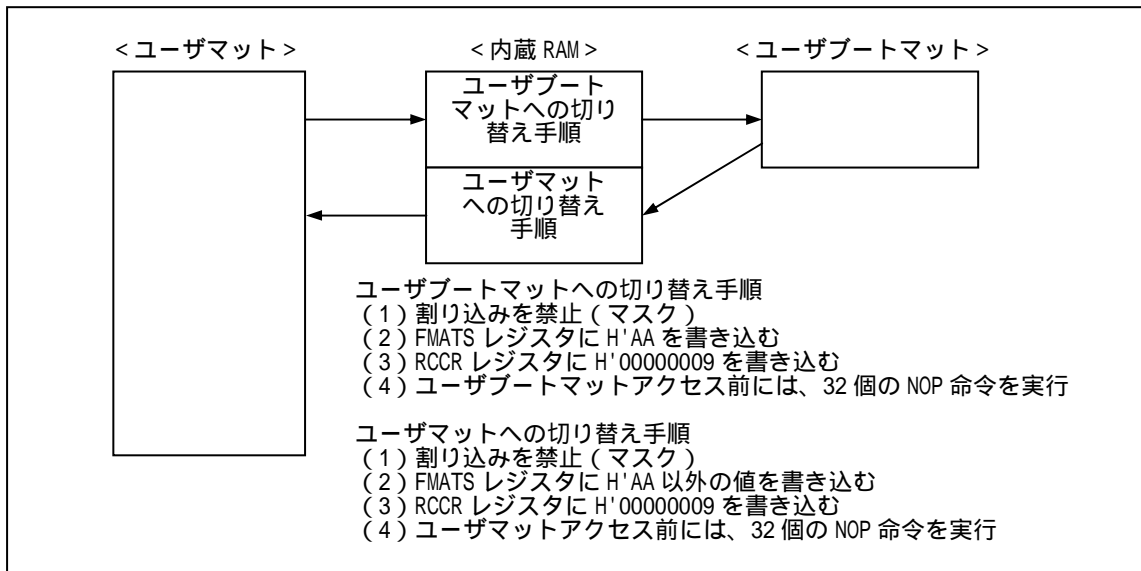
6. マット切り替え後に RCCR レジスタの RCF ビットに 1 を書き込んで ROM キャッシュにキャッシングされた命令やデータを無効 (フラッシュ) にしてください。

「26章 フラッシュメモリ (ROM)」 P26-57 図 26.19 ユーザマット / ユーザブートマットの切り替え を以下のように修正します。

【変更前】



【変更後】



「26章 フラッシュメモリ (ROM)」 P26-61 26.8.1 ブートモードの標準シリアル通信インタフェース仕様の説明を以下のように修正します。

【変更前】

ブートモードで起動するブートプログラムは、ホストと LSI 内蔵の SCIF を使って送受信を行います。

【変更後】

ブートモードで起動するブートプログラムは、ホストと LSI 内蔵の SCI を使って送受信を行います。

「26章 フラッシュメモリ (ROM)」 P26-91 26.9 ライタモードの説明を以下のように修正します。

【変更前】

PROM ライタはルネサス 256K/512K/768K/1M バイトフラッシュメモリ内蔵マイコンデバイスタイプ (ZTAT512DV5A/FZTAT1024DV5A) をサポートしているライタを使用してください。

【変更後】

PROM ライタはルネサス 256K/512K/768K/1M バイトフラッシュメモリ内蔵マイコンデバイスタイプ (FZTAT512DV5A/FZTAT1024DV5A) をサポートしているライタを使用してください。

「30章 レジスタ一覧」 P30-24 30.1 レジスタアドレス一覧 (機能モジュールごと、マニュアル章番号順) の FLC の説明を以下のように修正します。

【変更前】

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
FLC	フラッシュコードコントロール/ステータスレジスタ	FCCS	8	H'FFFFA800	8
	フラッシュプログラムコードセレクトレジスタ	FPCS	8	H'FFFFA801	8
	フラッシュイレースコードセレクトレジスタ	FECS	8	H'FFFFA802	8
	フラッシュキーコードレジスタ	FKEY	8	H'FFFFA804	8
	フラッシュマットセレクトレジスタ	FMATS	8	H'FFFFA805	8
	フラッシュトランスファデスティネーションアドレスレジスタ	FTDAR	8	H'FFFFA806	8

【変更後】

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
FLC	フラッシュコードコントロール/ステータスレジスタ	FCCS	8	H'FFFFA800	8
	フラッシュプログラムコードセレクトレジスタ	FPCS	8	H'FFFFA801	8
	フラッシュイレースコードセレクトレジスタ	FECS	8	H'FFFFA802	8
	フラッシュキーコードレジスタ	FKEY	8	H'FFFFA804	8
	フラッシュマットセレクトレジスタ	FMATS	8	H'FFFFA805	8
	フラッシュトランスファデスティネーションアドレスレジスタ	FTDAR	8	H'FFFFA806	8
	ROM キャッシュ制御レジスタ	RCCR	32	H'FFFC1400	32

「30章 レジスタ一覧」 P30-55 30.2 レジスタビット一覧の FLASH レジスタを以下のように修正します。

【変更前】

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
FLASH	FCCS	FWE	MAT	-	FLER	-	-	-	SCO
	FPCS	-	-	-	-	-	-	-	PPVS
	FECS	-	-	-	-	-	-	-	EPVB
	FKEY	K7	K6	K5	K4	K3	K2	K1	K0
	FMATS	MS7	MS6	MS5	MS4	MS3	MS2	MS1	MS0
	FTDAR	TDER	TDA6	TDA5	TDA4	TDA3	TDA2	TDA1	TDA0

【変更後】

モジュール名	レジスタ略称	ビット 31/23/15/7	ビット 30/22/14/6	ビット 29/21/13/5	ビット 28/20/12/4	ビット 27/19/11/3	ビット 26/18/10/2	ビット 25/17/9/1	ビット 24/16/8/0
FLASH	FCCS	FWE	MAT	-	FLER	-	-	-	SCO
	FPCS	-	-	-	-	-	-	-	PPVS
	FECS	-	-	-	-	-	-	-	EPVB
	FKEY	K7	K6	K5	K4	K3	K2	K1	K0
	FMATS	MS7	MS6	MS5	MS4	MS3	MS2	MS1	MS0
	FTDAR	TDER	TDA6	TDA5	TDA4	TDA3	TDA2	TDA1	TDA0
	RCCR	-	-	-	-	-	-	-	-
	-	-	-	-	-	-	-	-	
	-	-	-	-	-	RCF	-	-	
	-	-	-	-	-	-	-	-	

「30章 レジスタ一覧」 P30-71 30.3 各動作モードにおけるレジスタの状態の一覧の FLASH レジスタの状態を以下のように修正します。

【変更前】

モジュール名	レジスタ略称	パワーオンリセット	マニュアルリセット	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ
FLASH	FCCS	初期化	保持	初期化	-	保持
	FPCS	初期化	保持	初期化	-	保持
	FECS	初期化	保持	初期化	-	保持
	FKEY	初期化	保持	初期化	-	保持
	FMATS	初期化	保持	初期化	-	保持
	FTDAR	初期化	保持	初期化	-	保持

【変更後】

モジュール名	レジスタ略称	パワーオンリセット	マニュアルリセット	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ
FLASH	FCCS	初期化	保持	初期化	-	保持
	FPCS	初期化	保持	初期化	-	保持
	FECS	初期化	保持	初期化	-	保持
	FKEY	初期化	保持	初期化	-	保持
	FMATS	初期化	保持	初期化	-	保持
	FTDAR	初期化	保持	初期化	-	保持
	RCCR	初期化	保持	保持	保持	保持

「31章 電気的特性」 P31-1 表 31.1 絶対最大定格」を以下のように修正します。

【変更前】

項目	記号	定格値	単位
電源電圧	DrVcc	- 0.3 ~ + 4.3	V

【変更後】

項目	記号	定格値	単位
電源電圧	DrVcc	- 0.3 ~ + 7.0	V

「31章 電気的特性」 P31-2 表 31.2 DC 特性 (1)【共通項目】を以下のように修正します。

【変更前】

項目		記号	Min.	Typ.	Max.	単位	測定条件
アナログ電源電流	A/D、D/A 変換中	Alcc	-	3.0	5.0	mA	1モジュールあたり
	A/D、D/A 変換待機時		-	30	50	μA	1モジュールあたり
リファレンス電源電流	A/D、D/A 変換中	Alref	-	2.0	3.0	mA	1モジュール
	A/D、D/A 変換待機時		-	1.5	2.0		1モジュール

【変更後】

項目		記号	Min.	Typ.	Max.	単位	測定条件
アナログ電源電流	A/D、D/A 変換中	Alcc	-	3.0	5.0	mA	1モジュールあたり
	A/D、D/A 変換待機時		-	30	50	μA	1モジュールあたり
リファレンス電源電流	A/D、D/A 変換中	Alref	-	2.0	3.0	mA	1モジュール
	A/D、D/A 変換待機時		-	1.5	2.0		1モジュール

「31章 電気的特性」 P31-12 表 31.7 バスタイミングを以下のように修正します。

【変更前】

項目	記号	B =50MHz*		単位	参照図
		Min.	Max.		
リードデータアクセス時間	t _{ACC}	t _{cyc} (n+1.5) - 33	-	ns	31.10 ~ 31.13
リードストロープからのアクセス時間	t _{OE}	t _{cyc} (n+1) - 31	-	ns	31.10 ~ 31.13

【変更後】

項目	記号	B =50MHz*		単位	参照図
		Min.	Max.		
リードデータアクセス時間	t _{ACC}	t _{cyc} (n+1.5) - 32	-	ns	31.10 ~ 31.13
リードストロープからのアクセス時間	t _{OE}	t _{cyc} (n+1) - 32	-	ns	31.10 ~ 31.13

「31章 電気的特性」 P31-41 表 31.10 MTU2、MTU2S モジュールタイミングの注記を以下のように修正します。

【変更前】

【注】 t_{pcyc} は周辺クロック（P）の周期を示します。

【変更後】

【注】 t_{pcyc} は周辺クロック（P）の周期を示します。MTU2S は M で動作します。

「31章 電気的特性」 P31-50 表 31.17 I2C バスインタフェース 3 タイミングを以下のように修正します。

【変更前】

項目	記号	測定条件	規格値			単位	参照図
			Min.	Typ.	Max.		
SCL, SDA 入カスパイク パルス除去時間 ^{*2}	t_{sp}		-	-	$5t_{pcyc}^{*2}$	t_{pcyc}^{*1}	31.53

【変更後】

項目	記号	測定条件	規格値			単位	参照図
			Min.	Typ.	Max.		
SCL, SDA 入カスパイク パルス除去時間 ^{*2}	t_{sp}		-	-	1	t_{pcyc}^{*1}	31.53