

RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシア
 ルネサス エレクトロニクス株式会社
 問合せ窓口 <https://www.renesas.com/jp/ja/support/contact/>

製品分類	MPU & MCU	発行番号	TN-RA*-A0088A/J	Rev.	第1版
題名	DOC 割り込み許可設定の訂正		情報分類	技術情報	
適用製品	RA6T2 グループ	対象ロット等	関連資料	RA6T2 グループ ユーザーズマニュアル ハードウェア編 Rev.1.30	
		全ロット			

DOC 割り込み許可設定方法について、以下の箇所を訂正いたします。

変更箇所は以下の通りです。

- 1) 図 40.1 DOC のブロック図
- 2) 40.2.1 DOOCR：DOC コントロールレジスタ
- 3) 40.3.1 データ比較モード
- 4) 図 40.2 データ比較モードの動作例（検出条件：不一致）
 図 40.3 データ比較モードの動作例（検出条件：一致）
 図 40.4 データ比較モードの動作例（検出条件：小さい）
 図 40.5 データ比較モードの動作例（検出条件：大きい）
 図 40.6 データ比較モードの動作例（検出条件：ウィンドウの内側）
 図 40.7 データ比較モードの動作例（検出条件：ウィンドウの外側）
- 5) 40.3.2 データ加算モード
- 6) 図 40.8 データ加算モードの動作例
- 7) 40.3.3 データ減算モード
- 8) 図 40.9 データ減算モードの動作例
- 9) 40.4 割り込み要因
- 10) 40.6 割り込み処理とイベントリンクの関係

修正前

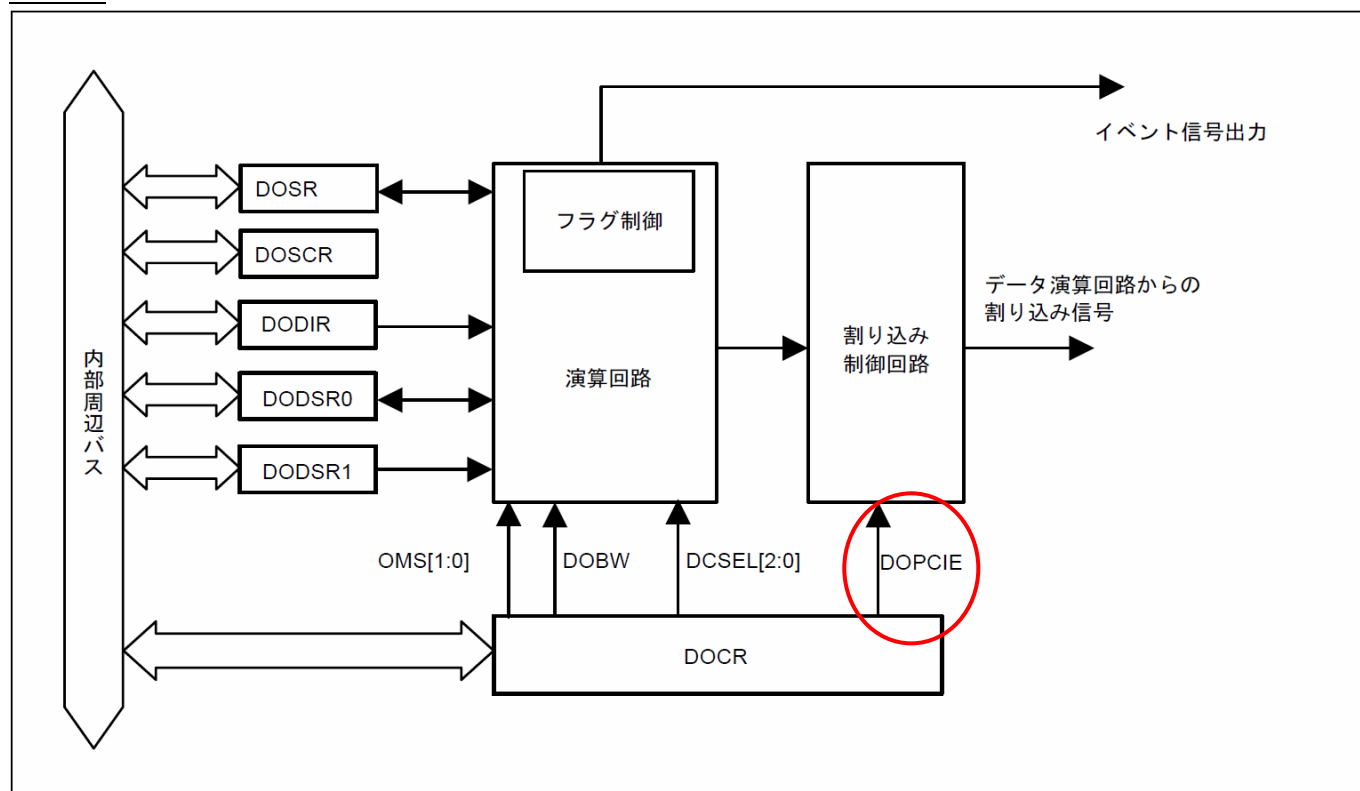


図 40.1 DOC のブロック図

修正後

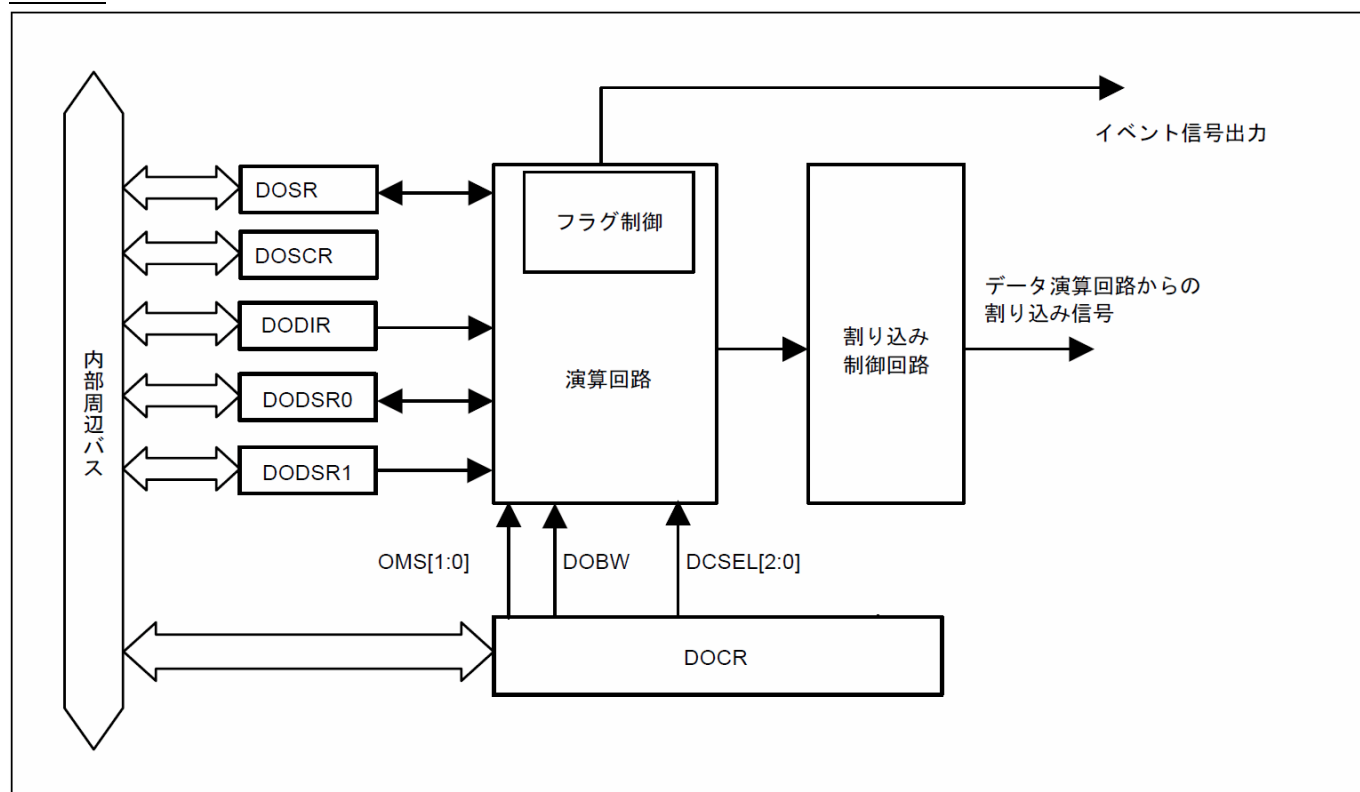


図 40.1 DOC のブロック図

修正前

40.2.1 DOCR : DOC コントロールレジスタ

Base address: DOC_B = 0x4010_9000

Offset address: 0x00

Bit position	7	6	5	4	3	2	1	0
Bit field	DOPC IE	DCSEL[2:0]			DOBW	-	OMS[1:0]	
Value after reset	0	0	0	0	0	0	0	0

Bit	Symbol	Function	R/W
7	DOPCIE	データ演算回路割り込み許可 0: データ演算回路からの割り込みを禁止 1: データ演算回路からの割り込みを許可	R/W

注 1. データ比較モード選択時のみ有効

DOCR は、データ演算回路の動作モードと割り込みの許可／禁止を設定できるレジスタです。

OMS[1:0]ビット (動作モード選択)

これらのビットは、データ演算回路の動作モードを選択します。

DOBW ビット (データ演算ビット幅選択)

このビットは、データ演算のビット幅を選択します。

DCSEL[2:0]ビット (検出条件選択)

これらのビットは、データ比較モード選択時のみ有効です。

これらのビットは、データ比較モードにおける検出条件を選択します。

DOPCIE ビット (データ演算回路割り込み許可)

このビットを 1 に設定すると、データ演算回路からの割り込みが許可されます。

修正後

40.2.1 DOCR : DOC コントロールレジスタ

Base address: DOC_B = 0x4010_9000

Offset address: 0x00

Bit position	7	6	5	4	3	2	1	0
Bit field	-	DCSEL[2:0]			DOBW	-	OMS[1:0]	
Value after reset	0	0	0	0	0	0	0	0

Bit	Symbol	Function	R/W
7	-	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. データ比較モード選択時のみ有効

DOCR は、データ演算回路の動作モードと割り込みの許可／禁止を設定できるレジスタです。

OMS[1:0]ビット (動作モード選択)

これらのビットは、データ演算回路の動作モードを選択します。

DOBW ビット (データ演算ビット幅選択)

このビットは、データ演算のビット幅を選択します。

DCSEL[2:0]ビット (検出条件選択)

これらのビットは、データ比較モード選択時のみ有効です。

これらのビットは、データ比較モードにおける検出条件を選択します。

(削除)

修正前

40.3.1 データ比較モード

図 40.2 から図 40.7 に、データ演算回路によるデータ比較モードの動作例を示します。
 データ演算のビット幅が 32 ビットの場合の動作例を次に示します。

1. DOCR.OMS[1:0]ビットに 00b を書き込んでデータ比較モードを選択し、DOCR.DCSEL[2:0]を設定して検出条件を選択します。
2. DODSR0 および DODSR1 レジスタに、基準となる 32 ビットのデータを設定します。(注 1)
3. DODIR レジスタに、比較する 32 ビットのデータを書き込みます。
4. DODIR に書き込まれる値が、DOCR.DCSEL[2:0]によって設定された検出条件に一致した場合、DOCR.DOPCF フラグは 1 に設定され、ELC イベントが生成されます。また、DOCR.DOPCIE ビットが 1 の場合は、データ演算回路割り込みが発生します。

修正後

40.3.1 データ比較モード

図 40.2 から図 40.7 に、データ演算回路によるデータ比較モードの動作例を示します。
 データ演算のビット幅が 32 ビットの場合の動作例を次に示します。

1. DOCR.OMS[1:0]ビットに 00b を書き込んでデータ比較モードを選択し、DOCR.DCSEL[2:0]を設定して検出条件を選択します。
2. DODSR0 および DODSR1 レジスタに、基準となる 32 ビットのデータを設定します。(注 1)
3. DODIR レジスタに、比較する 32 ビットのデータを書き込みます。
4. DODIR に書き込まれる値が、DOCR.DCSEL[2:0]によって設定された検出条件に一致した場合、DOCR.DOPCF フラグは 1 に設定され、ELC イベントおよびデータ演算回路割り込みが生成されます。

修正前

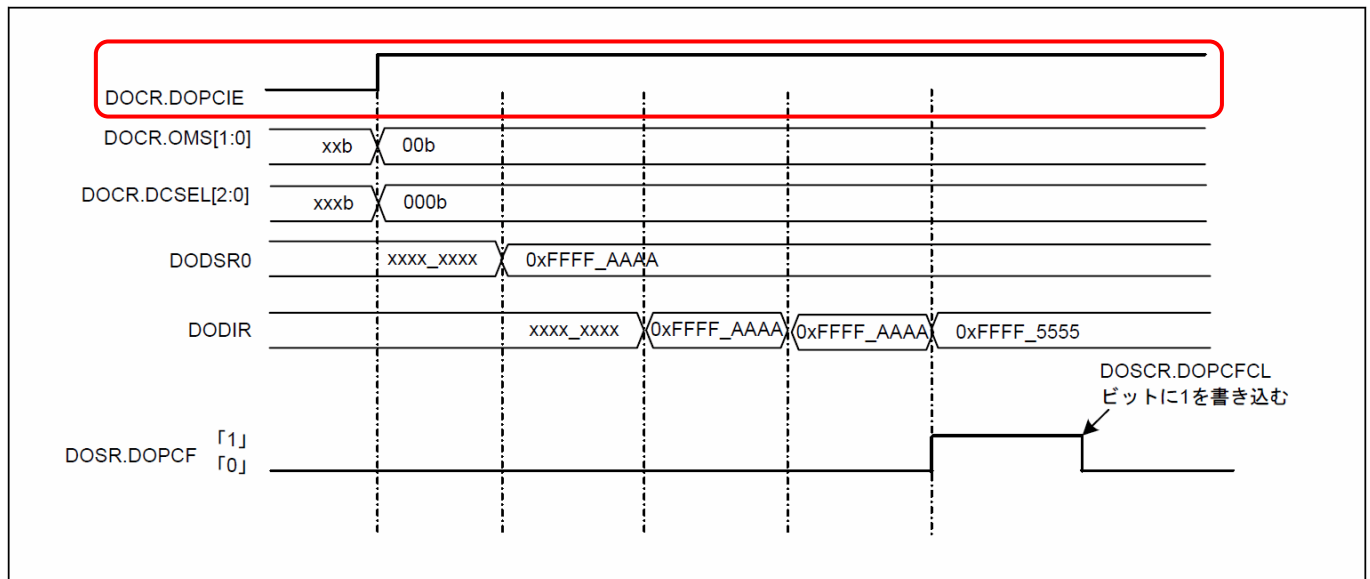


図 40.2 データ比較モードの動作例（検出条件：不一致）

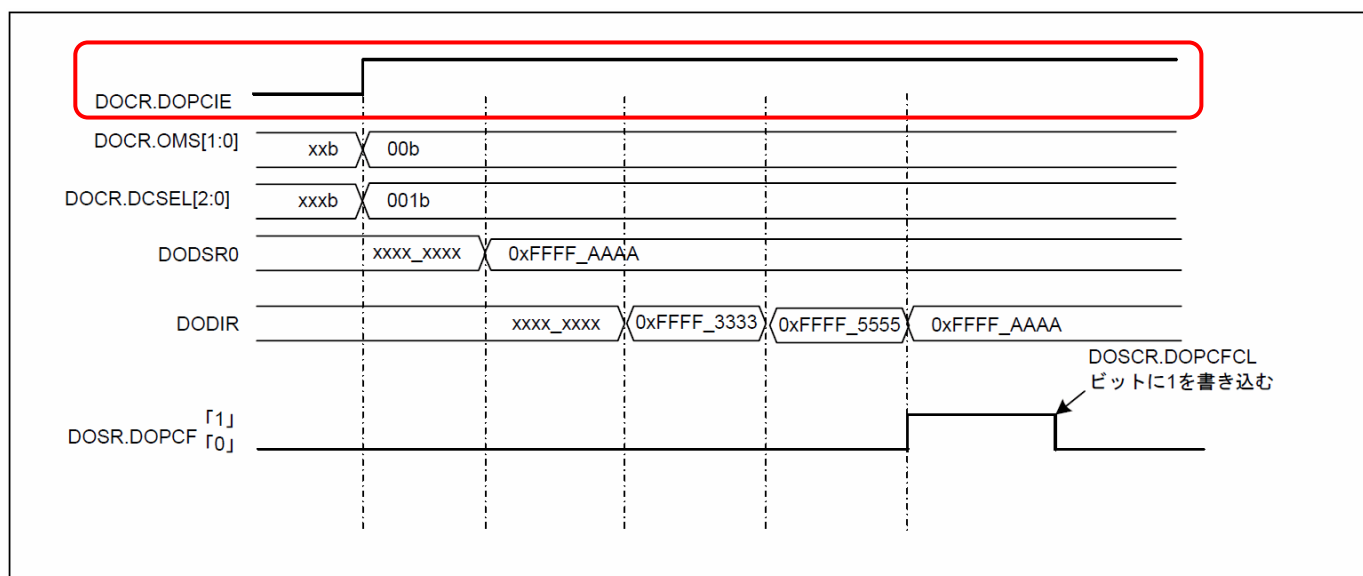


図 40.3 データ比較モードの動作例（検出条件：一致）

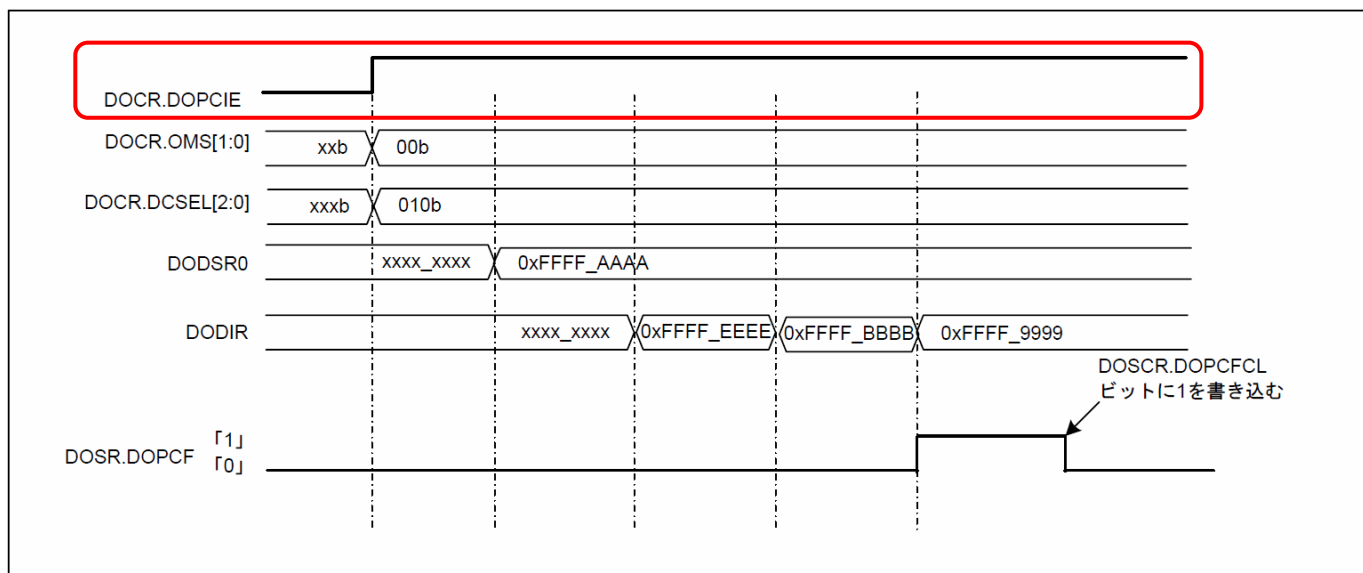


図 40.4 データ比較モードの動作例（検出条件：小さい）

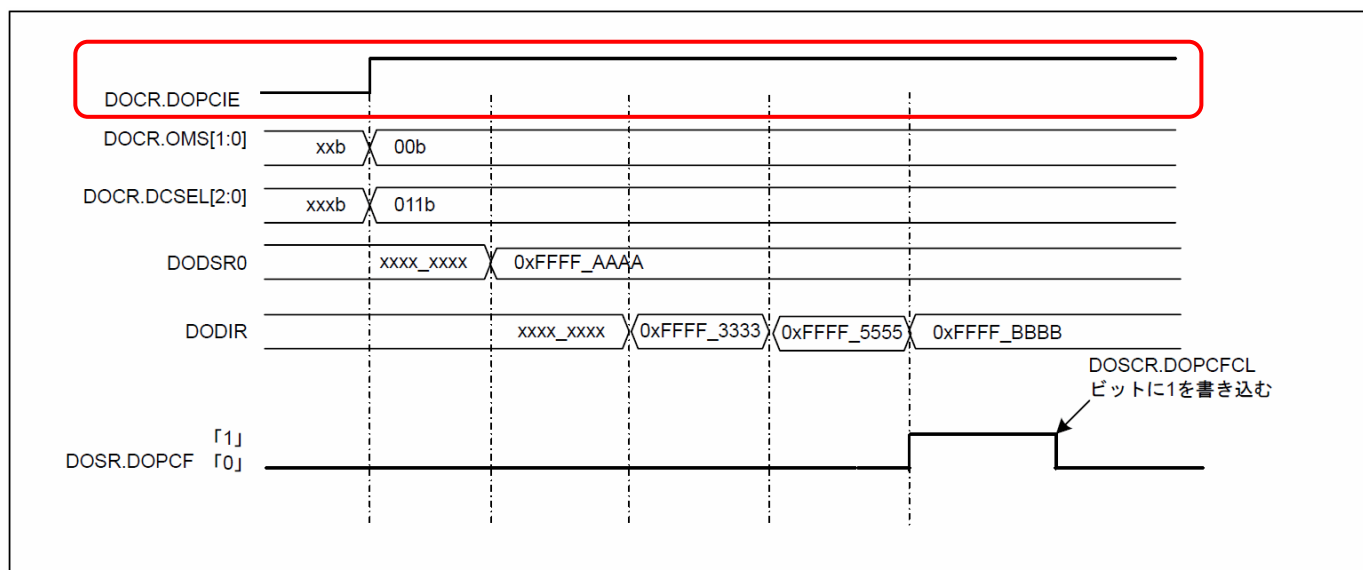


図 40.5 データ比較モードの動作例（検出条件：大きい）

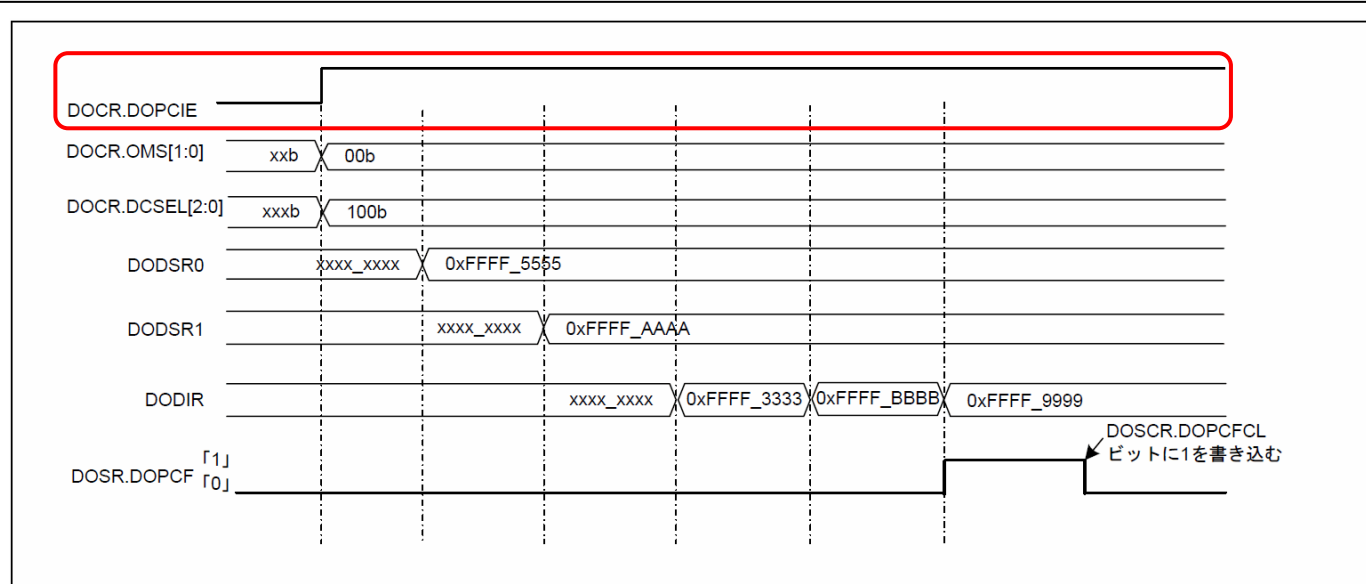


図 40.6 データ比較モードの動作例（検出条件：ウィンドウの内側）

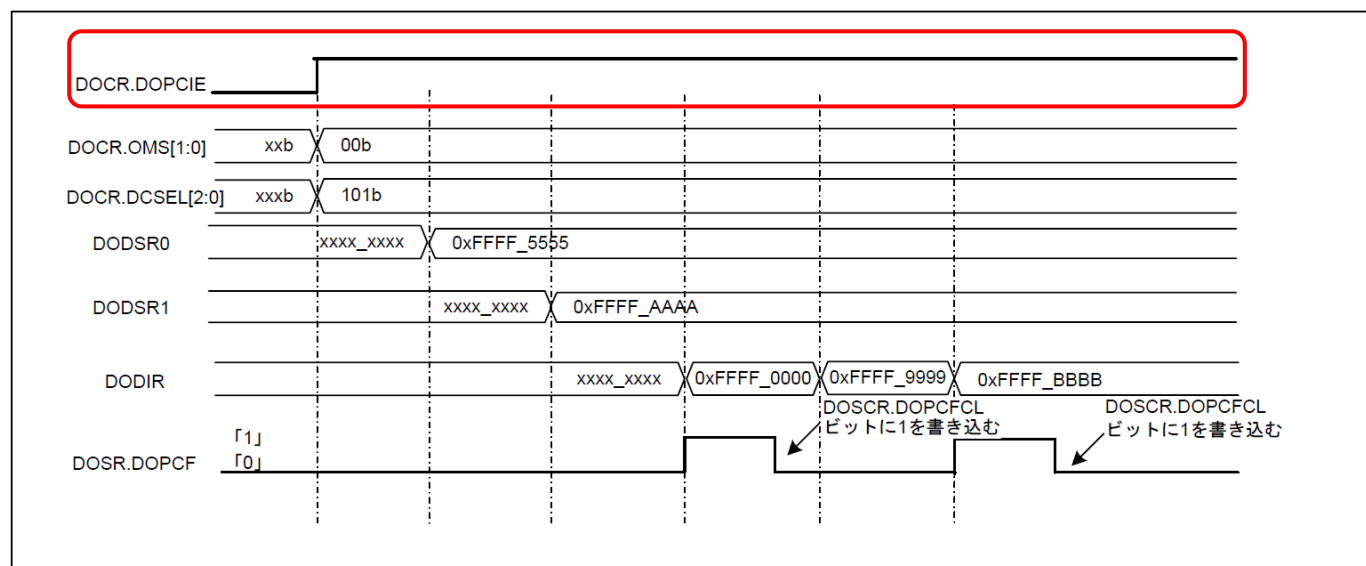


図 40.7 データ比較モードの動作例（検出条件：ウィンドウの外側）

修正後

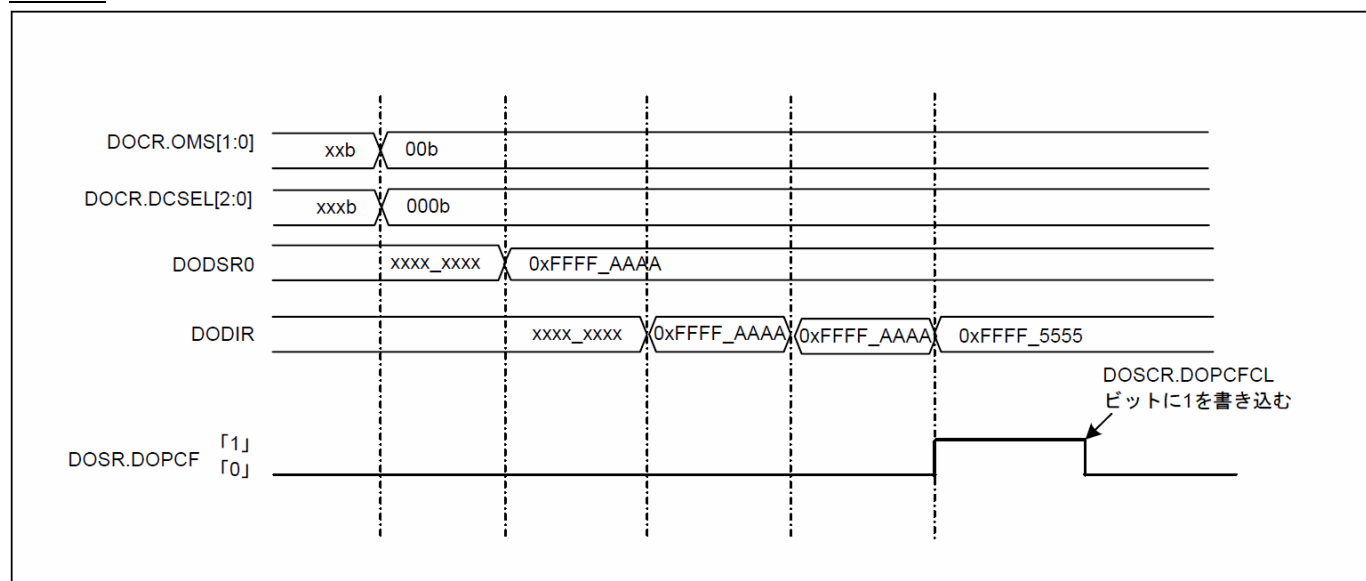


図 40.2 データ比較モードの動作例（検出条件：不一致）

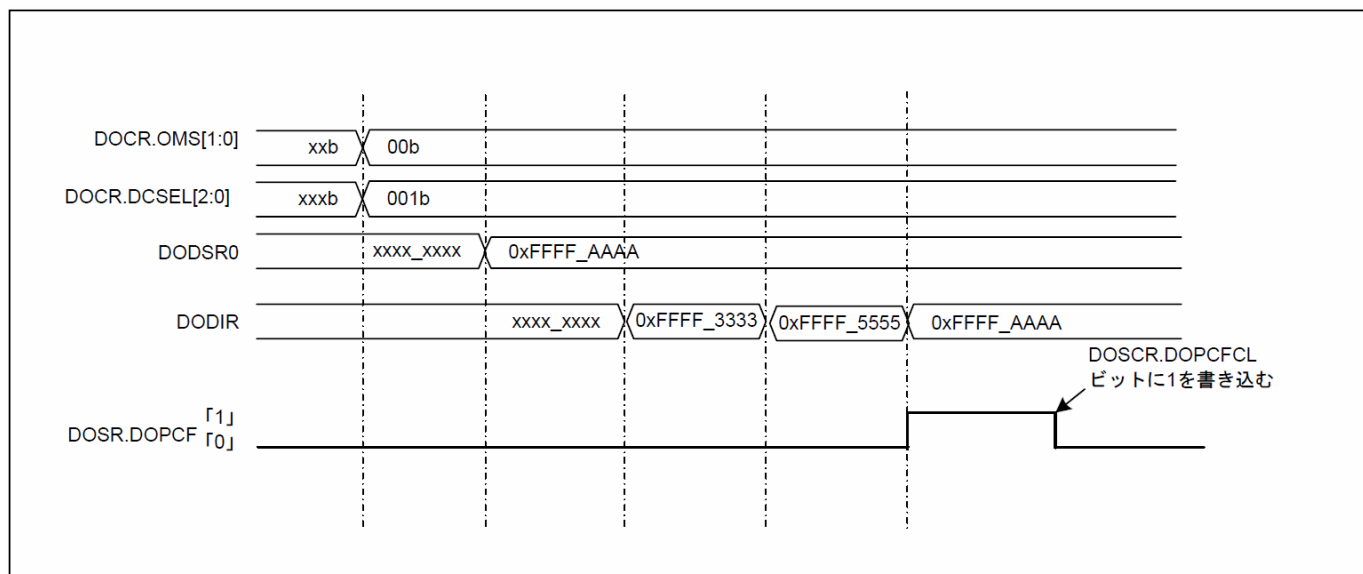


図 40.3 データ比較モードの動作例（検出条件：一致）

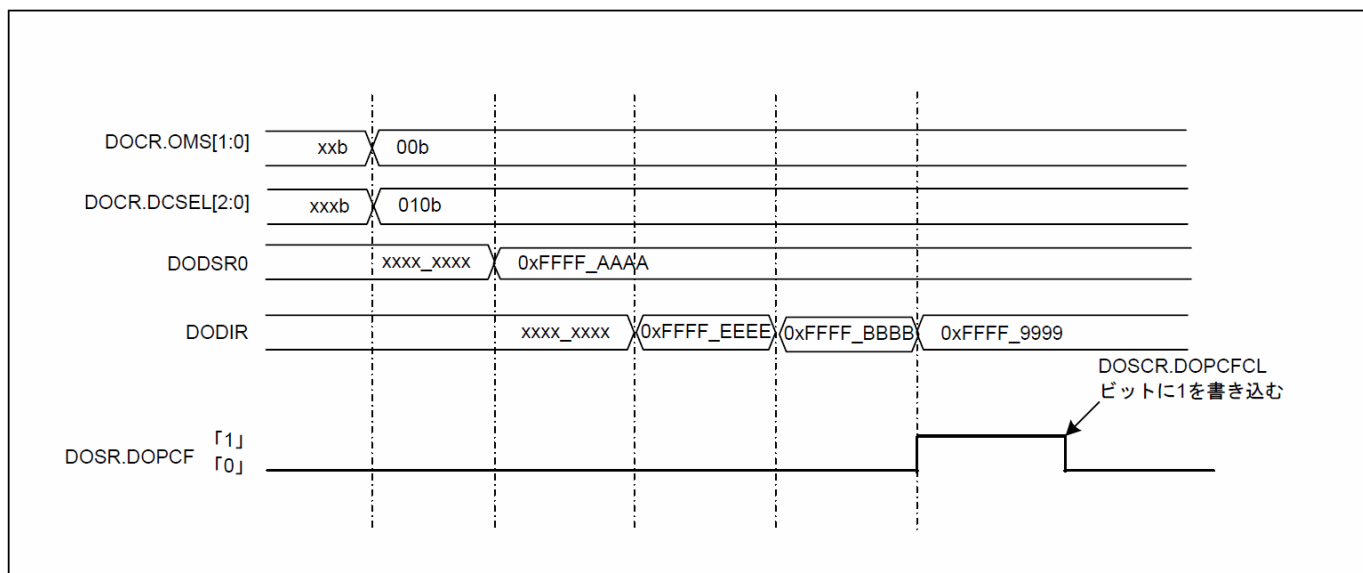


図 40.4 データ比較モードの動作例（検出条件：小さい）

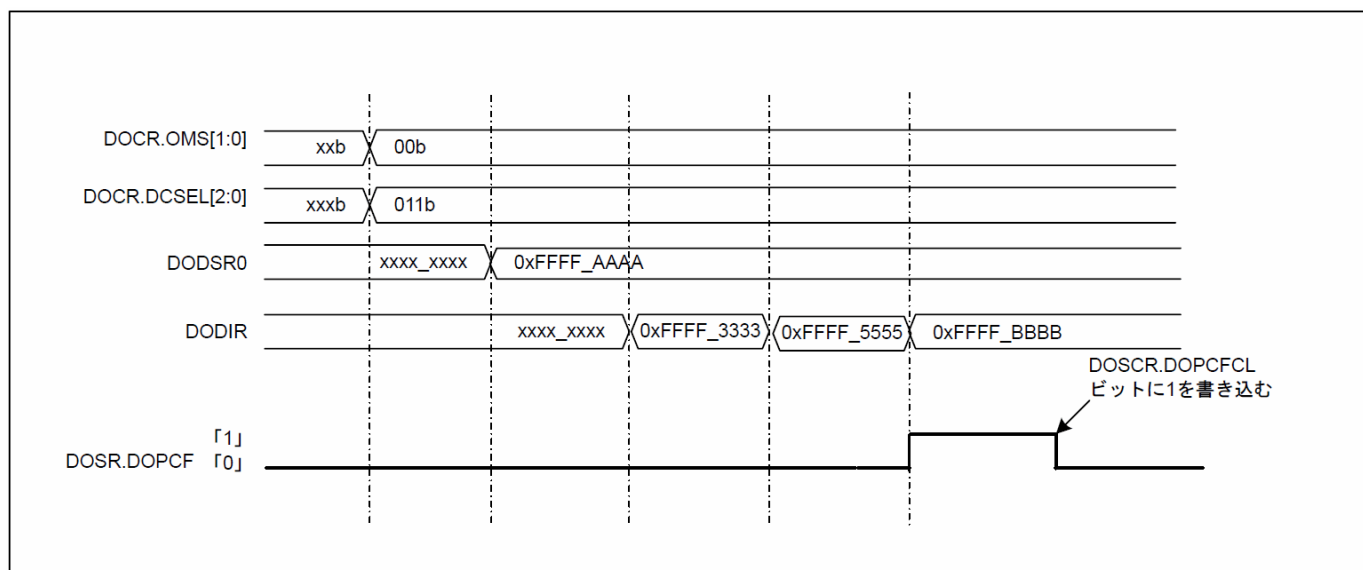


図 40.5 データ比較モードの動作例（検出条件：大きい）

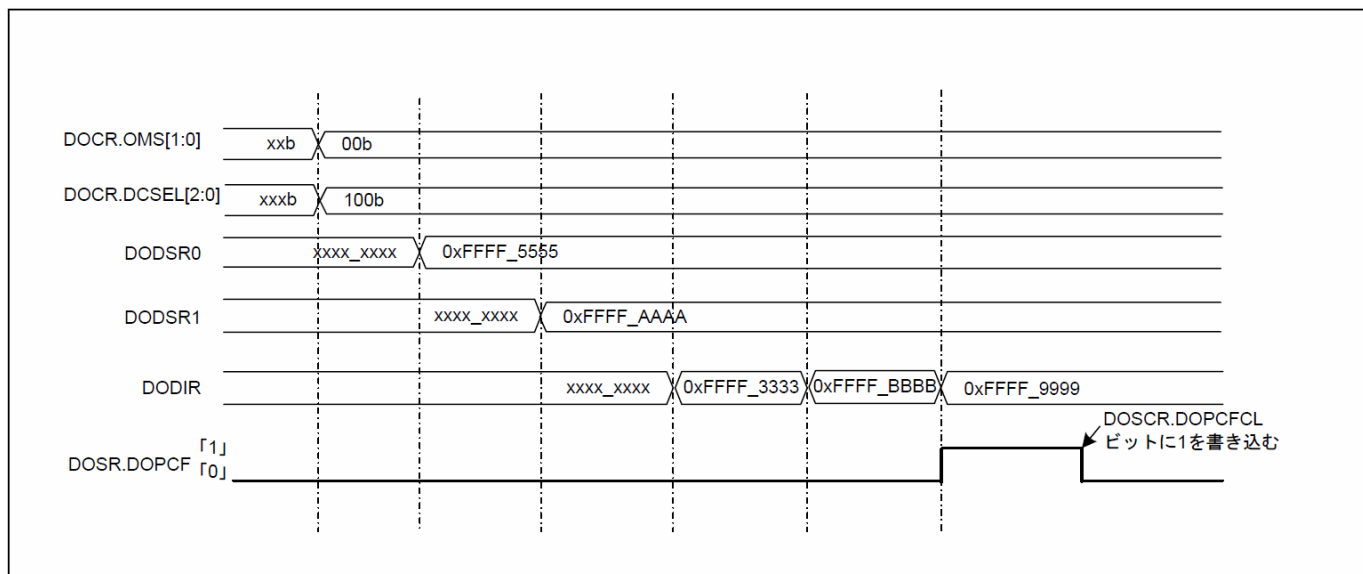


図 40.6 データ比較モードの動作例（検出条件：ウィンドウの内側）

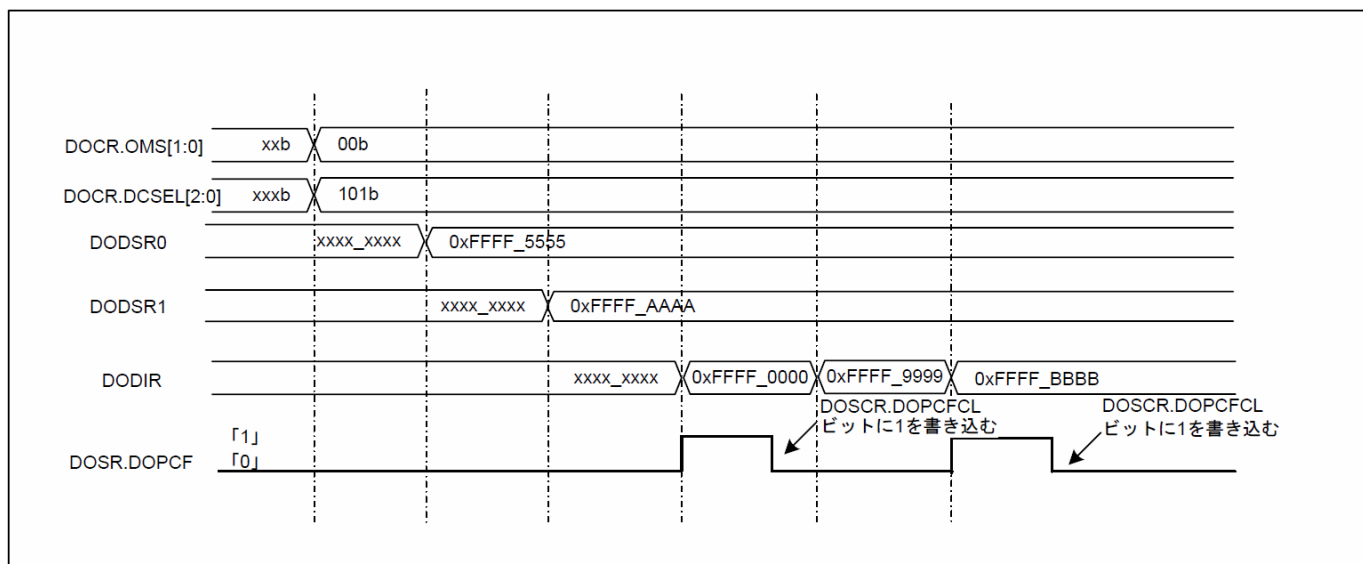


図 40.7 データ比較モードの動作例（検出条件：ウィンドウの外側）

修正前

40.3.2 データ加算モード

図 40.8 に、データ演算回路によるデータ加算モード(注 1)動作の手順例を示します。

データ演算のビット幅が 32 ビットの場合の動作例を次に示します。

1. DOOCR.OMS[1:0]ビットに 01b を書き込むと、データ加算モードになります。
2. DODSR0 レジスタに初期値として 32 ビットのデータを設定します。
3. 加算される 32 ビットデータが DODIR に書き込まれます。演算結果は DODSR0 レジスタに格納されます。
4. 加算するすべてのデータの書き込みが完了するまで、続けて 32 ビットのデータを DODIR レジスタに書き込みます。
5. 加算結果が 0xFFFF_FFFF よりも大きくなったとき DOSR.DOPCF フラグが 1 になり、ELC イベントが生成されます。また、DOOCR.DOPCIE ビットが 1 の場合は、データ演算回路割り込みが発生します。

修正後

40.3.2 データ加算モード

図 40.8 に、データ演算回路によるデータ加算モード(注 1)動作の手順例を示します。

データ演算のビット幅が 32 ビットの場合の動作例を次に示します。

1. DOOCR.OMS[1:0]ビットに 01b を書き込むと、データ加算モードになります。
2. DODSR0 レジスタに初期値として 32 ビットのデータを設定します。
3. 加算される 32 ビットデータが DODIR に書き込まれます。演算結果は DODSR0 レジスタに格納されます。
4. 加算するすべてのデータの書き込みが完了するまで、続けて 32 ビットのデータを DODIR レジスタに書き込みます。
5. 加算結果が 0xFFFF_FFFF よりも大きくなったとき DOSR.DOPCF フラグが 1 になり、ELC イベントおよびデータ演算回路割り込みが生成されます。

修正前

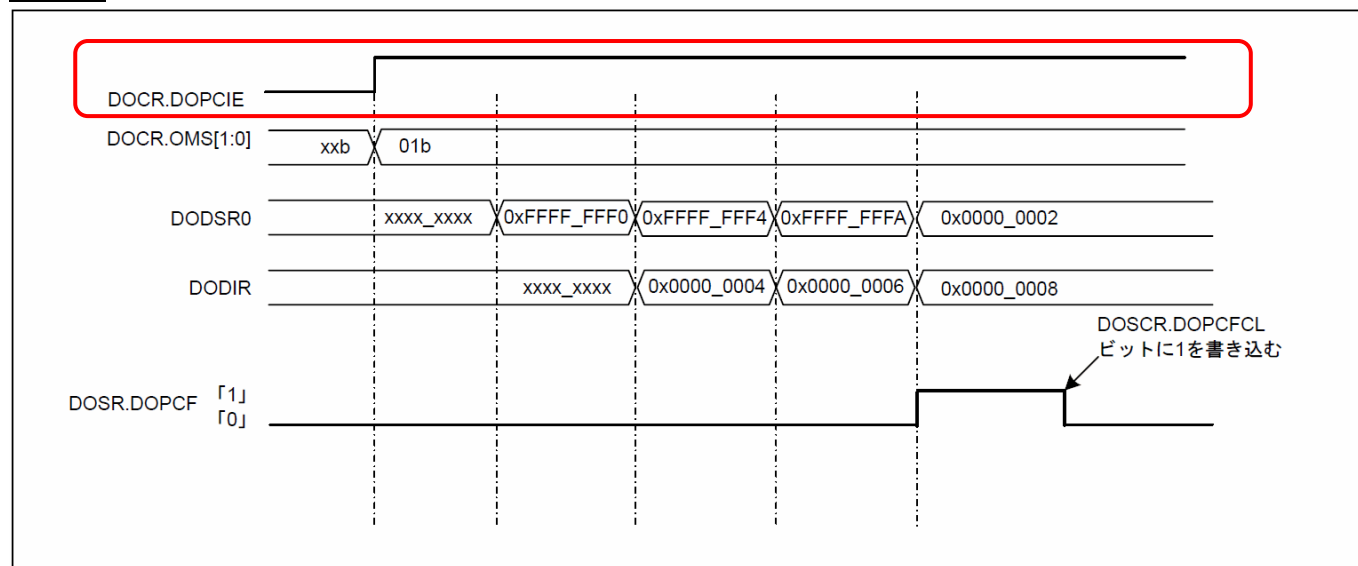


図 40.8 データ加算モードの動作例

修正後

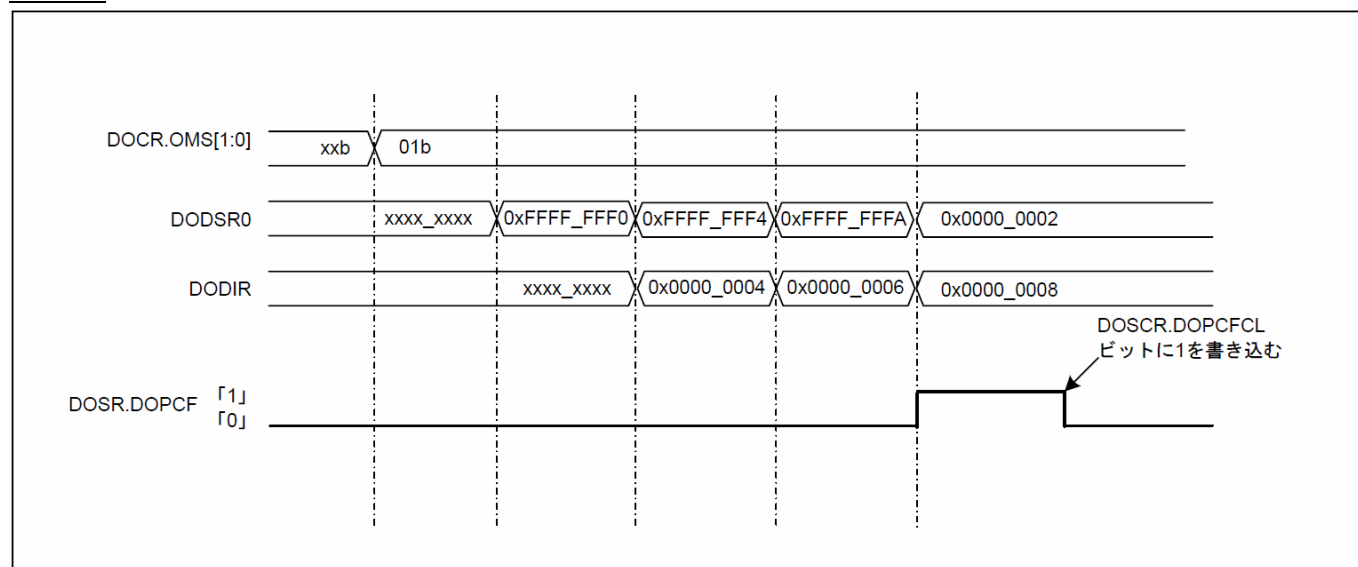


図 40.8 データ加算モードの動作例

修正前

40.3.3 データ減算モード

図 40.9 にデータ演算回路によるデータ減算モード(注 1)の動作例を示します。

データ演算のビット幅が 32 ビットの場合の動作例を次に示します。

1. DOOCR.OMS[1:0]ビットに 10b を書き込むと、データ減算モードになります。
2. DODSR0 レジスタに初期値として 32 ビットのデータを設定します。
3. DODIR レジスタに減算する 32 ビットのデータを書き込みます。演算結果は DODSR0 レジスタに格納されます。
4. すべての減算データを書き込みが完了するまで、DODIR レジスタに減算する 32 ビットのデータを書き込みます。
5. 演算結果が 0x0000_0000 よりも小さくなったとき DOSR.DOPCF フラグが 1 になり、ELC イベントが生成されます。また、DOOCR.DOPCIE ビットが 1 の場合は、データ演算回路割り込みが発生します。

修正後

40.3.3 データ減算モード

図 40.9 にデータ演算回路によるデータ減算モード(注 1)の動作例を示します。

データ演算のビット幅が 32 ビットの場合の動作例を次に示します。

1. DOOCR.OMS[1:0]ビットに 10b を書き込むと、データ減算モードになります。
2. DODSR0 レジスタに初期値として 32 ビットのデータを設定します。
3. DODIR レジスタに減算する 32 ビットのデータを書き込みます。演算結果は DODSR0 レジスタに格納されます。
4. すべての減算データを書き込みが完了するまで、DODIR レジスタに減算する 32 ビットのデータを書き込みます。
5. 演算結果が 0x0000_0000 よりも小さくなったとき DOSR.DOPCF フラグが 1 になり、ELC イベントおよびデータ演算回路割り込みが生成されます。

修正前

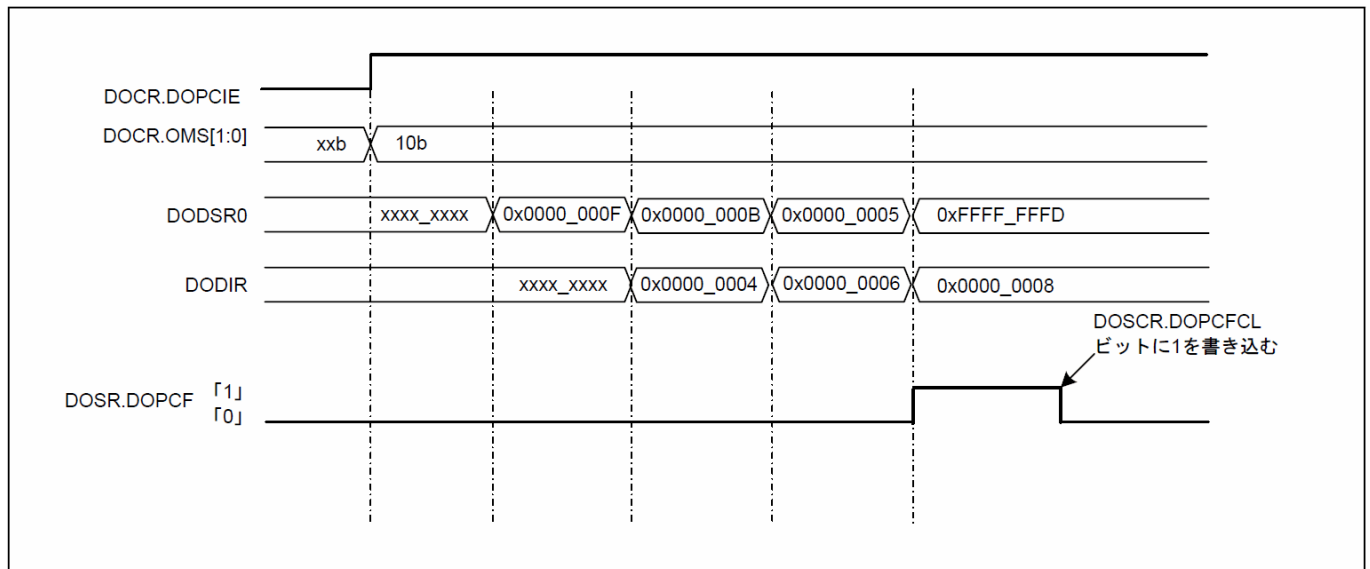


図 40.9 データ減算モードの動作例

修正後

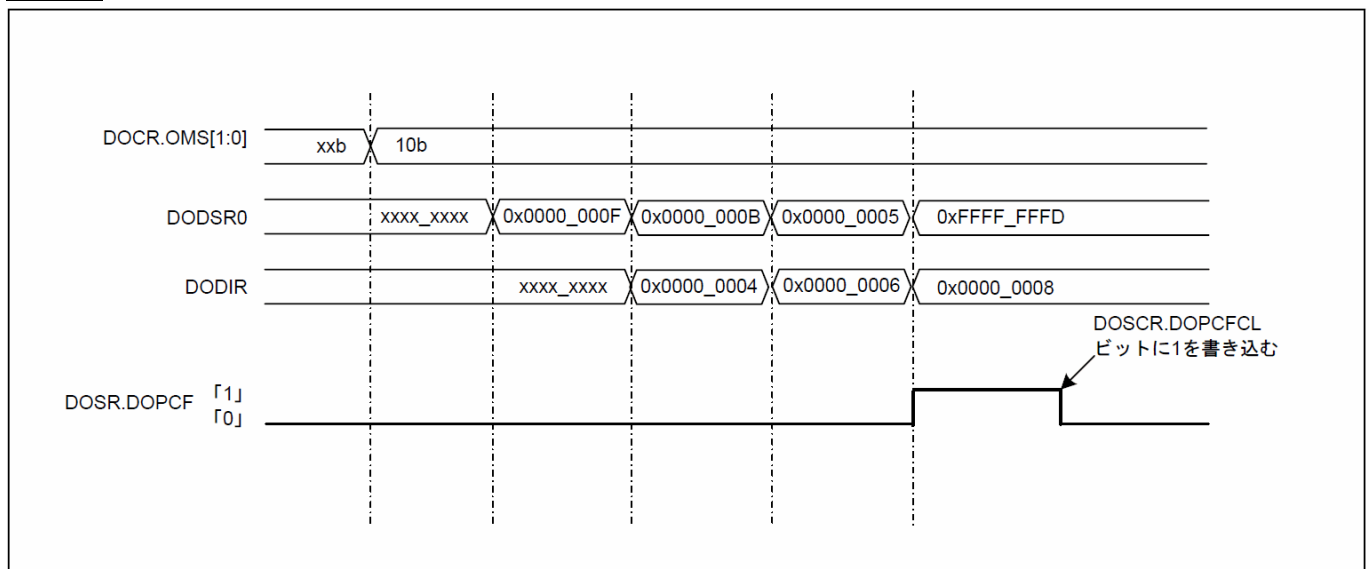


図 40.9 データ減算モードの動作例

修正前

40.4 割り込み要因

データ演算回路は、割り込み要求としてデータ演算回路割り込み (DOC_DOPCI) を生成します。割り込み要因が発生すると、その割り込みに対応するデータ演算回路のフラグが 1 になり、データ演算回路割り込み許可ビットが有効になると、割り込み要求信号が生成されます。表 40.2 に割り込み要求の内容を示します。

修正後

40.4 割り込み要因

データ演算回路は、割り込み要求としてデータ演算回路割り込み (DOC_DOPCI) を生成します。割り込み要因が発生すると、その割り込みに対応するデータ演算回路のフラグが 1 になると、割り込み要求信号が生成されます。表 40.2 に割り込み要求の内容を示します。

修正前**40.6 割り込み処理とイベントリンクの関係**

DOC には、割り込みを許可／禁止するビットがあります。割り込み要因が発生すると、対応する割り込み許可ビットが許可の場合に、CPU に対して割り込み要求信号を出力します。

これに対してイベントリンク出力信号は、割り込み要因が発生すると割り込み許可ビットに依存せず、ELC を介して他のモジュールにイベント信号として出力します。

修正後

(削除)