

RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシアル
ルネサス エレクトロニクス株式会社

問合せ窓口 <https://www.renesas.com/jp/ja/support/contact/>

製品分類	MPU & MCU	発行番号	TN-RA*-A0067A/J	Rev.	第1版
題名	クロック発生回路に関するユーザーズマニュアルの修正		情報分類	技術情報	
適用製品	RA2L1 グループ RA2E1 グループ	対象ロット等 すべて	関連資料	Renesas RA2L1 グループユーザーズ マニュアル ハードウェア編 R01UH0853JJ0120 Rev.1.20 Renesas RA2E1 グループユーザーズマ ニュアル ハードウェア編 R01UH0852JJ0120 Rev.1.20	

第8章クロック発生回路に関する補足情報の追加。

詳細は次ページ以降を参照。

RA2L1 グループ

8. クロック発生回路

修正前

表 8.2 クロック発生回路の仕様 (内部クロック) (1/2)

項目	クロックソース	クロック供給先	内容
システムクロック (ICLK)	MOSC/SOSC/HOCO/MOCO/ LOCO	CPU、DTC、フラッシュ、Flash-IF、SRAM	最高 48 MHz 分周比：1/2/4/8/16/32/64 1 MHz~48 MHz (P/E)
周辺モジュールクロック B (PCLKB)	MOSC/SOSC/HOCO/MOCO/ LOCO	周辺モジュール (CAC、ELC、I/O ポート、KINT、POEG、GPT、AGT、RTC、WDT、IWDT、SCI、IIC、SPI、CRC、ADC12、DAC12、ACMPLP、CTSU、DOC、AES、TRNG)	最高 32 MHz 分周比：1/2/4/8/16/32/64
周辺モジュールクロック D (PCLKD)	MOSC/SOSC/HOCO/MOCO/ LOCO	周辺モジュール (GPT カウントクロック、ADC12 変換クロック)	最高 64 MHz 分周比：1/2/4/8/16/32/64
CAN クロック (CANMCLK)	MOSC	CAN	1 MHz~20 MHz
AGT クロック (AGTSCLK/AGTLCLK)	SOSC/LOCO	AGT	32.768 kHz
CAC メインクロック (CACMCLK)	MOSC	CAC	最高 20 MHz
CAC サブクロック (CACSCCLK)	SOSC	CAC	32.768 kHz
CAC LOCO クロック (CACLCLK)	LOCO	CAC	32.768 kHz

表 8.2 クロック発生回路の仕様 (内部クロック) (2/2)

項目	クロックソース	クロック供給先	内容
CAC MOCO クロック (CACMOCLK)	MOCO	CAC	8 MHz
CAC HOCO クロック (CACCHCLK)	HOCO	CAC	24/32/48/64 MHz
CAC IWDTLCO クロック (CACILCLK)	IWDTLCO	CAC	15 kHz
RTC クロック (RTCSCLK/RTCS128CLK/RTCLCLK)	SOSC/LOCO	RTC	32.768 kHz / 128 Hz
IWDIT クロック (IWDITCLK)	IWDTLCO	IWDIT	15 kHz
SysTick タイマクロック (SYSTICCLK)	LOCO	SysTick タイマ	32.768 kHz
クロック/ブザー出力 (CLKOUT)	MOSC/SOSC/LOCO/MOCO/ HOCO	CLKOUT 端子	最高 16 MHz 分周比：1/2/4/8/16/32/64/128
シリアルワイヤクロック (SWCLK)	SWCLK 端子	OCD	最高 12.5 MHz

注. クロック周波数の設定に関する制限：ICLK ≥ PCLKB、PCLKD ≥ PCLKB
PCLKB クロック周波数比に関する制限：(N は最大 64 の整数)
ICLK:PCLKB = N:1、ICLK:PCLKD = N:1 または 1:N
プログラミング/イレース (P/E) モードでの最低 ICLK 周波数は 1 MHz です。

修正後

表 8.2 に以下の注 1. を追加

注 1. RCR4.ROPSEL ビットが 1 の時、このクロックはソフトウェアスタンバイモードでは供給されません。

表 8.2 クロック発生回路の仕様 (内部クロック) (1/2)^①

項目 ^①	クロックソース ^②	クロック供給先 ^③	内容 ^④
システムクロック (ICLK) ^①	MOSC/SOSC ^② /HOCO/MOCO/ LOCO ^③	CPU、DTC、フラッシュ、Flash-IF、SRAM ^④	最高 48 MHz ^⑤ 分周比：1/2/4/8/16/32/64 ^⑥ 1 MHz~48 MHz (P/E) ^⑦
周辺モジュールクロック B (PCLKB) ^①	MOSC/SOSC ^② /HOCO/MOCO/ LOCO ^③	周辺モジュール (CAC、ELC、I/O ポート、KINT、POEG、GPT、AGT、RTC、WDT、IWDT、SCI、IIC、SPI、CRC、ADC12、DAC12、ACMPLP、CTSU、DOC、AES、TRNG) ^④	最高 32 MHz ^⑤ 分周比：1/2/4/8/16/32/64 ^⑥
周辺モジュールクロック D (PCLKD) ^①	MOSC/SOSC ^② /HOCO/MOCO/ LOCO ^③	周辺モジュール (GPT カウントクロック、ADC12 変換クロック) ^④	最高 64 MHz ^⑤ 分周比：1/2/4/8/16/32/64 ^⑥
CAN クロック (CANMCLK) ^①	MOSC ^②	CAN ^③	1 MHz~20 MHz ^④
AGT クロック (AGTSCLK/AGTLCLK) ^①	SOSC ^② /LOCO ^③	AGT ^④	32.768 kHz ^⑤
CAC メインクロック ^① (CACMCLK) ^②	MOSC ^③	CAC ^④	最高 20 MHz ^⑤
CAC サブクロック ^① (CACSCCLK) ^②	SOSC ^③	CAC ^④	32.768 kHz ^⑤
CAC LOCO クロック ^① (CACLCLK) ^②	LOCO ^③	CAC ^④	32.768 kHz ^⑤

表 8.2 クロック発生回路の仕様 (内部クロック) (2/2)^①

項目 ^①	クロックソース ^②	クロック供給先 ^③	内容 ^④
CAC MOCO クロック ^① (CACMOCLK) ^②	MOCO ^③	CAC ^④	8 MHz ^⑤
CAC HOCO クロック ^① (CACCHCLK) ^②	HOCO ^③	CAC ^④	24/32/48/64 MHz ^⑤
CAC IWDTLCO クロック ^① (CACILCLK) ^②	IWDTLCO ^③	CAC ^④	15 kHz ^⑤
RTC クロック (RTCSCLK ^② /RTCS128CLK/RTCLCLK) ^①	SOSC/LOCO ^③	RTC ^④	32.768 kHz / 128 Hz ^⑤
IWDIT クロック (IWDITCLK) ^①	IWDTLCO ^②	IWDIT ^④	15 kHz ^⑤
SysTick タイマクロック ^① (SYSTICCLK) ^②	LOCO ^③	SysTick タイマ ^④	32.768 kHz ^⑤
クロック/ブザー出力 ^① (CLKOUT) ^②	MOSC/SOSC ^③ /LOCO/MOCO/ HOCO ^④	CLKOUT 端子 ^⑤	最高 16 MHz ^⑥ 分周比：1/2/4/8/16/32/64/128 ^⑦
シリアルワイヤクロック ^① (SWCLK) ^②	SWCLK 端子 ^③	OCD ^④	最高 12.5 MHz ^⑤

注. クロック周波数の設定に関する制限：ICLK ≥ PCLKB、PCLKD ≥ PCLKB
PCLKB クロック周波数比に関する制限：(N は最大 64 の整数)
ICLK:PCLKB = N:1、ICLK:PCLKD = N:1 または 1:N^①
プログラミング/イレース (P/E) モードでの最低 ICLK 周波数は 1 MHz です。^②

注 1. RCR4.ROPSEL ビットが 1 の時、このクロックはソフトウェアスタンバイモードでは供給されません。^③

RA2E1 グループ

8. クロック発生回路

修正前

表 8.2 クロック発生回路の仕様（内部クロック）(1/2)

項目	クロックソース	クロック供給先	内容
システムクロック (ICLK)	MOSC/SOSC/HOCO/MOCO/ LOCO	CPU、DTC、フラッシュ、Flash-IF、SRAM	最高 48 MHz 分周比：1/2/4/8/16/32/64 1 MHz~48 MHz (P/E)
周辺モジュールクロック B (PCLKB)	MOSC/SOSC/HOCO/MOCO/ LOCO	周辺モジュール (CAC、ELC、I/O ポート、KINT、POEG、GPT、AGT、RTC、WDT、IWDT、SCI、IIC、SPI、CRC、ADC12、ACMPLP、CTSU、DOC、AES、TRNG)	最高 32 MHz 分周比：1/2/4/8/16/32/64
周辺モジュールクロック D (PCLKD)	MOSC/SOSC/HOCO/MOCO/ LOCO	周辺モジュール (GPT カウントクロック、ADC12 変換クロック)	最高 64 MHz 分周比：1/2/4/8/16/32/64
AGT クロック (AGTSCLK/AGTLCLK)	SOSC/LOCO	AGT	32.768 kHz
CAC メインクロック (CACMCLK)	MOSC	CAC	最高 20 MHz
CAC サブクロック (CACSKL)	SOSC	CAC	32.768 kHz
CAC LOCO クロック (CACLCLK)	LOCO	CAC	32.768 kHz
CAC MOCO クロック (CACMOCLK)	MOCO	CAC	8 MHz

表 8.2 クロック発生回路の仕様（内部クロック）(2/2)

項目	クロックソース	クロック供給先	内容
CAC HOCO クロック (CACHCLK)	HOCO	CAC	24/32/48/64 MHz
CAC IWDTLCO クロック (CACILCLK)	IWDTLCO	CAC	15 kHz
RTC クロック (RTCSCLK/RTCS128CLK/RTCLCLK)	SOSC/LOCO	RTC	32.768 kHz / 128 Hz
IWDT クロック (IWDTLCLK)	IWDTLCO	IWDT	15 kHz
SysTick タイマクロック (SYSTICCLK)	LOCO	SysTick タイマ	32.768 kHz
クロック/ブザー出力 (CLKOUT)	MOSC/SOSC/LOCO/MOCO/ HOCO	CLKOUT 端子	最高 16 MHz 分周比：1/2/4/8/16/32/64/128
シリアルワイヤクロック (SWCLK)	SWCLK 端子	OCD	最高 12.5 MHz

注. クロック周波数の設定に関する制限：ICLK ≥ PCLKB、PCLKD ≥ PCLKB
PCLKB クロック周波数比に関する制限：(N は最大 64 の整数)
ICLK:PCLKB = N:1、ICLK:PCLKD = N:1 または 1:N
プログラミング/イレース (P/E) モードでの最低 ICLK 周波数は 1 MHz です。

修正後

表 8.2 に以下の注 1. を追加

注 1. RCR4.ROPSEL ビットが 1 の時、このクロックはソフトウェアスタンバイモードでは供給されません。

表 8.2 クロック発生回路の仕様（内部クロック）(1/2)^①

項目 ^②	クロックソース ^③	クロック供給先 ^④	内容 ^⑤
システムクロック (ICLK) ^②	MOSC/SOSC ^{③④⑤} HOCO/MOCO/ LOCO ^③	CPU、DTC、フラッシュ、Flash-IF、SRAM ^④	最高 48 MHz ^⑤ 分周比：1/2/4/8/16/32/64 1 MHz~48 MHz (P/E) ^⑤
周辺モジュールクロック B (PCLKB) ^②	MOSC/SOSC ^{③④⑤} HOCO/MOCO/ LOCO ^③	周辺モジュール (CAC、ELC、I/O ポート、KINT、POEG、GPT、AGT、RTC、WDT、IWDT、SCI、IIC、SPI、CRC、ADC12、ACMPLP、CTSU、DOC、AES、TRNG) ^④	最高 32 MHz ^⑤ 分周比：1/2/4/8/16/32/64 ^⑤
周辺モジュールクロック D (PCLKD) ^②	MOSC/SOSC ^{③④⑤} HOCO/MOCO/ LOCO ^③	周辺モジュール (GPT カウントクロック、ADC12 変換クロック) ^④	最高 64 MHz ^⑤ 分周比：1/2/4/8/16/32/64 ^⑤
AGT クロック (AGTSCLK/AGTLCLK) ^②	SOSC ^{③④⑤} /LOCO ^③	AGT ^④	32.768 kHz ^⑤
CAC メインクロック (CACMCLK) ^②	MOSC ^③	CAC ^④	最高 20 MHz ^⑤
CAC サブクロック (CACSKL) ^②	SOSC ^{③④⑤}	CAC ^④	32.768 kHz ^⑤
CAC LOCO クロック (CACLCLK) ^②	LOCO ^③	CAC ^④	32.768 kHz ^⑤
CAC MOCO クロック (CACMOCLK) ^②	MOCO ^③	CAC ^④	8 MHz ^⑤

表 8.2 クロック発生回路の仕様（内部クロック）(2/2)^①

項目 ^②	クロックソース ^③	クロック供給先 ^④	内容 ^⑤
CAC HOCO クロック (CACHCLK) ^②	HOCO ^③	CAC ^④	24/32/48/64 MHz ^⑤
CAC IWDTLCO クロック (CACILCLK) ^②	IWDTLCO ^③	CAC ^④	15 kHz ^⑤
RTC クロック (RTCSCLK/RTCS128CLK/RTCLCLK) ^②	SOSC/LOCO ^③	RTC ^④	32.768 kHz / 128 Hz ^⑤
IWDT クロック (IWDTLCLK) ^②	IWDTLCO ^③	IWDT ^④	15 kHz ^⑤
SysTick タイマクロック (SYSTICCLK) ^②	LOCO ^③	SysTick タイマ ^④	32.768 kHz ^⑤
クロック/ブザー出力 (CLKOUT) ^②	MOSC/SOSC ^{③④⑤} LOCO/MOCO/ HOCO ^③	CLKOUT 端子 ^④	最高 16 MHz ^⑤ 分周比：1/2/4/8/16/32/64/128 ^⑤
シリアルワイヤクロック (SWCLK) ^②	SWCLK 端子 ^③	OCD ^④	最高 12.5 MHz ^⑤

注. クロック周波数の設定に関する制限：ICLK ≥ PCLKB、PCLKD ≥ PCLKB
PCLKB クロック周波数比に関する制限：(N は最大 64 の整数)
ICLK:PCLKB = N:1、ICLK:PCLKD = N:1 または 1:N^⑥
プログラミング/イレース (P/E) モードでの最低 ICLK 周波数は 1 MHz です。^⑥

注 1. RCR4.ROPSEL ビットが 1 の時、このクロックはソフトウェアスタンバイモードでは供給されません。^①