

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

RENESAS TECHNICAL UPDATE

〒100-0004 東京都千代田区大手町 2-6-2 日本ビル
 株式会社 ルネサス テクノロジ
 問合せ窓口 <http://japan.renesas.com/inquiry>
 E-mail: csc@renesas.com

製品分類	MPU&MCU	発行番号	TN-H8*-A326A/J	Rev.	第1版
題名	TPU、ポート1仕様変更について		情報分類	技術情報	
適用製品	H8/38086R グループ	対象ロット等	関連資料	H8/38086R クール-フートウェアマニュアル (RJJ09B0194-0200 Rev.2.00) H8/38076R クール-フートウェアマニュアル (RJJ09B0077-0300 Rev.3.00)	
	H8/38076R グループ	全ロット			

H8/38086R グループ、H8/38076R グループの TPU、ポートの仕様変更をいたします。ハードウェアマニュアルの詳細については下記をご参照下さい。

変更前

[H8/38086R グループハードウェアマニュアル \(P1-18\)](#)

[H8/38076R グループハードウェアマニュアル \(P1-18\)](#)

分類	記号	ピン番号		パッド 番号*1	パッド 番号*2	入出力	機能
		FP-80A TFP-80C	TLP-85V				
16 ビットタイム パルスユニット (TPU)	TIOCA1	80	A3	81	80	入出力	TGR1A のインプットキャプチャ入力/ アウトプットコンペア出力/PWM 出力端子です。
	TIOCB1	1	B1	1	1	入出力	TGR1B のインプットキャプチャ入力/ アウトプットコンペア出力/PWM 出力端子です。
	TIOCA2	2	C1	2	2	入出力	TGR2A のインプットキャプチャ入力/ アウトプットコンペア出力/PWM 出力端子です。
	TIOCB2	3	B2	3	3	入出力	TGR2B のインプットキャプチャ入力/ アウトプットコンペア出力/PWM 出力端子です。
	TCLKA	80	A3	81	80	入力	外部クロック入力端子です。
	TCLKB	1	B1	1	1	入力	
	TCLKC	2	C1	2	2	入力	

[H8/38086R グループハードウェアマニュアル \(P12-1\)](#)

[H8/38076R グループハードウェアマニュアル \(P12-1\)](#)

12.1 特長

- 各チャネルともに次の動作を設定可能

コンペアマッチによる波形出力、インプットキャプチャ機能、カウンタクリア動作、複数のタイムカウンタ(TCNT)への同時書き込み、コンペアマッチ/インプットキャプチャによる同時クリア、カウンタの同期動作による各レジスタの同期入出力、任意デューティの PWM 出力が可能、同期動作と組み合わせることにより、最大 3 相の PWM 出力が可能

H8/38086R グループハードウェアマニュアル (P12-2)

H8/38076R グループハードウェアマニュアル (P12-2)

表 12.1 TPU の機能一覧

項目		チャンネル 1	チャンネル 2
コンペアマッチ出力	0 出力		
	1 出力		
	トグル出力		

H8/38086R グループハードウェアマニュアル (P12-3, 図 12.1)

H8/38076R グループハードウェアマニュアル (P12-3, 図 12.1)

[入出力端子]

チャンネル 1:TIOCA1

TIOCB1

チャンネル 2:TIOCA2

TIOCB2

H8/38086R グループハードウェアマニュアル (P12-3)

H8/38076R グループハードウェアマニュアル (P12-3)

表 12.2 端子構成

チャンネル	名称	入出力	機能
共通	TCLKA	入力	外部クロック A 入力端子
	TCLKB	入力	外部クロック B 入力端子
	TCLKC	入力	外部クロック C 入力端子
1	TIOCA1	入出力	TGRA_1 のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子
	TIOCB1	入出力	TGRB_1 のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子
2	TIOCA2	入出力	TGRA_2 のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子
	TIOCB2	入出力	TGRB_2 のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子

H8/38086R グループハードウェアマニュアル (P12-8,9)

H8/38076R グループハードウェアマニュアル (P12-8,9)

表 12.7 TIOR_1 (チャンネル 1)

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	TGRB_1 の機能	TIOCB1 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチで 1 出力

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	TGRB_1 の機能	TIOCB1 端子の機能
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCB1 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCB1 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCB1 端子 両エッジでインプットキャプチャ
1	1	x	x		設定禁止

記号説明】x :Don't care

表 12.8 TIOR_2 (チャンネル 2)

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	TGRB_2 の機能	TIOCB2 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ
1	x	0	1	キャプチャ入力元は TIOCB2 端子 立ち下がりエッジでインプットキャプチャ	
1	x	1	x	キャプチャ入力元は TIOCB2 端子 両エッジでインプットキャプチャ	

記号説明】x :Don't care

H8/38086R グループハードウェアマニュアル (P12-19)

H8/38076R グループハードウェアマニュアル (P12-19)

(b) 波形出力動作例

0出力/1出力例を図12.10に示します。

TCNTをフリーランニングカウント動作とし、コンペアマッチAにより1出力、コンペアマッチBにより0出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

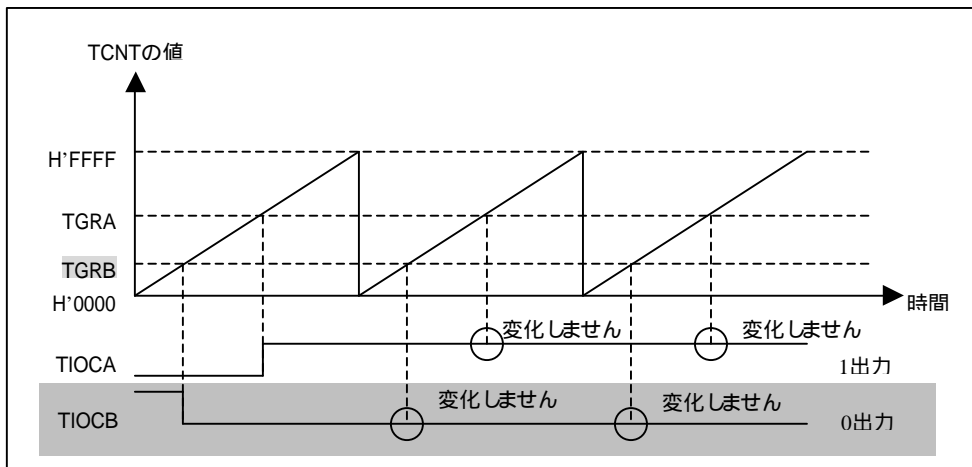


図12.10 0出力/1出力の動作例

トグル出力の例を図12.11に示します。

TCNTを周期カウント動作(コンペアマッチBによりカウンタクリア)に、コンペアマッチA、Bともトグル出力となるように設定した場合の例です。

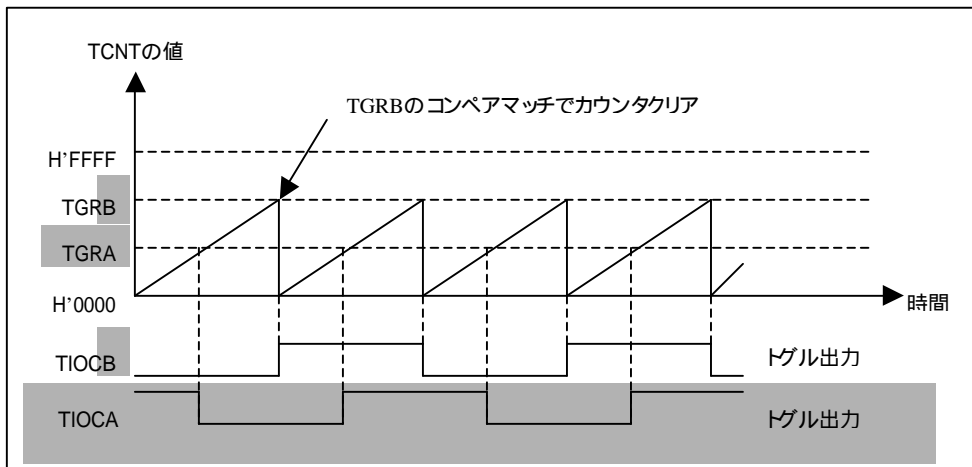


図12.11 トグル出力の動作例

H8/38086R グループハードウェアマニュアル (P12-25)

H8/38076R グループハードウェアマニュアル (P12-25)

(2) PWM モード2

TGR の 1 本を周期レジスタ、他の TGR をデューティレジスタに使用して PWM 出力を生成します。コンペアマッチによって、TIO R で指定した出力を行います。また、同期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIO R で設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。PWM モード2 では、最大 3 相の PWM 出力が可能です。

PWM 出力端子とレジスタの対応を表 12.12 に示します。

表 12.12 各 PWM 出力のレジスタと出力端子

チャンネル	レジスタ	出力端子	
		PWM モード1	PWM モード2*
1	TGRA_1	TIOCA1	TIOCA1
	TGRB_1		TIOCB1
2	TGRA_2	TIOCA2	TIOCA2
	TGRB_2		TIOCB2

【注】 * PWM モード2 のとき、周期を設定した TGR の PWM 出力はできません。

H8/38086R グループハードウェアマニュアル (P12-27)

H8/38076R グループハードウェアマニュアル (P12-27)

PWMモード2 の動作例を図12.20に示します。この図は、チャンネル1と2を同期動作させ、TCNTのクリア要因をTGRB_1のコンペアマッチとし、他のTGR (TGRA_1 ~ TGRB_1、TGRA_2) の初期出力値を0、出力値を 1に設定して3相のPWM波形を出力させた場合の例です。この場合、TGRB_1に設定した値が周期となり、他のTGRに設定した値がデューティになります。

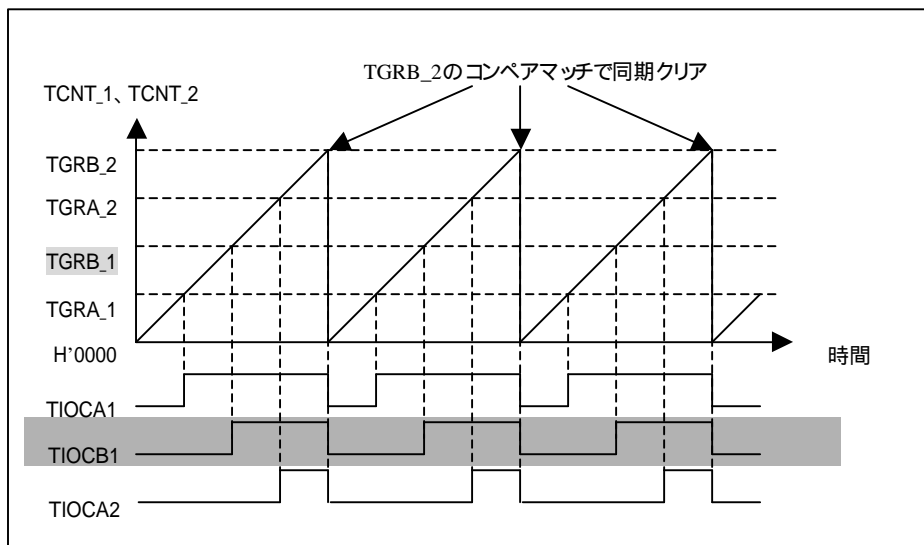


図12.20 PWMモードの動作例(2)

H8/38086R グループハードウェアマニュアル (P9-3~5)

H8/38076R グループハードウェアマニュアル (P9-3~5)

• P15/TIOCB2

TMDR_2 の MD1、MD0、TIOR_2 の IOB3~IOB0、TCR_2 の CCLR1、CCLR0 による TPU チャンネル 2 の設定、PCR1 の PCR15 の組み合わせで、次のように切り替わります。

TPU チャンネル 2 の設定	次表 (1)	次表 (2)	
PCR15	-	0	1
端子機能	TIOCB2 出力端子	P15 入力端子	P15 出力端子
		TIOCB2 入力端子*	

【注】 *MD1、MD0=B'00 かつ IOB3=1 の場合に TIOCB2 入力端子となります。

TPU チャンネル 2 の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD1、MD0	B'00		B'10	B'11		
IOB3~IOB0	B'0000 B'0100 B'1xxx	B'0001~B'0011 B'0101~B'0111	-	B'xx00	B'xx00 以外	
CCLR1、CCLR0	-	-	-	-	B'10	B'10
出力機能	-	アウトプット コンペア出力	-	-	PWM モード2 出力	-

【注】 x Don't care

P13/TIOCB1/TCLKB

TMDR_1 の MD1、MD0 ビット、TIOR_1 の IOB3~IOB0 ビット、TCR_1 の CCLR1、CCLR0 ビットによる TPU チャンネル 1 の設定、TCR_1、TCR_2 の TPSC2~TPSC0 ビット、PCR1 の PCR13 の組み合わせで、次のように切り替わります。

TPU チャンネル 1 の設定	下表 (1)	下表 (2)	
PCR13	-	0	1
端子機能	TIOCB1 出力端子	P13 入力端子	P13 出力端子
		TIOCB1 入力端子*1	
TCLKB 入力端子*2			

TPU チャンネル 1 の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD1、MD0	B'00		B'10	B'11		
IOB3~IOB0	B'0000 B'0100 B'1xxx	B'0001~B'0011 B'0101~B'0111	-	B'xx00	B'xx00 以外	
CCLR1、CCLR0	-	-	-	-	B'10 以外	B'10
出力機能	-	アウトプット コンペア出力	-	-	PWM モード2 出力	-

【注】 x Don't care

*1 MD1、MD0=B'00 かつ IOB3=1 の場合に TIOCB1 入力端子となります。

*2 TCR_1、TCR_2 のどちらかの設定が TPSC2~TPSC0=B'101 の場合に TCLKB 入力端子となります。

変更後

H8/38086R グループハードウェアマニュアル (P1-18)

H8/38076R グループハードウェアマニュアル (P1-18)

分類	記号	ピン番号		パッド 番号*1	パッド 番号*2	入出力	機能
		FP-80A TFP-80C	TLP-85V				
16ビットタイム パルスユニット (TPU)	TIOCA1	80	A3	81	80	入出力	TGR1Aのインプットキャプチャ入力/ アウトプットコンペア出力/PWM出力端子です。
	TIOCB1	1	B1	1	1	入力	TGR1Bのインプットキャプチャ入力端子です。
	TIOCA2	2	C1	2	2	入出力	TGR2Aのインプットキャプチャ入力/ アウトプットコンペア出力/PWM出力端子です。
	TIOCB2	3	B2	3	3	入力	TGR2Bのインプットキャプチャ入力端子です。
	TCLKA	80	A3	81	80	入力	外部クロック入力端子です。
	TCLKB	1	B1	1	1	入力	
	TCLKC	2	C1	2	2	入力	

H8/38086R グループハードウェアマニュアル (P12-1)

H8/38076R グループハードウェアマニュアル (P12-1)

12.1 特長

- 各チャンネルともに次の動作を設定可能
コンペアマッチによる波形出力、インプットキャプチャ機能、カウンタクリア動作、複数のタイムカウンタ(TCNT)への同時書き込み、コンペアマッチ/
インプットキャプチャによる同時クリア、カウンタの同期動作による各レジスタの同期入出力、任意デューティのPWM出力が可能、同期動作と組み
合わせることで、最大2相のPWM出力が可能

H8/38086R グループハードウェアマニュアル (P12-2)

H8/38076R グループハードウェアマニュアル (P12-2)

表 12.1 TPU の機能一覧

項目		チャンネル 1	チャンネル 2
コンペアマッチ出力	0出力	TIOCA	
		TIOCB	-
	1出力	TIOCA	
		TIOCB	-
	ドブル出力	TIOCA	
		TIOCB	-

H8/38086R グループハードウェアマニュアル (P12-3, 図 12.1)

H8/38076R グループハードウェアマニュアル (P12-3, 図 12.1)

[入出力端子]

チャンネル 1:TIOCA1

チャンネル 2:TIOCA2

[入力端子]

チャンネル 1:TIOCB1

チャンネル 2:TIOCB2

H8/38086R グループハードウェアマニュアル (P12-3)

H8/38076R グループハードウェアマニュアル (P12-3)

表 12.2 端子構成

チャンネル	名称	入出力	機能
共通	TCLKA	入力	外部クロックA入力端子
	TCLKB	入力	外部クロックB入力端子
	TCLKC	入力	外部クロックC入力端子
1	TIOCA1	入出力	TGRA_1 のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子
	TIOCB1	入力	TGRB_1 のインプットキャプチャ入力
2	TIOCA2	入出力	TGRA_2 のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子
	TIOCB2	入力	TGRB_2 のインプットキャプチャ入力

H8/38086R グループハードウェアマニュアル (P12-8,9)

H8/38076R グループハードウェアマニュアル (P12-8,9)

表 12.7 TIOR_1 (チャンネル1)

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	TGRB_1 の機能	TIOCB1 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		設定禁止
0	0	1	0		設定禁止
0	0	1	1		設定禁止
0	1	0	0		設定禁止
0	1	0	1		設定禁止
0	1	1	0		設定禁止
0	1	1	1		設定禁止
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCB1 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCB1 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCB1 端子 両エッジでインプットキャプチャ
1	1	x	x		設定禁止

記号説明】x :Don't care

表 12.8 TIOR_2 (チャンネル2)

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	TGRB_2 の機能	TIOCB2 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		設定禁止
0	0	1	0		設定禁止
0	0	1	1		設定禁止
0	1	0	0		設定禁止
0	1	0	1		設定禁止
0	1	1	0		設定禁止
0	1	1	1		設定禁止
1	x	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCB2 端子 立ち上がりエッジでインプットキャプチャ

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	TGRB_2の機能	TIOCB2端子の機能
1	x	0	1		キャプチャ入力元は TIOCB2 端子 立ち下がりエッジでインプットキャプチャ
1	x	1	x		キャプチャ入力元は TIOCB2 端子 両エッジでインプットキャプチャ

【記号説明】 x : Don't care

H8/38086R グループハードウェアマニュアル (P12-19)

H8/38076R グループハードウェアマニュアル (P12-19)

(b) 波形出力動作例

1 出力例を図 12.10 に示します。

TCNT をフリーランニングカウンタ動作とし、コンペアマッチ A により 1 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

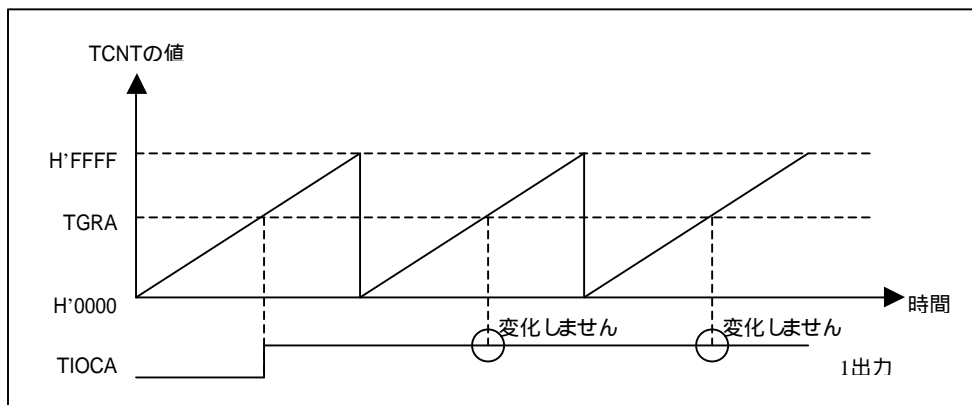


図12.10 1出力の動作例

トグル出力の例を図 12.11 に示します。

TCNT を周期カウンタ動作 (コンペアマッチ A によりカウンタクリア) に、コンペアマッチ A をトグル出力となるように設定した場合の例です。

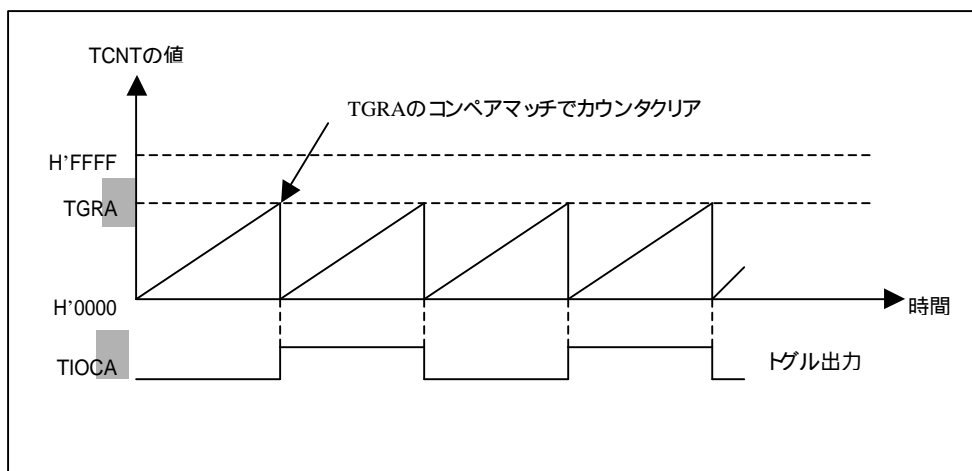


図12.11 トグル出力の動作例

H8/38086R グループハードウェアマニュアル (P12-25)

H8/38076R グループハードウェアマニュアル (P12-25)

(2) PWM モード2

TGR の 1 本を周期レジスタ、他の TGR をデューティレジスタに使用して PWM 出力を生成します。コンペアマッチによって、TIOCR で指定した出力を行います。また、同期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIOCR で設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。PWM モード2 では、最大 2 相の PWM 出力が可能です。

PWM 出力端子とレジスタの対応を表 12.12 に示します。

表 12.12 各 PWM 出力のレジスタと出力端子

チャンネル	レジスタ	出力端子	
		PWM モード1	PWM モード2*
1	TGRA_1	TIOCA1	TIOCA1
	TGRB_1		-
2	TGRA_2	TIOCA2	TIOCA2
	TGRB_2		-

【注】 * PWMモード2のとき、周期を設定したTGRのPWM出力はできません。

H8/38086R グループハードウェアマニュアル (P12-27)

H8/38076R グループハードウェアマニュアル (P12-27)

PWMモード2の動作例を図12.20に示します。この図は、チャンネル1と2を同期動作させ、TCNTのクリア要因をTGRB_2のコンペアマッチとし、他のTGR (TGRA_1、TGRA_2)の初期出力値を0、出力値を1に設定して2相のPWM波形を出力させた場合の例です。この場合、TGRB_2に設定した値が周期となり、他のTGRに設定した値がデューティになります。

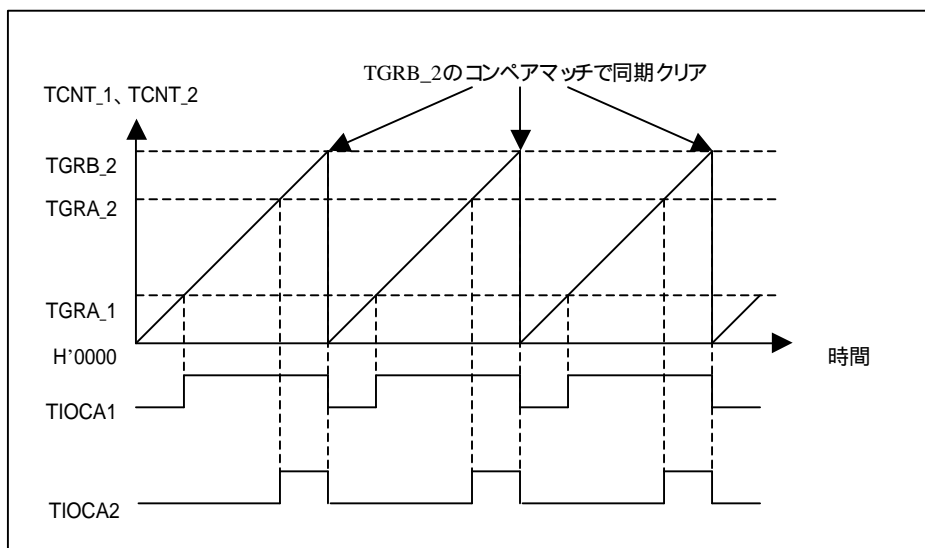


図12.20 PWMモードの動作例(2)

H8/38086R グループハードウェアマニュアル (P9-3~5)

H8/38076R グループハードウェアマニュアル (P9-3~5)

• P15/TIOCB2

TMDR_2 の MD1、MD0、TIOB_2 の IOB3~IOB0、TCR_2 の CCLR1、CCLR0 による TPU チャンネル 2 の設定、PCR1 の PCR15 の組み合わせで、次のように切り替わります。

TPU チャンネル 2 の設定	次表 (1)	次表 (2)		次表 (3)	
PCR15	-	0	1	0	1
端子機能	-	P15 入力端子	P15 出力端子	P15 入力端子	P15 出力端子
				TIOCB2 入力端子	

TPU チャンネル 2 の設定	(2)	(3)	(1)	
MD1、MD0	B'00		B'10, B'01, B'11	
IOB3~IOB0	B'0000	B'1XXX	B'0001~B'0111	B'XXXX
CCLR1、CCLR0	B'XX			
出力機能	-	設定禁止		

【注】 x : Don't care

• P13/TIOCB1/TCLKB

TMDR_1 の MD1、MD0 ビット、TIOB_1 の IOB3~IOB0 ビット、TCR_1 の CCLR1、CCLR0 ビットによる TPU チャンネル 1 の設定、TCR_1、TCR_2 の TPSC2~TPSC0 ビット、PCR1 の PCR13 の組み合わせで、次のように切り替わります。

TPU チャンネル 1 の設定	下表 (1)	下表 (2)		下表 (3)	
PCR13	-	0	1	0	1
端子機能	-	P13 入力端子	P13 出力端子	P13 入力端子	P13 出力端子
				TIOCB1 入力端子	
		TCLKB 入力端子*1			

TPU チャンネル 1 の設定	(2)	(3)	(1)	
MD1、MD0	B'00		B'10, B'01, B'11	
IOB3~IOB0	B'0000	B'1XXX	B'0001~B'0111	B'XXXX
CCLR1、CCLR0	B'XX			
出力機能	-	設定禁止		

【注】 x : Don't care

*1 TCR_1、TCR_2 のどちらかの設定が TPSC2~TPSC0=B'101 の場合に TCLKB 入力端子となります。