

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

# MESC TECHNICAL NEWS

No. M7700-139-0010

## 7920グループ ユーザーズマニュアル 追加情報 (REV.E)

1998年10月発行の『7920グループ ユーザーズマニュアル』(印刷番号:HU-091A)に、一部内容の訂正がありましたのでお知らせいたします。本マニュアルをご使用の際は、留意のほど宜しくお願いいたします。

添付の正誤表(REV.E)には、同マニュアルの正誤表(REV.D)(ニュースNo.M7700-129-0002)の内容も記載しています (REV.Eで追加した内容は、左端の 印で示しています)。

なお、機種展開、電気的特性及びツール製品に関しては、マニュアル発行後に変更がありました。追加情報には記載していませんので、以下に示す資料の最新版を必ず参照してください。

### マイコン機種展開

三菱マイクロコンピュータ 総合カタログ (印刷物または三菱マイコン技術情報ホームページ)

### 電気的特性

データシート (印刷物または三菱マイコン技術情報ホームページ)

### 開発サポートツール

ツールニュース (三菱ツールホームページ)

ツール総合カタログ (印刷物)

データシート (三菱ツールホームページ)

三菱マイクロコンピュータ開発サポートツール アクセサリガイド

(印刷物または三菱ツールホームページ)

### ホームページアドレス

三菱マイコン技術情報 <http://www.infocom.mesc.co.jp/>

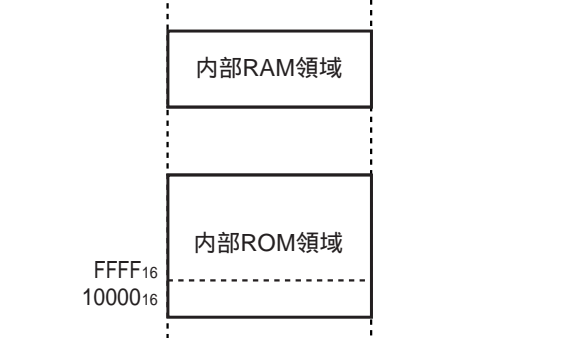
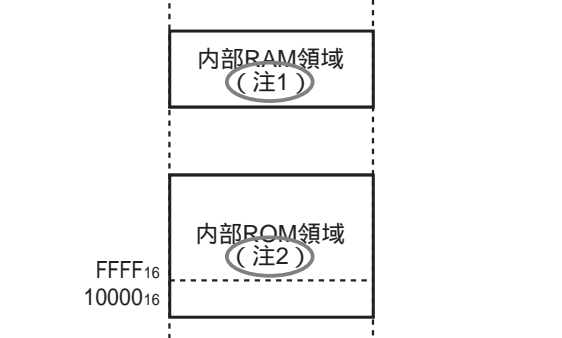
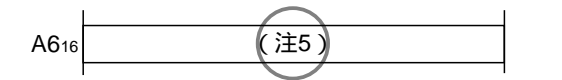
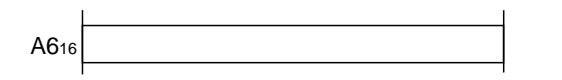
三菱ツール <http://www.tool-spt.mesc.co.jp/>

添付：『7920グループ ユーザーズマニュアル』正誤表(REV.E) . . . . . 20枚

7920グループ ユーザーズマニュアル (印刷番号HU-091A) 正誤表(REV.E) No.1

訂正箇所	誤	正																								
1-2ページ 表1.1.1 11項目目	<table border="1"> <tr> <td>DRAM 制御装置</td> <td>1チャンネル 高速ページアクセス (高速ページ モード対応) 8ビットリフレッシュタイム内蔵 ⋮</td> </tr> </table>	DRAM 制御装置	1チャンネル 高速ページアクセス (高速ページ モード対応) 8ビットリフレッシュタイム内蔵 ⋮	<table border="1"> <tr> <td>DRAM 制御装置</td> <td>1チャンネル 8ビットリフレッシュタイム内蔵 ⋮</td> </tr> </table>	DRAM 制御装置	1チャンネル 8ビットリフレッシュタイム内蔵 ⋮																				
DRAM 制御装置	1チャンネル 高速ページアクセス (高速ページ モード対応) 8ビットリフレッシュタイム内蔵 ⋮																									
DRAM 制御装置	1チャンネル 8ビットリフレッシュタイム内蔵 ⋮																									
1-2ページ 表1.1.1 下から6項目目	<table border="1"> <tr> <td>消費電力</td> <td>120mV (f(X<sub>IN</sub>)=20MHz時、標準)</td> </tr> </table>	消費電力	120mV (f(X <sub>IN</sub> )=20MHz時、標準)	<table border="1"> <tr> <td>消費電力</td> <td>125mV (f(X<sub>IN</sub>)=20MHz時、標準)</td> </tr> </table>	消費電力	125mV (f(X <sub>IN</sub> )=20MHz時、標準)																				
消費電力	120mV (f(X <sub>IN</sub> )=20MHz時、標準)																									
消費電力	125mV (f(X <sub>IN</sub> )=20MHz時、標準)																									
1-6ペ - ジ 表1.3.2	<table border="1"> <tr> <td>RD<math>\bar{Y}</math> RD BLW BHW</td> <td>                     【マイクロプロセッサモード時】 ...レディー状態になります。 また、ソフトウェアで...                 </td> </tr> </table>	RD $\bar{Y}$ RD BLW BHW	【マイクロプロセッサモード時】 ...レディー状態になります。 また、ソフトウェアで...	<table border="1"> <tr> <td>RD<math>\bar{Y}</math> RD BLW BHW</td> <td>                     【マイクロプロセッサモード時】 ...レディー状態になります。リセット 時、RD<math>\bar{Y}</math>端子にはVccレベルを印加し てください。 また、ソフトウェアで...                 </td> </tr> </table>	RD $\bar{Y}$ RD BLW BHW	【マイクロプロセッサモード時】 ...レディー状態になります。リセット 時、RD $\bar{Y}$ 端子にはVccレベルを印加し てください。 また、ソフトウェアで...																				
RD $\bar{Y}$ RD BLW BHW	【マイクロプロセッサモード時】 ...レディー状態になります。 また、ソフトウェアで...																									
RD $\bar{Y}$ RD BLW BHW	【マイクロプロセッサモード時】 ...レディー状態になります。リセット 時、RD $\bar{Y}$ 端子にはVccレベルを印加し てください。 また、ソフトウェアで...																									
1-7ペ - ジ 表1.3.3	<table border="1"> <tr> <td>ALE 1 P42 HOLD HLDA</td> <td>                     【マイクロプロセッサモード時】 ...HOLD端子の入力レベルが... ホールド状態になります。HLDAは...                 </td> </tr> </table>	ALE 1 P42 HOLD HLDA	【マイクロプロセッサモード時】 ...HOLD端子の入力レベルが... ホールド状態になります。HLDAは...	<table border="1"> <tr> <td>ALE 1 P42 HOLD HLDA</td> <td>                     【マイクロプロセッサモード時】 ...HOLD端子の入力レベルが... ホールド状態になります。リセット時、 HOLD端子にはVccレベルを印加してく ださい。HLDAは...                 </td> </tr> </table>	ALE 1 P42 HOLD HLDA	【マイクロプロセッサモード時】 ...HOLD端子の入力レベルが... ホールド状態になります。リセット時、 HOLD端子にはVccレベルを印加してく ださい。HLDAは...																				
ALE 1 P42 HOLD HLDA	【マイクロプロセッサモード時】 ...HOLD端子の入力レベルが... ホールド状態になります。HLDAは...																									
ALE 1 P42 HOLD HLDA	【マイクロプロセッサモード時】 ...HOLD端子の入力レベルが... ホールド状態になります。リセット時、 HOLD端子にはVccレベルを印加してく ださい。HLDAは...																									
2-7ペ - ジ 図2.1.5 3-7ページ 図3.2.2 21-27ページ 下(5F16)	<table border="1"> <tr> <th colspan="4">プロセッサモードレジスタ1【5F<sub>16</sub>番地】</th> </tr> <tr> <th>ビット</th> <th>ビット名</th> <th>機 能</th> <th>リセット時</th> </tr> <tr> <td>4</td> <td>リカバリサイクル 挿入選択ビット (注2)</td> <td></td> <td>1</td> </tr> </table> <p>注4 . リセット後、一度だけ“1”にできます。 “1”から“0”にすると、それ以降“1”に できません (“0”に固定される)。</p>	プロセッサモードレジスタ1【5F <sub>16</sub> 番地】				ビット	ビット名	機 能	リセット時	4	リカバリサイクル 挿入選択ビット (注2)		1	<table border="1"> <tr> <th colspan="4">プロセッサモードレジスタ1【5F<sub>16</sub>番地】</th> </tr> <tr> <th>ビット</th> <th>ビット名</th> <th>機 能</th> <th>リセット時</th> </tr> <tr> <td>4</td> <td>リカバリサイクル 挿入選択ビット (注2)</td> <td></td> <td>0 (注3)</td> </tr> </table> <p>注4 . リセット後、一度だけ“1”にできます。 メモリ拡張モード又はマイクロプロセッサ モードで、かつ、これらのビットが“1”の 状態からシングルチップモードに変更する と、これらのビットは“0”になります。 その後“1”にできません。再度“1”にする 場合はリセットしてください。</p>	プロセッサモードレジスタ1【5F <sub>16</sub> 番地】				ビット	ビット名	機 能	リセット時	4	リカバリサイクル 挿入選択ビット (注2)		0 (注3)
プロセッサモードレジスタ1【5F <sub>16</sub> 番地】																										
ビット	ビット名	機 能	リセット時																							
4	リカバリサイクル 挿入選択ビット (注2)		1																							
プロセッサモードレジスタ1【5F <sub>16</sub> 番地】																										
ビット	ビット名	機 能	リセット時																							
4	リカバリサイクル 挿入選択ビット (注2)		0 (注3)																							
2-15ペ - ジ 図2.2.4	<p>(b)奇数番地から始まる16ビットデータアクセス時</p> <table border="1"> <tr> <td>内部アドレスバス (AD<sub>0</sub> ~ AD<sub>23</sub>)</td> <td>アドレス</td> <td>アドレス+2</td> </tr> </table> <p>(d)奇数番地から始まる32ビットデータアクセス時</p> <table border="1"> <tr> <td>内部アドレスバス (AD<sub>0</sub> ~ AD<sub>23</sub>)</td> <td>アドレス+2</td> <td>アドレス+4</td> </tr> </table>	内部アドレスバス (AD <sub>0</sub> ~ AD <sub>23</sub> )	アドレス	アドレス+2	内部アドレスバス (AD <sub>0</sub> ~ AD <sub>23</sub> )	アドレス+2	アドレス+4	<p>(b)奇数番地から始まる16ビットデータアクセス時</p> <table border="1"> <tr> <td>内部アドレスバス (AD<sub>0</sub> ~ AD<sub>23</sub>)</td> <td>アドレス</td> <td>アドレス+1</td> </tr> </table> <p>(d)奇数番地から始まる32ビットデータアクセス時</p> <table border="1"> <tr> <td>内部アドレスバス (AD<sub>0</sub> ~ AD<sub>23</sub>)</td> <td>アドレス+1</td> <td>アドレス+3</td> </tr> </table>	内部アドレスバス (AD <sub>0</sub> ~ AD <sub>23</sub> )	アドレス	アドレス+1	内部アドレスバス (AD <sub>0</sub> ~ AD <sub>23</sub> )	アドレス+1	アドレス+3												
内部アドレスバス (AD <sub>0</sub> ~ AD <sub>23</sub> )	アドレス	アドレス+2																								
内部アドレスバス (AD <sub>0</sub> ~ AD <sub>23</sub> )	アドレス+2	アドレス+4																								
内部アドレスバス (AD <sub>0</sub> ~ AD <sub>23</sub> )	アドレス	アドレス+1																								
内部アドレスバス (AD <sub>0</sub> ~ AD <sub>23</sub> )	アドレス+1	アドレス+3																								

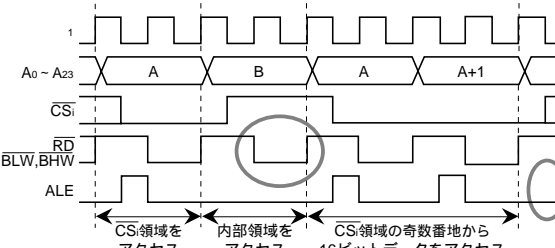
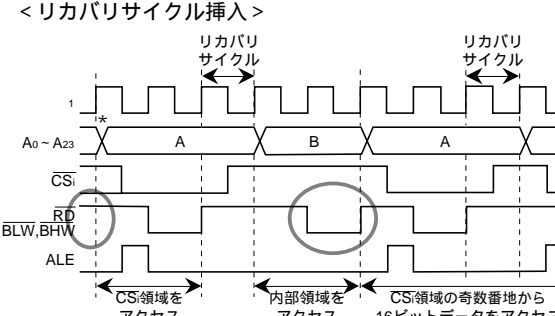
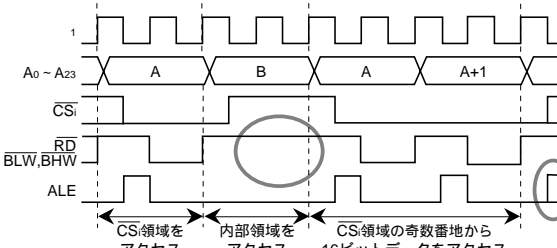
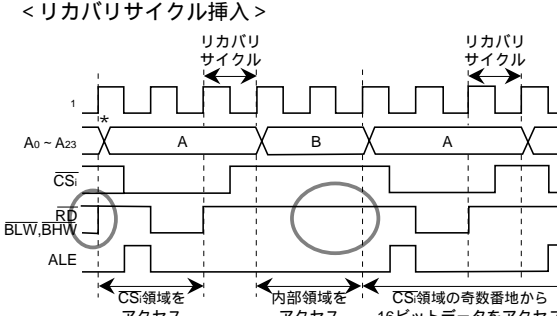
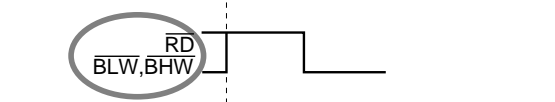
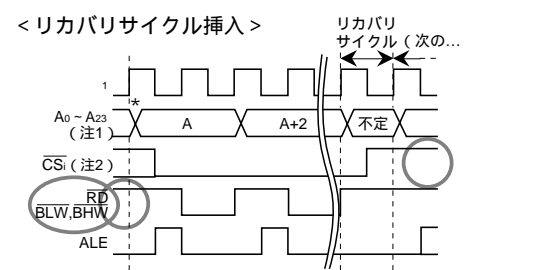
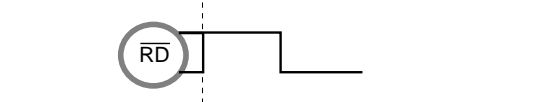
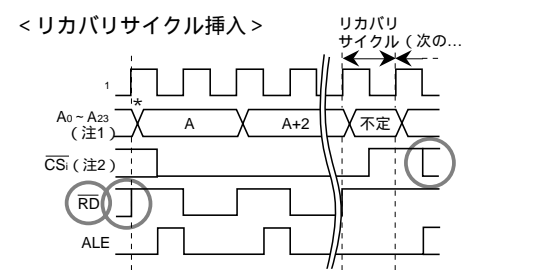
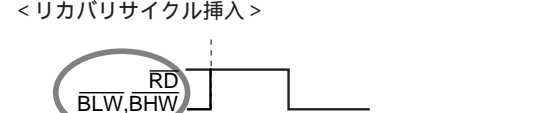
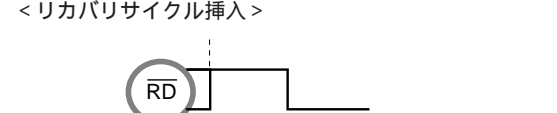
7920グループ ユーザーズマニュアル (印刷番号HU-091A) 正誤表(REV.E) No.2

訂正箇所	誤	正																																																																								
2-22ページ 図2.3.1	 <p>内部領域のメモリ配置は機種によって...</p>	 <p>内部領域のメモリ配置は機種によって...</p> <div data-bbox="906 593 1452 750" style="border: 1px solid black; padding: 5px;"> <p>注1. 内部RAM領域の後に未使用領域、又は外部領域の場合、内部RAM領域の最後の8バイトにはプログラムを配置しないでください。</p> <p>2. 内部ROM領域の最後の8バイトにはプログラムを配置しないでください。</p> <p>3. 内部領域のメモリ配置は機種によって...</p> </div>																																																																								
2-23ページ 2.4.1(2) 最終行の後	ください。	ください。 <div data-bbox="906 817 1452 996" style="border: 1px solid black; padding: 5px;"> <p>内部RAM領域の後に未使用領域、又は外部領域の場合、内部RAM領域の最後の8バイトにはプログラムを配置しないでください(データは配置できます。また、内部RAMの後に内部ROMが連続している場合はプログラムを配置できます)。</p> </div>																																																																								
2-23ページ 2.4.1(3) 最終行の後	...ください。	...ください。 <div data-bbox="906 1075 1452 1176" style="border: 1px solid black; padding: 5px;"> <p>内部ROM領域の最後の8バイトにはプログラムを配置しないでください(データは配置できます)。</p> </div>																																																																								
2-26ページ 図2.4.3																																																																										
2-27ページ 図2.5.1	<p>シングルチップモード    メモリ拡張モード    マイクロプロセッサモード</p> <table border="1" data-bbox="319 1366 884 1859"> <tr> <td>0<sub>16</sub></td> <td>SFR領域</td> <td>SFR領域</td> <td>SFR領域</td> </tr> <tr> <td>FF<sub>16</sub></td> <td>未使用領域</td> <td>未使用領域</td> <td>未使用領域</td> </tr> <tr> <td></td> <td>内部RAM領域</td> <td>内部RAM領域</td> <td>内部RAM領域</td> </tr> <tr> <td></td> <td>未使用領域</td> <td>未使用領域</td> <td>未使用領域</td> </tr> <tr> <td></td> <td>内部ROM領域</td> <td>内部ROM領域</td> <td>内部ROM領域</td> </tr> <tr> <td></td> <td>FEFFFF<sub>16</sub></td> <td>FEFFFF<sub>16</sub></td> <td>FEFFFF<sub>16</sub></td> </tr> <tr> <td></td> <td>FF0000<sub>16</sub></td> <td>FF0000<sub>16</sub></td> <td>FF0000<sub>16</sub></td> </tr> <tr> <td></td> <td>予約領域 (注1)</td> <td>予約領域 (注1)</td> <td>予約領域 (注1)</td> </tr> <tr> <td></td> <td>FFFFFF<sub>16</sub></td> <td>FFFFFF<sub>16</sub></td> <td>FFFFFF<sub>16</sub></td> </tr> </table> <p>注1. この領域はアクセスしないでください。                  2. 内部領域のメモリ配置は機種によって.....</p>	0 <sub>16</sub>	SFR領域	SFR領域	SFR領域	FF <sub>16</sub>	未使用領域	未使用領域	未使用領域		内部RAM領域	内部RAM領域	内部RAM領域		未使用領域	未使用領域	未使用領域		内部ROM領域	内部ROM領域	内部ROM領域		FEFFFF <sub>16</sub>	FEFFFF <sub>16</sub>	FEFFFF <sub>16</sub>		FF0000 <sub>16</sub>	FF0000 <sub>16</sub>	FF0000 <sub>16</sub>		予約領域 (注1)	予約領域 (注1)	予約領域 (注1)		FFFFFF <sub>16</sub>	FFFFFF <sub>16</sub>	FFFFFF <sub>16</sub>	<p>シングルチップモード    メモリ拡張モード    マイクロプロセッサモード</p> <table border="1" data-bbox="896 1366 1460 1859"> <tr> <td>0<sub>16</sub></td> <td>SFR領域</td> <td>SFR領域</td> <td>SFR領域</td> </tr> <tr> <td>FF<sub>16</sub></td> <td>未使用領域</td> <td>未使用領域</td> <td>未使用領域</td> </tr> <tr> <td></td> <td>内部RAM領域 (注1)</td> <td>内部RAM領域 (注1)</td> <td>内部RAM領域 (注1)</td> </tr> <tr> <td></td> <td>未使用領域</td> <td>未使用領域</td> <td>未使用領域</td> </tr> <tr> <td></td> <td>内部ROM領域 (注2)</td> <td>内部ROM領域 (注2)</td> <td>内部ROM領域 (注2)</td> </tr> <tr> <td></td> <td>FEFFFF<sub>16</sub></td> <td>FEFFFF<sub>16</sub></td> <td>FEFFFF<sub>16</sub></td> </tr> <tr> <td></td> <td>FF0000<sub>16</sub></td> <td>FF0000<sub>16</sub></td> <td>FF0000<sub>16</sub></td> </tr> <tr> <td></td> <td>予約領域 (注3)</td> <td>予約領域 (注3)</td> <td>予約領域 (注3)</td> </tr> <tr> <td></td> <td>FFFFFF<sub>16</sub></td> <td>FFFFFF<sub>16</sub></td> <td>FFFFFF<sub>16</sub></td> </tr> </table> <div data-bbox="906 1870 1452 2060" style="border: 1px solid black; padding: 5px;"> <p>注1. 内部RAM領域の後に未使用領域、又は外部領域の場合、内部RAM領域の最後の8バイトにはプログラムを配置しないでください。</p> <p>2. 内部ROM領域の最後の8バイトにはプログラムを配置しないでください。</p> <p>3. この領域はアクセスしないでください。</p> <p>4. 内部領域のメモリ配置は機種によって...</p> </div>	0 <sub>16</sub>	SFR領域	SFR領域	SFR領域	FF <sub>16</sub>	未使用領域	未使用領域	未使用領域		内部RAM領域 (注1)	内部RAM領域 (注1)	内部RAM領域 (注1)		未使用領域	未使用領域	未使用領域		内部ROM領域 (注2)	内部ROM領域 (注2)	内部ROM領域 (注2)		FEFFFF <sub>16</sub>	FEFFFF <sub>16</sub>	FEFFFF <sub>16</sub>		FF0000 <sub>16</sub>	FF0000 <sub>16</sub>	FF0000 <sub>16</sub>		予約領域 (注3)	予約領域 (注3)	予約領域 (注3)		FFFFFF <sub>16</sub>	FFFFFF <sub>16</sub>	FFFFFF <sub>16</sub>
0 <sub>16</sub>	SFR領域	SFR領域	SFR領域																																																																							
FF <sub>16</sub>	未使用領域	未使用領域	未使用領域																																																																							
	内部RAM領域	内部RAM領域	内部RAM領域																																																																							
	未使用領域	未使用領域	未使用領域																																																																							
	内部ROM領域	内部ROM領域	内部ROM領域																																																																							
	FEFFFF <sub>16</sub>	FEFFFF <sub>16</sub>	FEFFFF <sub>16</sub>																																																																							
	FF0000 <sub>16</sub>	FF0000 <sub>16</sub>	FF0000 <sub>16</sub>																																																																							
	予約領域 (注1)	予約領域 (注1)	予約領域 (注1)																																																																							
	FFFFFF <sub>16</sub>	FFFFFF <sub>16</sub>	FFFFFF <sub>16</sub>																																																																							
0 <sub>16</sub>	SFR領域	SFR領域	SFR領域																																																																							
FF <sub>16</sub>	未使用領域	未使用領域	未使用領域																																																																							
	内部RAM領域 (注1)	内部RAM領域 (注1)	内部RAM領域 (注1)																																																																							
	未使用領域	未使用領域	未使用領域																																																																							
	内部ROM領域 (注2)	内部ROM領域 (注2)	内部ROM領域 (注2)																																																																							
	FEFFFF <sub>16</sub>	FEFFFF <sub>16</sub>	FEFFFF <sub>16</sub>																																																																							
	FF0000 <sub>16</sub>	FF0000 <sub>16</sub>	FF0000 <sub>16</sub>																																																																							
	予約領域 (注3)	予約領域 (注3)	予約領域 (注3)																																																																							
	FFFFFF <sub>16</sub>	FFFFFF <sub>16</sub>	FFFFFF <sub>16</sub>																																																																							

7920グループ ユーザーズマニュアル(印刷番号HU-091A) 正誤表(REV.E) No.3

訂正箇所	誤	正												
<p>3-3ページ 表3.1.1</p>	<table border="1"> <tr> <td data-bbox="327 253 411 331">RDY (注1)</td> <td data-bbox="411 253 879 331">レディー機能関連信号の入力端子 (「3.3 レディー機能」参照)</td> </tr> <tr> <td colspan="2" style="text-align: center;">≈</td> </tr> <tr> <td data-bbox="327 353 411 432">HOLD (注1)</td> <td data-bbox="411 353 879 432">ホールド機能関連信号の入力端子 (「3.4 ホールド機能」参照)</td> </tr> </table> <p>注5 . DRAM空間...参照してください。</p>	RDY (注1)	レディー機能関連信号の入力端子 (「3.3 レディー機能」参照)	≈		HOLD (注1)	ホールド機能関連信号の入力端子 (「3.4 ホールド機能」参照)	<table border="1"> <tr> <td data-bbox="901 253 986 331">RDY (注1)</td> <td data-bbox="986 253 1458 331">レディー機能関連信号の入力端子 (「3.3 レディー機能」参照) (注6)</td> </tr> <tr> <td colspan="2" style="text-align: center;">≈</td> </tr> <tr> <td data-bbox="901 353 986 432">HOLD (注1)</td> <td data-bbox="986 353 1458 432">ホールド機能関連信号の入力端子 (「3.4 ホールド機能」参照) (注6)</td> </tr> </table> <p>注5 . DRAM空間...参照してください。 6. MD0 = Vccで使用する場合、これらの端子はリセット後、RDY、HOLD端子の機能になります。したがって、これらの端子をポートとして使用する場合も、リセット時にはVccレベルを印加してください。</p>	RDY (注1)	レディー機能関連信号の入力端子 (「3.3 レディー機能」参照) (注6)	≈		HOLD (注1)	ホールド機能関連信号の入力端子 (「3.4 ホールド機能」参照) (注6)
RDY (注1)	レディー機能関連信号の入力端子 (「3.3 レディー機能」参照)													
≈														
HOLD (注1)	ホールド機能関連信号の入力端子 (「3.4 ホールド機能」参照)													
RDY (注1)	レディー機能関連信号の入力端子 (「3.3 レディー機能」参照) (注6)													
≈														
HOLD (注1)	ホールド機能関連信号の入力端子 (「3.4 ホールド機能」参照) (注6)													
<p>3-4ページ 図3.1.2</p>	<p>メモリ拡張モード      マイクロプロセッサモード</p> <p>注1 . この領域はアクセスしないでください。 2 . 内部領域のメモリ配置は機種によって...</p>	<p>メモリ拡張モード      マイクロプロセッサモード</p> <p>注1 . 内部RAM領域の最後8バイトが外部領域の場合、内部RAM領域の最後の8バイトにはプログラムを配置しないでください。 2 . 内部ROM領域の最後の8バイトにはプログラムを配置しないでください。 3 . この領域はアクセスしないでください。 4 . 内部領域のメモリ配置は機種によって...</p>												
<p>3-4ページ 図3.1.2の後</p>		<p><b>【外部デバイスアクセス時の注意】</b></p> <p>32ビット演算命令を使用してメモリをアクセスするときは、データバス幅の異なる領域をまたいでアクセスしないでください (【CSWC使用上の注意】4参照)。</p>												
<p>3-9ページ 12行目の後 3-11ページ 下から10行目の後 14-13ページ 最終行の後</p>		<p>DMA制御装置を使用している場合は、【DMAC使用上の注意】を参照してください。</p> <p>本正誤表の(10/20)を参照してください</p>												
<p>3-17ページ 3.2.2 6~8行目</p>	<p>・ RDY制御 ・ 高速ページアクセス</p> <p>以下に、...RDY制御については「3.3 レディー機能」、高速ページアクセスについては「第14章 DRAM制御装置」を参照してください。</p>	<p>・ RDY制御</p> <p>以下に、...RDY制御については「3.3 レディー機能」を参照してください。</p>												

7920グループ ユーザーズマニュアル(印刷番号HU-091A) 正誤表(REV.E) No.4

訂正箇所	誤	正
<p>3-20ペ - ジ 図3.2.13 (a)</p>	<p>&lt;リカバリサイクルなし&gt;</p>  <p>&lt;リカバリサイクル挿入&gt;</p> 	<p>&lt;リカバリサイクルなし&gt;</p>  <p>&lt;リカバリサイクル挿入&gt;</p> 
<p>3-20ペ - ジ 図3.2.13 (b)(c)</p>	<p>&lt;リカバリサイクルなし&gt;</p>  <p>&lt;リカバリサイクル挿入&gt;</p> 	<p>&lt;リカバリサイクルなし&gt;</p>  <p>&lt;リカバリサイクル挿入&gt;</p> 
<p>3-21ペ - ジ 図3.2.14 (d)(e)</p>	<p>&lt;リカバリサイクルなし&gt; &lt;リカバリサイクル挿入&gt;</p> 	<p>&lt;リカバリサイクルなし&gt; &lt;リカバリサイクル挿入&gt;</p> 
<p>3-23ペ - ジ 【CSWC使用上の注意】3 4~6行目</p>	<p>3. ... CS領域ごとに...、<u>バイトコントロール、高速ページアクセス、及びセルフリフレッシュの選択は各DRAMとも同じになります。また、DRAMアクセス時、RDY制御は無効になります</u> (「第14章 DRAM制御装置」参照)。</p>	<p>3. ... CS領域ごとに...、<u>バイトコントロール及びセルフリフレッシュの選択は各DRAMとも同じになります。また、DRAMアクセス時、RDY制御は無効になります。DRAMC使用時は、<u>ホールド機能を使用しないでください</u></u> (「第14章 DRAM制御装置」参照)。</p>

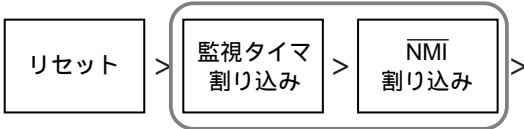

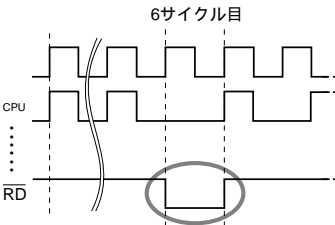
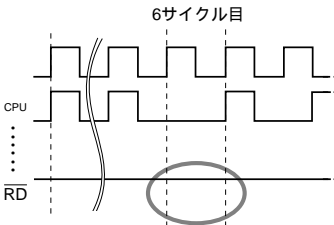
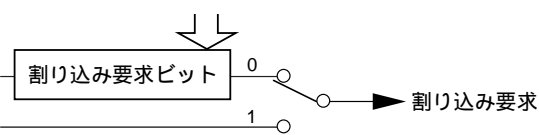
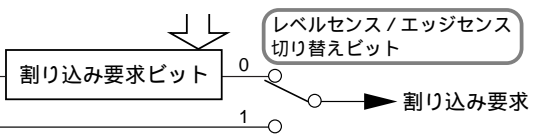
訂正箇所	正	
<p>3-23ページ 【CSWC使用上の注意】 最終行の後</p>	<p>4. 32ビット演算命令(注)を使用してメモリをアクセスするときは、データバス幅が異なる領域をまたいでアクセスしないでください。すなわち、データバス幅16ビットの領域(内部領域を含む)と、データバス幅8ビットの領域が連続して配置されているとき、データバス幅が異なる領域の境界前3バイトに対してはダブルワード(32ビット)アクセスをしないでください。</p> <p>注. ADCD, ADDD, ADDMD, ANDMD, CMPD, CMPMD, EORMD, LDAD, ORAMD, SBCD, STAD, SUBD, SUBMD</p> <div data-bbox="347 510 1441 1160" style="border: 1px solid black; padding: 10px;"> <p>■で示す番地からダブルワードアクセスすると、データバス幅の異なる領域をまたぐので、これらの番地に対してダブルワードアクセスをしないでください。</p> <p>データバス幅16ビット*の領域</p> <p>(境界)</p> <p>データバス幅8ビット*の領域</p> <p>*: データバス幅8ビットの領域とデータバス幅16ビットの領域が逆の場合も同様</p> </div> <p>図3.2.16 データバス幅が異なる領域をまたぐアクセス例</p>	
訂正箇所	誤	正
<p>3-24ページ 3.3 5~8行目</p>	<p>レディー機能を使用する場合は、以下のビットを“1”にしてください。</p> <p><math>\overline{CS}_i</math> (<math>i=0\sim 3</math>) 領域 : RDY入力選択ビット(...) RDY制御ビット(...)</p> <p><math>\overline{CS}</math>領域以外の外部領域 : RDY入力選択ビット(...)</p> <p>なお、DRAM空間を指定...</p>	<p>レディー機能を使用する場合は、以下の<u>ように</u>設定してください。</p> <p><math>\overline{CS}_i</math> (<math>i=0\sim 3</math>) 領域 : RDY入力選択ビット(...)<u>=1</u> RDY制御ビット(...)<u>=0</u></p> <p><math>\overline{CS}</math>領域以外の外部領域 : RDY入力選択ビット(...)<u>=1</u></p> <div style="border: 1px solid black; padding: 5px; margin-top: 10px;"> <p>また、MD0 = Vccで使用する場合、この端子はリセット後、RDY端子の機能になります。したがって、この端子をポートとして使用する場合も、リセット時にはVccレベルを印加してください。</p> </div> <p>なお、DRAM空間を指定...</p>
<p>3-25ページ 図3.3.1</p>		

7920グループ ユーザーズマニュアル(印刷番号HU-091A) 正誤表(REV.E) No.6

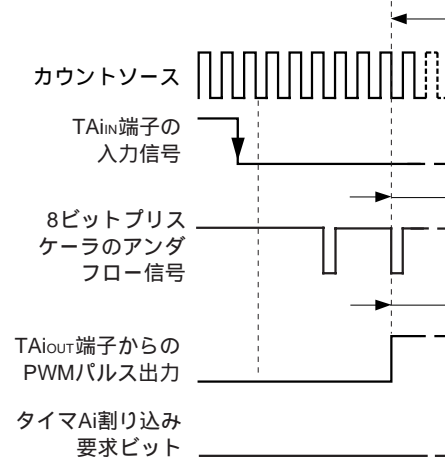
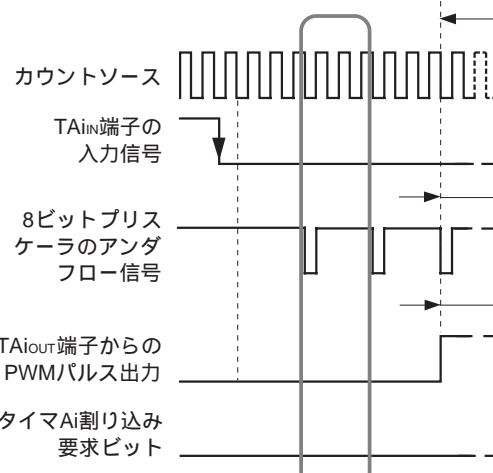
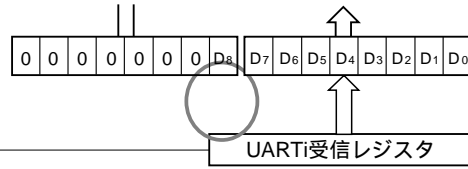
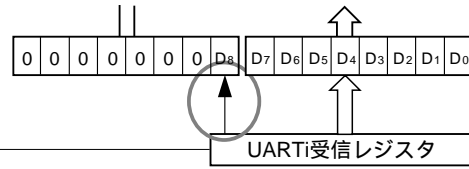
訂正箇所	誤	正																																			
3-26ページ 3.4 5行目の後	ホールド機能を... “1” にしてください。	<p>ホールド機能を... “1” にしてください。</p> <p>なお、DRAMC使用時は、ホールド機能を使用しないでください。</p> <p>また、MD0 = Vccで使用する場合、この端子はリセット後、HOLD端子の機能になります。したがって、この端子をポートとして使用する場合も、リセット時にはVccレベルを印加してください。</p>																																			
3-26ページ 表3.4.1	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 50%; text-align: center;">1、<math>\overline{RAS}_1 \sim \overline{RAS}_3</math>、<math>\overline{CAS}/W</math>、<math>\overline{WRL}/LCAS</math>、<math>\overline{WRH}/UCAS</math>端子</td> <td style="width: 50%; text-align: center;">動作</td> </tr> </table>	1、 $\overline{RAS}_1 \sim \overline{RAS}_3$ 、 $\overline{CAS}/W$ 、 $\overline{WRL}/LCAS$ 、 $\overline{WRH}/UCAS$ 端子	動作	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 50%; text-align: center;">1端子</td> <td style="width: 50%; text-align: center;">クロック 1を出力</td> </tr> </table>	1端子	クロック 1を出力																															
1、 $\overline{RAS}_1 \sim \overline{RAS}_3$ 、 $\overline{CAS}/W$ 、 $\overline{WRL}/LCAS$ 、 $\overline{WRH}/UCAS$ 端子	動作																																				
1端子	クロック 1を出力																																				
3-27ページ 3.4.1 下から1~3 行目	<p>図3.4.1に...解除タイミングを示します。</p> <p>ホールド状態では...DRAMリフレッシュを行います。図3.4.2に...動作波形を示します。</p>	<p>図3.4.1に...解除タイミングを示します。</p> <p>(3行削除)</p>																																			
3-29ページ 図3.4.2	(図省略)	(削除)																																			
4-5ページ 表4.2.1	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 30%;">マスクROM内蔵版</td> <td style="width: 30%;">MD0端子レベル</td> <td style="width: 40%;">Vss又はVcc</td> </tr> <tr> <td>フラッシュメモリ内蔵版</td> <td></td> <td>Vcc</td> </tr> <tr> <td>ROM外付け版</td> <td></td> <td>Vcc</td> </tr> </table> <p>注3.ただし、NMI端子に...出力します。</p>	マスクROM内蔵版	MD0端子レベル	Vss又はVcc	フラッシュメモリ内蔵版		Vcc	ROM外付け版		Vcc	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 30%;">マスクROM内蔵版</td> <td style="width: 30%;">MD0端子レベル</td> <td style="width: 40%;">Vss又はVcc</td> </tr> <tr> <td>フラッシュメモリ内蔵版</td> <td></td> <td>(注4)</td> </tr> <tr> <td>ROM外付け版</td> <td></td> <td>Vcc(注4)</td> </tr> </table> <p>注3.ただし、NMI端子に...出力します。</p> <p>4. MD1 = Vss、MD0 = Vccでリセットする場合は、<math>\overline{RDY}</math>、HOLD端子にVccレベルを印加してください。</p>	マスクROM内蔵版	MD0端子レベル	Vss又はVcc	フラッシュメモリ内蔵版		(注4)	ROM外付け版		Vcc(注4)																	
マスクROM内蔵版	MD0端子レベル	Vss又はVcc																																			
フラッシュメモリ内蔵版		Vcc																																			
ROM外付け版		Vcc																																			
マスクROM内蔵版	MD0端子レベル	Vss又はVcc																																			
フラッシュメモリ内蔵版		(注4)																																			
ROM外付け版		Vcc(注4)																																			
4-9ページ 図4.3.4 21-4ページ	<p>5F<sub>16</sub> プロセッサモードレジスタ1 リセット直後の状態</p> <table border="1" style="width: 100%; border-collapse: collapse; text-align: center;"> <tr> <td style="width: 10%;">b7</td> <td style="width: 10%;">0</td> <td style="width: 10%;">0</td> <td style="width: 10%;">(注5)</td> <td style="width: 10%;">1</td> <td style="width: 10%;">(注5)</td> <td style="width: 10%;">0</td> <td style="width: 10%;">0</td> <td style="width: 10%;">b0</td> </tr> </table> <p>注6. リセット後、一度だけ“1”にできます。 “1”から“0”にすると、それ以降“1”にできません(“0”に固定される)。</p>	b7	0	0	(注5)	1	(注5)	0	0	b0	<p>5F<sub>16</sub> プロセッサモードレジスタ1 リセット直後の状態</p> <table border="1" style="width: 100%; border-collapse: collapse; text-align: center;"> <tr> <td style="width: 10%;">b7</td> <td style="width: 10%;">0</td> <td style="width: 10%;">0</td> <td style="width: 10%;">(注5)</td> <td style="width: 10%;">0</td> <td style="width: 10%;">0</td> <td style="width: 10%;">b0</td> </tr> </table> <p>注6. リセット後、一度だけ“1”にできます。 メモリ拡張モード又はマイクロプロセッサモードで、かつ、これらのビットが“1”の状態からシングルチップモードに変更すると、これらのビットは“0”になります。その後“1”にできません。</p>	b7	0	0	(注5)	0	0	b0																			
b7	0	0	(注5)	1	(注5)	0	0	b0																													
b7	0	0	(注5)	0	0	b0																															
4-10ページ 図4.3.5 21-5ページ	<p>67<sub>16</sub> デバッグ制御レジスタ1 アクセス特性</p> <table border="1" style="width: 100%; border-collapse: collapse; text-align: center;"> <tr> <td style="width: 10%;">b7</td> <td style="width: 10%;">RO</td> <td style="width: 10%;">RO</td> <td style="width: 10%;">RW</td> <td style="width: 10%;">RW</td> <td style="width: 10%;">RW</td> <td style="width: 10%;">RO</td> <td style="width: 10%;">RW</td> <td style="width: 10%;">b0</td> </tr> </table> <p>リセット直後の状態</p> <table border="1" style="width: 100%; border-collapse: collapse; text-align: center;"> <tr> <td style="width: 10%;">b7</td> <td style="width: 10%;">0</td> <td style="width: 10%;">0</td> <td style="width: 10%;">0</td> <td style="width: 10%;">0</td> <td style="width: 10%;">0</td> <td style="width: 10%;">0</td> <td style="width: 10%;">0</td> <td style="width: 10%;">b0</td> </tr> </table>	b7	RO	RO	RW	RW	RW	RO	RW	b0	b7	0	0	0	0	0	0	0	b0	<p>67<sub>16</sub> デバッグ制御レジスタ1 アクセス特性</p> <table border="1" style="width: 100%; border-collapse: collapse; text-align: center;"> <tr> <td style="width: 10%;">b7</td> <td style="width: 10%;">RO</td> <td style="width: 10%;">RO</td> <td style="width: 10%;">RW</td> <td style="width: 10%;">RW</td> <td style="width: 10%;">RO</td> <td style="width: 10%;">RW</td> <td style="width: 10%;">b0</td> </tr> </table> <p>リセット直後の状態</p> <table border="1" style="width: 100%; border-collapse: collapse; text-align: center;"> <tr> <td style="width: 10%;">b7</td> <td style="width: 10%;">0</td> <td style="width: 10%;">0</td> <td style="width: 10%;">?</td> <td style="width: 10%;">0</td> <td style="width: 10%;">0</td> <td style="width: 10%;">0</td> <td style="width: 10%;">0</td> <td style="width: 10%;">b0</td> </tr> </table>	b7	RO	RO	RW	RW	RO	RW	b0	b7	0	0	?	0	0	0	0	b0
b7	RO	RO	RW	RW	RW	RO	RW	b0																													
b7	0	0	0	0	0	0	0	b0																													
b7	RO	RO	RW	RW	RO	RW	b0																														
b7	0	0	?	0	0	0	0	b0																													
4-11ページ 図4.3.6 21-6ページ	<p>9E<sub>16</sub> フラッシュメモリ制御レジスタ アクセス特性</p> <table border="1" style="width: 100%; border-collapse: collapse; text-align: center;"> <tr> <td style="width: 10%;">b7</td> <td style="width: 10%;">RW</td> <td style="width: 10%;">RW</td> <td style="width: 10%;">WO</td> <td style="width: 10%;">RW</td> <td style="width: 10%;">RW</td> <td style="width: 10%;">RO</td> <td style="width: 10%;">b0</td> </tr> </table>	b7	RW	RW	WO	RW	RW	RO	b0	<p>9E<sub>16</sub> フラッシュメモリ制御レジスタ アクセス特性</p> <table border="1" style="width: 100%; border-collapse: collapse; text-align: center;"> <tr> <td style="width: 10%;">b7</td> <td style="width: 10%;">RW</td> <td style="width: 10%;">RO</td> <td style="width: 10%;">b0</td> </tr> </table>	b7	RW	RO	b0																							
b7	RW	RW	WO	RW	RW	RO	b0																														
b7	RW	RO	b0																																		
4-12ページ 図4.3.7 21-7ページ	<p>A6<sub>16</sub> アクセス特性</p> <table border="1" style="width: 100%; border-collapse: collapse; text-align: center;"> <tr> <td style="width: 100%;">(注19)</td> </tr> </table>	(注19)	<p>A6<sub>16</sub> アクセス特性</p> <table border="1" style="width: 100%; border-collapse: collapse; text-align: center;"> <tr> <td style="width: 100%;"></td> </tr> </table>																																		
(注19)																																					



7920グループ ユーザーズマニュアル (印刷番号HU-091A) 正誤表(REV.E) No.7

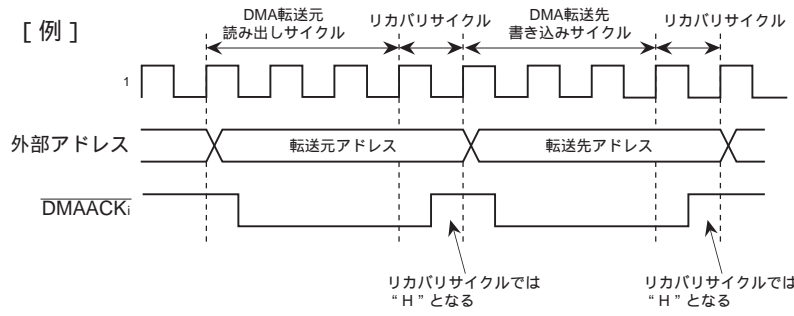
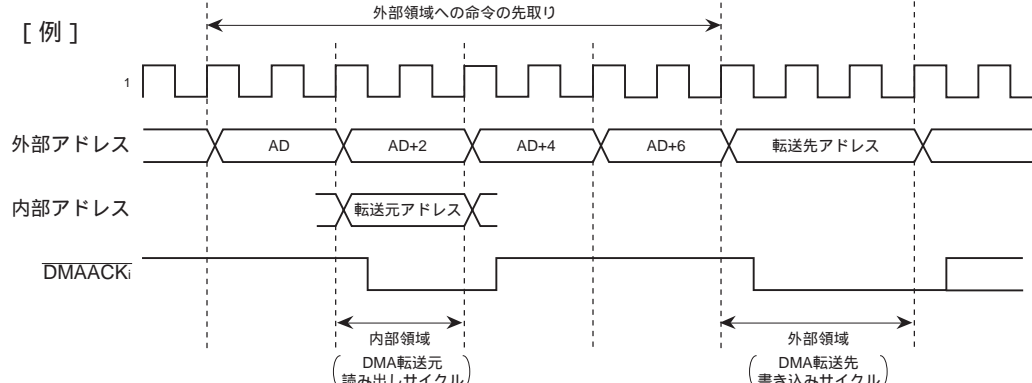
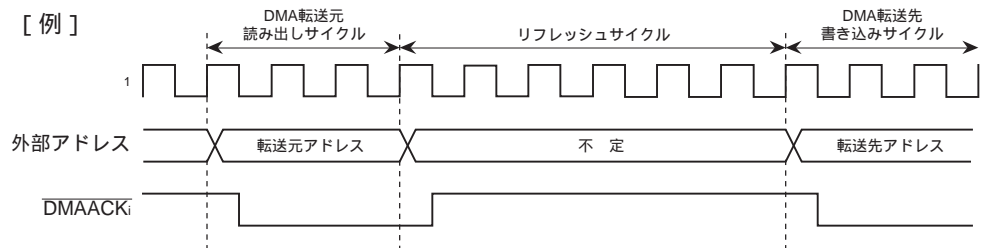
訂正箇所	誤	正																																				
4-12ページ 図4.3.7 21-7ページ	A8 <sub>16</sub> DRAM制御レジスタ リセット直後の状態  b7 <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr></table> b0	0	0	0	0	0	0	0	0	A8 <sub>16</sub> DRAM制御レジスタ リセット直後の状態  b7 <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr></table> b0	0	0	0	0	0	0	0	0																				
0	0	0	0	0	0	0	0																															
0	0	0	0	0	0	0	0																															
7-5ページ 図7.3.2上 21-31ページ 上(6E <sub>16</sub> ~ 7C <sub>16</sub> 番地)	注2. このビットへの...してください。	注2. このビットへの...してください。 3. INT <sub>3</sub> 割り込みを使用するときは、アナログ 入力端子AN <sub>2</sub> を選択しないでください。 INT <sub>4</sub> 割り込みを使用するときは、アナログ 入力端子AN <sub>3</sub> を選択しないでください。																																				
7-7ページ 図7.4.1																																						
7-12ページ 図7.7.2																																						
7-16ページ 7.10.1 最終行の後	もありませんので注意してください。	もありませんので注意してください。 NMI端子に入力する信号には、f(X <sub>IN</sub> )に関係なく、 250ns 以上の“L”レベル幅が必要です。																																				
7-17ページ 図7.10.1下	INT <sub>3</sub> 割り込み制御レジスタ【6E <sub>16</sub> 番地】 INT <sub>4</sub> 割り込み制御レジスタ【6F <sub>16</sub> 番地】 <table border="1" style="display: inline-table; vertical-align: middle;"><thead><tr><th>ビット</th><th>ビット名</th><th>機能</th><th>リセット時</th><th>R/W</th></tr></thead><tbody><tr><td>3</td><td>割り込み要求ビット</td><td></td><td></td><td>RW (注)</td></tr></tbody></table>	ビット	ビット名	機能	リセット時	R/W	3	割り込み要求ビット			RW (注)	INT <sub>3</sub> 割り込み制御レジスタ【6E <sub>16</sub> 番地】 INT <sub>4</sub> 割り込み制御レジスタ【6F <sub>16</sub> 番地】 <table border="1" style="display: inline-table; vertical-align: middle;"><thead><tr><th>ビット</th><th>ビット名</th><th>機能</th><th>リセット時</th><th>R/W</th></tr></thead><tbody><tr><td>3</td><td>割り込み要求ビット</td><td></td><td></td><td>RW (注1)</td></tr></tbody></table>	ビット	ビット名	機能	リセット時	R/W	3	割り込み要求ビット			RW (注1)																
ビット	ビット名	機能	リセット時	R/W																																		
3	割り込み要求ビット			RW (注)																																		
ビット	ビット名	機能	リセット時	R/W																																		
3	割り込み要求ビット			RW (注1)																																		
	注. このビットへの...してください。	注1. このビットへの...してください。 2. INT <sub>3</sub> 割り込みを使用するときは、アナログ 入力端子AN <sub>2</sub> を選択しないでください。 INT <sub>4</sub> 割り込みを使用するときは、アナログ 入力端子AN <sub>3</sub> を選択しないでください。																																				
7-19ページ 図7.10.3																																						
8-35ページ 図8.6.1下 21-22ページ 下	タイマAiモードレジスタ(i=0 ~ 4)【56 <sub>16</sub> ~ 5A <sub>16</sub> 番地】 <table border="1" style="display: inline-table; vertical-align: middle;"><thead><tr><th>ビット</th><th>トリガ選択 ビット</th><th>b4 b3</th><th>ワンショット開始フラグ への“1”書き込み (...)</th></tr></thead><tbody><tr><td>3</td><td></td><td>00:</td><td rowspan="2">}</td></tr><tr><td></td><td></td><td>01:</td></tr><tr><td>4</td><td></td><td>10:</td><td rowspan="2">}</td></tr><tr><td></td><td></td><td>11:</td></tr></tbody></table>	ビット	トリガ選択 ビット	b4 b3	ワンショット開始フラグ への“1”書き込み (...)	3		00:	}			01:	4		10:	}			11:	タイマAiモードレジスタ(i=0 ~ 4)【56 <sub>16</sub> ~ 5A <sub>16</sub> 番地】 <table border="1" style="display: inline-table; vertical-align: middle;"><thead><tr><th>ビット</th><th>トリガ選択 ビット</th><th>b4 b3</th><th>カウント開始フラグへの “1”書き込み (...)</th></tr></thead><tbody><tr><td>3</td><td></td><td>00:</td><td rowspan="2">}</td></tr><tr><td></td><td></td><td>01:</td></tr><tr><td>4</td><td></td><td>10:</td><td rowspan="2">}</td></tr><tr><td></td><td></td><td>11:</td></tr></tbody></table>	ビット	トリガ選択 ビット	b4 b3	カウント開始フラグへの “1”書き込み (...)	3		00:	}			01:	4		10:	}			11:
ビット	トリガ選択 ビット	b4 b3	ワンショット開始フラグ への“1”書き込み (...)																																			
3		00:	}																																			
		01:																																				
4		10:	}																																			
		11:																																				
ビット	トリガ選択 ビット	b4 b3	カウント開始フラグへの “1”書き込み (...)																																			
3		00:	}																																			
		01:																																				
4		10:	}																																			
		11:																																				

7920グループ ユーザーズマニュアル(印刷番号HU-091A) 正誤表(REV.E) No.8

訂正箇所	誤	正																						
8-39ページ 下から2行目	注2 . . .TAiout端子は設定したPWMパルスの“H”レベル幅と同じ幅の“L”レベルを出力し、...	注2 . . .TAiout端子は(1 / fi) × (m+1) × (n+1)の期間“L”レベルを出力し、...																						
8-41ページ 図8.6.6																								
10-8ページ 図10.3.2	<p>(下の実線枠内)</p> <p>(b15) (b8) b0 b7 b0 タイマA0レジスタ 【47<sub>16</sub>、46<sub>16</sub>番地】 タイマA2レジスタ 【4B<sub>16</sub>、4A<sub>16</sub>番地】</p> <p>0000<sub>16</sub> ~ FFFF<sub>16</sub> (n)を設定</p>	<p>(下の実線枠内)</p> <p>(b15) (b8) b0 b7 b0 タイマA0レジスタ 【47<sub>16</sub>、46<sub>16</sub>番地】 タイマA2レジスタ 【4B<sub>16</sub>、4A<sub>16</sub>番地】</p> <p>0000<sub>16</sub> ~ FFFF<sub>16</sub> (n)を設定</p>																						
11-3ページ 図11.2.1																								
11-6ページ 図11.2.3 21-15ページ 上(34 <sub>16</sub> 、3C <sub>16</sub> 番地)	注1 . CTS/RTS許可ビット(ビット4)が“0”のとき有効。	注1 . CTS/RTS許可ビット(ビット4)が“0”、かつ CTS/RTS分離選択ビット(AC <sub>16</sub> 番地のビット0)が“0”のとき有効。																						
11-26ページ 11.3.4 2行目 11-31ページ 11.3.6 2行目 11-42ページ 11.4.4 1行目	...クロックの1サイクル後に...	...クロックの最大1サイクル後に...																						
11-32ページ 図11.3.11	注 . CLK極性選択ビット=0のとき。 CLK極性選択ビット=1のときは、 転送クロックの立ち上がりでシフトします。	注 . CLK極性選択ビット=0のとき。 CLK極性選択ビット=1のときは、 転送クロックの立ち下がりでシフトします。																						
11-36ページ 表11.4.3	<table border="1" data-bbox="327 1848 869 2016"> <thead> <tr> <th rowspan="2">転送速度 (bps)</th> <th colspan="3">f<sub>sys</sub> = 19.6608MHz</th> </tr> <tr> <th>BRGiの カウントソース</th> <th>BRGiの 設定値:n(注)</th> <th>実時間(bps)</th> </tr> </thead> <tbody> <tr> <td>14400</td> <td>f<sub>2</sub></td> <td>41(29<sub>16</sub>)</td> <td>14628.57</td> </tr> </tbody> </table>	転送速度 (bps)	f <sub>sys</sub> = 19.6608MHz			BRGiの カウントソース	BRGiの 設定値:n(注)	実時間(bps)	14400	f <sub>2</sub>	41(29 <sub>16</sub> )	14628.57	<table border="1" data-bbox="901 1848 1444 2016"> <thead> <tr> <th rowspan="2">転送速度 (bps)</th> <th colspan="3">f<sub>sys</sub> = 19.6608MHz</th> </tr> <tr> <th>BRGiの カウントソース</th> <th>BRGiの 設定値:n(注)</th> <th>実時間(bps)</th> </tr> </thead> <tbody> <tr> <td>14400</td> <td>f<sub>2</sub></td> <td>42(2A<sub>16</sub>)</td> <td>14288.37</td> </tr> </tbody> </table>	転送速度 (bps)	f <sub>sys</sub> = 19.6608MHz			BRGiの カウントソース	BRGiの 設定値:n(注)	実時間(bps)	14400	f <sub>2</sub>	42(2A <sub>16</sub> )	14288.37
転送速度 (bps)	f <sub>sys</sub> = 19.6608MHz																							
	BRGiの カウントソース	BRGiの 設定値:n(注)	実時間(bps)																					
14400	f <sub>2</sub>	41(29 <sub>16</sub> )	14628.57																					
転送速度 (bps)	f <sub>sys</sub> = 19.6608MHz																							
	BRGiの カウントソース	BRGiの 設定値:n(注)	実時間(bps)																					
14400	f <sub>2</sub>	42(2A <sub>16</sub> )	14288.37																					

7920グループ ユーザーズマニュアル (印刷番号HU-091A) 正誤表(REV.E) No.9

訂正箇所	誤	正																						
11-36ページ 表11.4.3	<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th rowspan="2" style="width: 15%;">転送速度 (bps)</th> <th colspan="3" style="text-align: center;">f<sub>sys</sub> = 20MHz</th> </tr> <tr> <th style="width: 25%;">BRGiの カウントソース</th> <th style="width: 25%;">BRGiの 設定値:n(注)</th> <th style="width: 35%;">実時間(bps)</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">2400</td> <td style="text-align: center;">f<sub>8</sub></td> <td style="text-align: center;">64(40<sup>16</sup>)</td> <td style="text-align: center;">2403.85</td> </tr> </tbody> </table>	転送速度 (bps)	f <sub>sys</sub> = 20MHz			BRGiの カウントソース	BRGiの 設定値:n(注)	実時間(bps)	2400	f <sub>8</sub>	64(40 <sup>16</sup> )	2403.85	<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th rowspan="2" style="width: 15%;">転送速度 (bps)</th> <th colspan="3" style="text-align: center;">f<sub>sys</sub> = 20MHz</th> </tr> <tr> <th style="width: 25%;">BRGiの カウントソース</th> <th style="width: 25%;">BRGiの 設定値:n(注)</th> <th style="width: 35%;">実時間(bps)</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">2400</td> <td></td> <td></td> <td></td> </tr> </tbody> </table>	転送速度 (bps)	f <sub>sys</sub> = 20MHz			BRGiの カウントソース	BRGiの 設定値:n(注)	実時間(bps)	2400			
転送速度 (bps)	f <sub>sys</sub> = 20MHz																							
	BRGiの カウントソース	BRGiの 設定値:n(注)	実時間(bps)																					
2400	f <sub>8</sub>	64(40 <sup>16</sup> )	2403.85																					
転送速度 (bps)	f <sub>sys</sub> = 20MHz																							
	BRGiの カウントソース	BRGiの 設定値:n(注)	実時間(bps)																					
2400																								
12-4ページ 図12.2.2上 21-12ページ 上(1E <sub>16</sub> 番地)	<p>注2. 外部トリガ選択時は、...使用できません。            3. このビットへの書き込みには...ください。            4. A-D制御レジスタ0の各ビット(ビット6を除く)に対する書き込みは、A-D変換器停止時に行ってください。</p>	<p>注2. <u>AN<sub>2</sub>を選択したときは、INT<sub>3</sub>割り込みが使用できません。AN<sub>3</sub>を選択したときは、INT<sub>4</sub>割り込みが使用できません。</u>また、外部トリガ選択時は、...使用できません。            3. このビットへの書き込みには...ください。            4. A-D制御レジスタ0の各ビットに対する書き込みは、A-D変換器の動作モードに関係なく、<u>A-D変換器停止時に行ってください(ビット6への“0”書き込みを除く)。</u></p>																						
12-4ページ 図12.2.2下 17-8ページ 図17.5.1 21-12ページ 下(1F <sub>16</sub> 番地)	<p>注2. 外部トリガ選択時は、...使用できません。            3. このビットを“1”から...させてください。            4. A-D制御レジスタ1の各ビットに対する書き込みは、A-D変換器停止時に行ってください。</p>	<p>注2. <u>AN<sub>0</sub> ~ AN<sub>3</sub>を選択したときは、INT<sub>3</sub>及びINT<sub>4</sub>割り込みが使用できません。</u>また、外部トリガ選択時は、...使用できません。            3. このビットを“1”から...させてください。            4. A-D制御レジスタ1の各ビットに対する書き込みは、<u>A-D変換器の動作モードに関係なく、A-D変換器停止時に行ってください。</u></p>																						
12-13ページ 12.4.1 下から2行目	<p>なお、...悪くなります。また、V<sub>REF</sub> ~ AV<sub>CC</sub>間のアナログ入力電圧に対する...</p>	<p>なお、...悪くなります。また、V<sub>REF</sub> ~ V<sub>CC</sub>間のアナログ入力電圧に対する...</p>																						
12-16ページ 図12.6.1 12-18ページ 図12.7.1 12-20ページ 図12.8.1 12-22ページ 図12.9.1	<p>注. A-D制御レジスタ0の各ビット(ビット6を除く)、及びA-D制御レジスタ1の各ビットに対する書き込みは、A-D変換器停止時(トリガ発生前)に行ってください。</p>	<p>注. A-D制御レジスタ0及びA-D制御レジスタ1の各ビットに対する書き込みは、<u>A-D変換器の動作モードに関係なく、A-D変換器停止時(トリガ発生前)に行ってください(A-D変換開始フラグへの“0”書き込みを除く)。</u></p>																						
12-24ページ 【A-D変換器 使用上の 注意】	<p>2. 次に示すレジスタ及びビットに対する書き込みは、トリガ発生前(A-D変換器停止時)に行ってください。            ・ A-D制御レジスタ0(ビット6を除く)            ・ A-D制御レジスタ1</p>	<p>2. 次に示すレジスタ及びビットに対する書き込みは、<u>A-D変換器の動作モードに関係なく、トリガ発生前(A-D変換器停止時)に行ってください。</u>            ・ A-D制御レジスタ0(ビット6への“0”書き込みを除く)            ・ A-D制御レジスタ1</p>																						
13-8ページ 図13.2.4 21-40ページ 下(B1 <sub>16</sub> 番地)	<p>注. これらのビットへの書き込みは、...してください)。            STAB            ANDDMB DT:00B1H,#XXH ; ビット4~7への書き込み</p>	<p>注. これらのビットへの書き込みは、...してください)。            STAB            ANDDMB DT:00B1H,#XXH            ; ビット4~7への“0”書き込み            (“1”書き込みの場合はORAMB命令)</p>																						
13-13ページ 13.2.8(1) 最終行の後	<p>チャートを参照ください。</p>	<p>チャートを参照ください。            また、【DMAC使用上の注意】も参照してください。            本正誤表の(10/20)を参照してください</p>																						

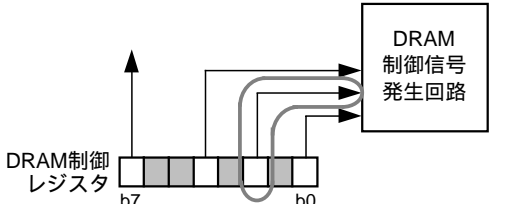
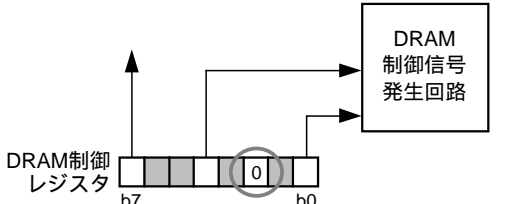
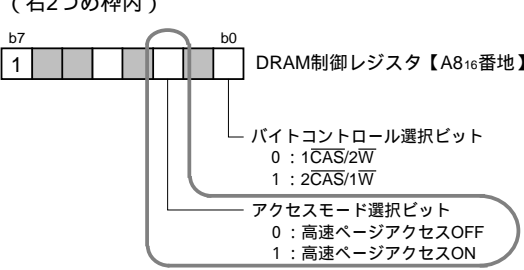
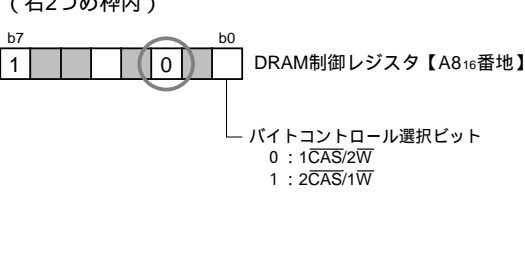
訂正箇所	誤
13-15ページ 【DMAC使用上の注意】	<p>【DMAC使用上の注意】 DMAC関連レジスタを、DMA転送を用いてアクセスしないでください。</p>
	<p>正</p>
	<p>【DMAC使用上の注意】</p> <p>1. DMAC関連レジスタを、DMA転送を用いてアクセスしないでください。</p> <p>2. DMAACK<sub>i</sub>有効ビットが“1”（有効）のとき、以下の場合にDMAACK<sub>i</sub>端子の“L”レベル出力が中断することがあります。</p> <p>(1) 転送元もしくは転送先の領域に対してリカバリサイクル挿入を指定した場合</p> <p>リカバリサイクル中の <math>t_1</math> の立ち下がりに同期してDMAACK<sub>i</sub>端子は“H”レベル出力になります。続けて転送する場合（バースト転送、又はサイクルスチールモードの2バスサイクル転送）は、次のバスサイクルの最初の <math>t_1</math> の立ち下がりでDMAACK<sub>i</sub>端子が再び“L”レベルになります。</p> <p>[例]</p>  <p>(2) 外部領域への命令の先取り中の2バスサイクル転送で、転送元が内部領域かつ転送先が外部領域の場合</p> <p>[例]</p>  <p>(3) 2バスサイクル転送中にDRAMリフレッシュが入った場合</p> <p>[例]</p> 

訂正箇所	誤	
13-28ペ - ジ 図13.4.5	<p>2バスサイクル転送時 (0ウエイト)</p> <p>1 転送単位の転送</p> <p>DMA要求フラグサンプリング バス要求サンプリング</p> <p>バス要求 (DMA) 1</p> <p>DMAi要求フラグ 0</p> <p>この間にDMAi要求フラグが "1" になっても無効</p> <p>この間にDMA要求が発生すると、続けてDMA転送を行う (ただし外部要因選択時は、<math>t_{su(DMAREQ-1)}</math>を満たすタイミングでDMAREQ 端子に有効エッジ又はレベルが入力されること)</p> <p>この間にDMA要求が発生すると、次のバス要求サンプリングで受け付けられる</p>	
<p>正</p>		
<p>2バスサイクル転送時 (1ウエイト)</p> <p>1 転送単位の転送</p> <p>DMA要求フラグサンプリング 優先順位判定時間 バス要求サンプリング</p> <p>バス要求 (DMA) 1</p> <p>DMAi要求フラグ 0</p> <p>この間にDMAi要求フラグが "1" になっても無効</p> <p>この間にDMA要求が発生すると、続けてDMA転送を行う (ただし外部要因選択時は、<math>t_{su(DMAREQ-1)}</math>を満たすタイミングでDMAREQ 端子に有効エッジ又はレベルが入力されること)</p> <p>この間にDMA要求が発生すると、次のバス要求サンプリングで受け付けられる</p>		
<p>誤</p>		<p>正</p>
<p>1バスサイクル転送時 (1ウエイト)</p> <p>1 転送単位の転送</p> <p>DMA要求フラグサンプリング バス要求サンプリング</p> <p>バス要求 (DMA) 1</p> <p>DMAi要求フラグ 0</p> <p>この間にDMAi要求フラグが "1" になっても無効</p> <p>この間にDMA要求が発生すると、続けてDMA転送を行う (ただし外部要因選択時は、<math>t_{su(DMAREQ-1)}</math>を満たすタイミングでDMAREQ 端子に有効エッジ又はレベルが入力されること)</p> <p>この間にDMA要求が発生すると、次のバス要求サンプリングで受け付けられる</p>	<p>1バスサイクル転送時 (1ウエイト)</p> <p>1 転送単位の転送</p> <p>DMA要求フラグサンプリング 優先順位判定時間 バス要求サンプリング</p> <p>バス要求 (DMA) 1</p> <p>DMAi要求フラグ 0</p> <p>この間にDMAi要求フラグが "1" になっても無効</p> <p>この間にDMA要求が発生すると、続けてDMA転送を行う (ただし外部要因選択時は、<math>t_{su(DMAREQ-1)}</math>を満たすタイミングでDMAREQ 端子に有効エッジ又はレベルが入力されること)</p> <p>この間にDMA要求が発生すると、次のバス要求サンプリングで受け付けられる</p>	

訂正箇所	誤	
13-29ページ 図13.4.6	<p>2バスサイクル転送時 (0ウエイト)</p> <p>1転送単位の転送</p> <p>DMA要求フラグサンプリング バス要求サンプリング</p> <p>バス要求 (DMA) 1</p> <p>この間に他のチャンネルのDMA要求が発生すると、続けてDMA転送を行う (ただし外部要因選択時は、<math>t_{su(DMAREQ-1)}</math>を満たすタイミングで他のチャンネルのDMAREQ 端子に有効エッジ又はレベルが入力されること)</p> <p>この間に他のチャンネルのDMA要求が発生すると、この要求が発生すると、次のバス要求サンプリングで受け付けられる</p>	<p style="text-align: center;">正</p>
	<p>2バスサイクル転送時 (1ウエイト)</p> <p>1転送単位の転送</p> <p>DMA要求フラグサンプリング 優先順位判定時間 バス要求サンプリング</p> <p>バス要求 (DMA) 1</p> <p>この間に他のチャンネルのDMA要求が発生すると、続けてDMA転送を行う (ただし外部要因選択時は、<math>t_{su(DMAREQ-1)}</math>を満たすタイミングで他のチャンネルのDMAREQ 端子に有効エッジ又はレベルが入力されること)</p> <p>この間に他のチャンネルのDMA要求が発生すると、次のバス要求サンプリングで受け付けられる</p>	<p style="text-align: center;">正</p>
	<p style="text-align: center;">誤</p> <p>1バスサイクル転送時 (0ウエイト)</p> <p>1転送単位の転送</p> <p>DMA要求フラグサンプリング バス要求サンプリング</p> <p>バス要求 (DMA) 1</p> <p>この間に他のチャンネルのDMA要求が発生すると、続けてDMA転送を行う (ただし外部要因選択時は、<math>t_{su(DMAREQ-1)}</math>を満たすタイミングでDMAREQ 端子に有効エッジ又はレベルが入力されること)</p> <p>この間に他のチャンネルのDMA要求が発生すると、次のバス要求サンプリングで受け付けられる</p>	<p style="text-align: center;">正</p> <p>1バスサイクル転送時 (1ウエイト)</p> <p>1転送単位の転送</p> <p>DMA要求フラグサンプリング 優先順位判定時間 バス要求サンプリング</p> <p>バス要求 (DMA) 1</p> <p>この間に他のチャンネルのDMA要求が発生すると、続けてDMA転送を行う (ただし外部要因選択時は、<math>t_{su(DMAREQ-1)}</math>を満たすタイミングでDMAREQ 端子に有効エッジ又はレベルが入力されること)</p> <p>この間に他のチャンネルのDMA要求が発生すると、次のバス要求サンプリングで受け付けられる</p>

訂正箇所	正
<p>13-29ページ 【サイクルスチール転送モード使用上の注意】 図13.4.6の後</p>	<p>3. サイクルスチール転送モードでウェイト0の場合</p> <p>サイクルスチール転送モードで次の条件のときには、転送中に次のDMA要求が来ても、連続転送ができません。</p> <ul style="list-style-type: none"> <li>・1バスサイクル転送で、0ウェイトのとき</li> <li>・2バスサイクル転送で、転送先が0ウェイト（内部領域を含む）のとき</li> </ul> <p>すなわち、上記の条件のときには、1転送単位の転送後、一旦DMA転送を終了し、その次のバス要求サンプリング時に、再度DMA転送を行います。</p> <p>この注意は、転送要求が同一チャンネルの場合も、他のチャンネルの場合も該当します。</p> <p>なお、同一チャンネルの場合は、1転送単位の最初の <math>\overline{1}</math> が“H”レベルの期間に、同一チャンネルのDMAi要求フラグが“1”になっても、DMA要求は無効になります（図13.4.5参照）。</p> <p>図13.4.7にサイクルスチール転送モードで0ウェイトの場合を示します。</p> <div data-bbox="347 689 1428 1321" style="border: 1px solid black; padding: 10px;"> <p>* : 2バスサイクル転送の場合</p> <p>注1 . この期間に同一チャンネルのDMAi要求フラグが“1”になった場合は無効になります（図13.4.5参照）。                  注2 . 図は最短の場合です。CPUがバスを使用する場合は、その期間分、次のDMA転送が遅れます。</p> </div> <p>図13.4.7 サイクルスチール転送モードで0ウェイトの場合</p>

7920グループ ユーザーズマニュアル (印刷番号HU-091A) 正誤表(REV.E) No.14

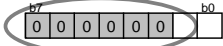

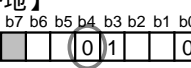
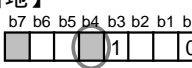
訂正箇所	誤	正																				
14-2ページ 表14.1.1	<table border="1"> <thead> <tr> <th>項目</th> <th>機能</th> </tr> </thead> <tbody> <tr> <td>DRAM領域</td> <td>最大8Mバイト (...)</td> </tr> <tr> <td>アクセス方式</td> <td>3 アクセス (1ウエイト) 固定、リカバリサイクルなし、RDY制御無効、高速ページアクセス (高速ページモード対応) 選択可能</td> </tr> </tbody> </table>	項目	機能	DRAM領域	最大8Mバイト (...)	アクセス方式	3 アクセス (1ウエイト) 固定、リカバリサイクルなし、RDY制御無効、高速ページアクセス (高速ページモード対応) 選択可能	<table border="1"> <thead> <tr> <th>項目</th> <th>機能</th> </tr> </thead> <tbody> <tr> <td>DRAM領域</td> <td>最大8Mバイト (...)</td> </tr> <tr> <td>アクセス方式</td> <td>3 アクセス (1ウエイト) 固定、リカバリサイクルなし、RDY制御無効</td> </tr> </tbody> </table>	項目	機能	DRAM領域	最大8Mバイト (...)	アクセス方式	3 アクセス (1ウエイト) 固定、リカバリサイクルなし、RDY制御無効								
項目	機能																					
DRAM領域	最大8Mバイト (...)																					
アクセス方式	3 アクセス (1ウエイト) 固定、リカバリサイクルなし、RDY制御無効、高速ページアクセス (高速ページモード対応) 選択可能																					
項目	機能																					
DRAM領域	最大8Mバイト (...)																					
アクセス方式	3 アクセス (1ウエイト) 固定、リカバリサイクルなし、RDY制御無効																					
14-2ページ 14.1 下から3行目	<p>なお、バイトコントロール、高速ページアクセス、及びセルフリフレッシュの選択は、...</p>	<p>なお、バイトコントロール及びセルフリフレッシュの選択は、...</p>																				
14-3ページ 図14.2.1																						
14-4ページ 図14.2.2 21-39ページ 上(A8 <sub>16</sub> 番地)	<table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>機能</th> <th>リセット時</th> <th>R/W</th> </tr> </thead> <tbody> <tr> <td>2</td> <td>アクセスモード 選択ビット</td> <td>0 : 高速ページアクセスOFF 1 : 高速ページアクセスON</td> <td>0</td> <td>RW</td> </tr> </tbody> </table>	ビット	ビット名	機能	リセット時	R/W	2	アクセスモード 選択ビット	0 : 高速ページアクセスOFF 1 : 高速ページアクセスON	0	RW	<table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>機能</th> <th>リセット時</th> <th>R/W</th> </tr> </thead> <tbody> <tr> <td>2</td> <td>"0" に固定してください</td> <td></td> <td>0</td> <td>RW</td> </tr> </tbody> </table>	ビット	ビット名	機能	リセット時	R/W	2	"0" に固定してください		0	RW
ビット	ビット名	機能	リセット時	R/W																		
2	アクセスモード 選択ビット	0 : 高速ページアクセスOFF 1 : 高速ページアクセスON	0	RW																		
ビット	ビット名	機能	リセット時	R/W																		
2	"0" に固定してください		0	RW																		
14-4ページ 14.2.1 (2)~(4)	<p>(2)アクセスモード選択ビット(ビット2) DRAMに対するアクセスモードを選択するビットです。...高速ページアクセス」参照)。</p> <p>(3)セルフリフレッシュ動作選択ビット(ビット4) ⋮</p> <p>(4)リフレッシュタイマカウント開始ビット(ビット7) ⋮</p>	<p>(2)は削除)</p> <p>(2)セルフリフレッシュ動作選択ビット(ビット4) ⋮</p> <p>(3)リフレッシュタイマカウント開始ビット(ビット7) ⋮</p>																				
14-6ページ 図14.3.1	<p>(右2つめ枠内)</p>  <p>バイトコントロール選択ビット 0 : 1CAS/2W 1 : 2CAS/1W</p> <p>アクセスモード選択ビット 0 : 高速ページアクセスOFF 1 : 高速ページアクセスON</p>	<p>(右2つめ枠内)</p>  <p>バイトコントロール選択ビット 0 : 1CAS/2W 1 : 2CAS/1W</p>																				
14-7ページ 14.4 4行目	<p>この節では、DRAMCの以下の動作について説明します。</p> <ul style="list-style-type: none"> <li>・1CAS/2W</li> <li>・2CAS/1W</li> <li>・高速ページアクセス</li> <li>・リフレッシュ</li> </ul>	<p>この節では、DRAMCの以下の動作について説明します。</p> <ul style="list-style-type: none"> <li>・1CAS/2W</li> <li>・2CAS/1W</li> <li>・リフレッシュ</li> </ul>																				



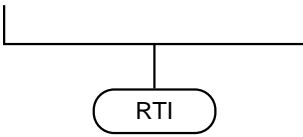
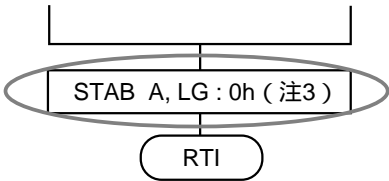
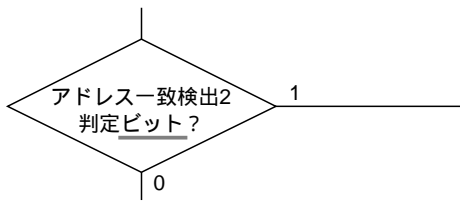
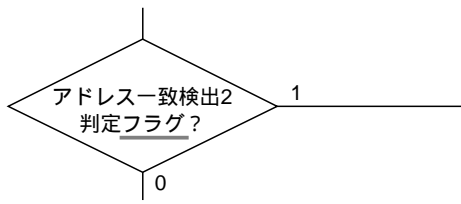
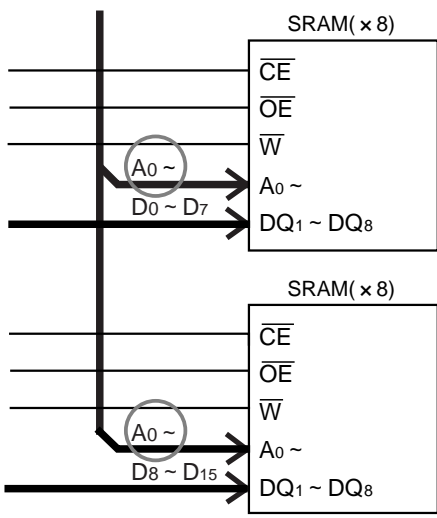
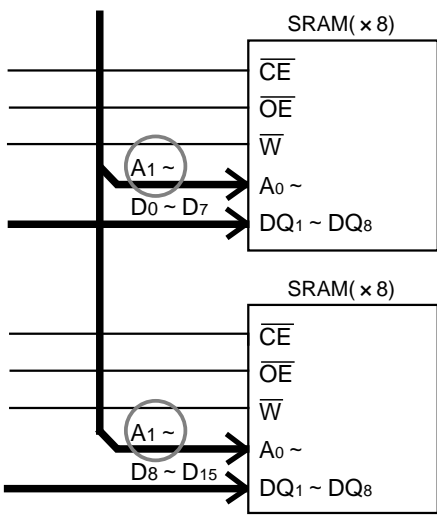
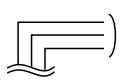
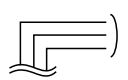
7920グループ ユーザーズマニュアル (印刷番号HU-091A) 正誤表(REV.E) No.15

訂正箇所	誤	正																								
14-8ページ 図14.4.1 14-9ページ 図14.4.2 14-10ページ 図14.4.3 14-11ページ 図14.4.4	注1. 高速ページアクセスOFFで、連続してDRAMをアクセス...挿入されます。 2. <u>上記波形例は、...を参照してください。</u>	注. 連続してDRAMをアクセス...挿入されます。 (各図中の(注1)も(注)に変更)																								
14-12ページ	(省略)	(14-12ページはすべて削除)																								
14-13ページ 表14.4.1	<table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td style="width:50%; text-align: center;">RD、BLW、BHW、CS<sub>0</sub>~CS<sub>3</sub>、HLDA端子</td> <td style="width:50%;"></td> </tr> </table>	RD、BLW、BHW、CS <sub>0</sub> ~CS <sub>3</sub> 、HLDA端子		<table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td style="width:50%; text-align: center;">RD、BLW、BHW、CS<sub>0</sub>~CS<sub>3</sub>端子</td> <td style="width:50%;"></td> </tr> </table>	RD、BLW、BHW、CS <sub>0</sub> ~CS <sub>3</sub> 端子																					
RD、BLW、BHW、CS <sub>0</sub> ~CS <sub>3</sub> 、HLDA端子																										
RD、BLW、BHW、CS <sub>0</sub> ~CS <sub>3</sub> 端子																										
14-15ページ 【DRAMC使用上の注意】 最終行の後	・行アドレスと列アドレスのビット幅が同じ	・行アドレスと列アドレスのビット幅が同じ  <div style="border: 1px solid black; padding: 5px;">                         4. DRAMC使用時は、ホールド機能を使用しないでください (HOLD入力, HLDA出力選択ビット(5F<sub>16</sub>番地のビット4)を“0”にしてください)。                     </div>																								
15-4ページ 図15.1.4 21-29ページ 下(64 <sub>16</sub> 番地)	注. リセット後、... “79 <sub>16</sub> 、50 <sub>16</sub> ” を連続して書き込んでください。 リセット後、このレジスタを...できません。	注. リセット後、... “79 <sub>16</sub> 、50 <sub>16</sub> ” を連続して書き込んでください。  <div style="border: 1px solid black; padding: 5px;">                         “79<sub>16</sub>” の書き込みと、次の “50<sub>16</sub>” の書き込みの間で割り込みが発生すると、監視タイマが停止しませんので、注意してください。                          リセット後、このレジスタを...できません。                     </div>																								
15-7ページ 【監視タイマ使用上の注意】	2. STP命令を実行すると監視タイマは停止します。監視タイマをプログラムの暴走検知に使用するシステムでは、STP命令無効選択ビット(62 <sub>16</sub> 番地のビット0)=1(STP命令無効)にしてください(「16.3 ストップモード」参照)。	2. STP命令を実行すると監視タイマは停止します。プログラムが暴走し、偶然STP命令のコード(31 <sub>16</sub> 、30 <sub>16</sub> )を実行してしまうと、監視タイマが停止しますので、監視タイマをプログラムの暴走検知に使用するシステムでは、STP命令無効選択ビット(62 <sub>16</sub> 番地のビット0)=1(STP命令無効)にすることをお奨めします(「16.3 ストップモード」参照)。																								
16-2ページ 表16.1.1	<table border="1" style="width:100%; border-collapse: collapse;"> <thead> <tr> <th rowspan="2">項目</th> <th rowspan="2">ストップモード</th> <th colspan="2">ウエイトモード</th> </tr> <tr> <th>内部クロック動作</th> <th>内部クロック停止</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">端子 ALE</td> <td style="text-align: center;">1</td> <td style="text-align: center;">“L”レベルを出力(注3)</td> <td style="text-align: center;">“L”レベルを出力(注3)</td> </tr> </tbody> </table>	項目	ストップモード	ウエイトモード		内部クロック動作	内部クロック停止	端子 ALE	1	“L”レベルを出力(注3)	“L”レベルを出力(注3)	<table border="1" style="width:100%; border-collapse: collapse;"> <thead> <tr> <th rowspan="2">項目</th> <th rowspan="2">ストップモード</th> <th colspan="2">ウエイトモード</th> </tr> <tr> <th>内部クロック動作</th> <th>内部クロック停止</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">端子 ALE</td> <td style="text-align: center;">1</td> <td style="text-align: center;">“L”レベルを出力(注3)</td> <td style="text-align: center;">“L”レベルを出力(注3)</td> </tr> <tr> <td style="text-align: center;">端子 1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">“L”レベルを出力(注3)</td> <td style="text-align: center;">クロックを出力(注3) “L”レベルを出力(注3)</td> </tr> </tbody> </table>	項目	ストップモード	ウエイトモード		内部クロック動作	内部クロック停止	端子 ALE	1	“L”レベルを出力(注3)	“L”レベルを出力(注3)	端子 1	1	“L”レベルを出力(注3)	クロックを出力(注3) “L”レベルを出力(注3)
項目	ストップモード			ウエイトモード																						
		内部クロック動作	内部クロック停止																							
端子 ALE	1	“L”レベルを出力(注3)	“L”レベルを出力(注3)																							
項目	ストップモード	ウエイトモード																								
		内部クロック動作	内部クロック停止																							
端子 ALE	1	“L”レベルを出力(注3)	“L”レベルを出力(注3)																							
端子 1	1	“L”レベルを出力(注3)	クロックを出力(注3) “L”レベルを出力(注3)																							
16-4ページ 図16.2.2 17-3ページ 図17.1.1 21-29ページ 上(62 <sub>16</sub> 番地)	注. ...の状態は変化しません)。	注...の状態は変化しません)。  <div style="border: 1px solid black; padding: 5px;">                         また、このレジスタへの書き込みにはMOVMB命令、STAB命令、又はm=1でMOVm命令、STA命令を使用してください。                          “55<sub>16</sub>” の書き込みと、次の “0” 又は “1” の書き込みの間で割り込みが発生すると、“0” 又は “1” の書き込みが無効になる場合があります。このようなタイミングで割り込みが発生する可能性のある場合は、“0” 又は “1” を書き込んだ後、このビットの内容を読み出して、正しく書き込まれたかどうかを確認してください。                     </div>																								

7920グループ ユーザーズマニュアル(印刷番号HU-091A) 正誤表(REV.E) No.16

訂正箇所	誤	正																																																												
16-4ページ 図16.2.3 17-3ページ 図17.1.2	ビット0、1に書き込む  特殊機能選択レジスタ0【62 <sub>16</sub> 番地】	ビット0、1に書き込む  特殊機能選択レジスタ0【62 <sub>16</sub> 番地】																																																												
16-6ページ 下から2行目	に受け付けられます。受け付ける必要のない割り込みについては、...	に受け付けられます。(ただし、 <u>INT<sub>1</sub>割り込みのレベルセンス使用時、割り込み要求は保持されないため、監視タイマの最上位ビットが“0”になった時点で、INT<sub>1</sub>端子が無効レベルになっていると受け付けられません</u> )。受け付ける必要のない割り込みについては、...																																																												
17-7ページ 表17.3.1	<table border="1" data-bbox="343 627 869 828"> <thead> <tr> <th>項目</th> <th>内部クロック動作</th> <th>内部クロック停止</th> </tr> </thead> <tbody> <tr> <td>端子 ALE 1</td> <td>“L”レベルを出力(注2)</td> <td></td> </tr> </tbody> </table>	項目	内部クロック動作	内部クロック停止	端子 ALE 1	“L”レベルを出力(注2)		<table border="1" data-bbox="917 627 1444 828"> <thead> <tr> <th>項目</th> <th>内部クロック動作</th> <th>内部クロック停止</th> </tr> </thead> <tbody> <tr> <td>端子 ALE 1</td> <td>“L”レベルを出力(注2)</td> <td>クロック 1を出力 “L”レベルを出力(注2)</td> </tr> </tbody> </table>	項目	内部クロック動作	内部クロック停止	端子 ALE 1	“L”レベルを出力(注2)	クロック 1を出力 “L”レベルを出力(注2)																																																
項目	内部クロック動作	内部クロック停止																																																												
端子 ALE 1	“L”レベルを出力(注2)																																																													
項目	内部クロック動作	内部クロック停止																																																												
端子 ALE 1	“L”レベルを出力(注2)	クロック 1を出力 “L”レベルを出力(注2)																																																												
18-3ページ 図18.2.2 21-30ページ 上(66 <sub>16</sub> 番地)	デバッグ制御レジスタ0【66 <sub>16</sub> 番地】 <table border="1" data-bbox="343 907 853 1176"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>リセット時</th> </tr> </thead> <tbody> <tr><td>0</td><td>検出条件選択ビット</td><td>(注)</td></tr> <tr><td>1</td><td></td><td>(注)</td></tr> <tr><td>2</td><td></td><td>(注)</td></tr> <tr><td>3</td><td></td><td>(注)</td></tr> <tr><td>4</td><td></td><td>(注)</td></tr> <tr><td>5</td><td></td><td>(注)</td></tr> <tr><td>6</td><td></td><td>(注)</td></tr> <tr><td>7</td><td></td><td>1</td></tr> </tbody> </table> <p>注. パワーオンリセット時は...</p>	ビット	ビット名	リセット時	0	検出条件選択ビット	(注)	1		(注)	2		(注)	3		(注)	4		(注)	5		(注)	6		(注)	7		1	デバッグ制御レジスタ0【66 <sub>16</sub> 番地】 <table border="1" data-bbox="917 907 1428 1176"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>リセット時</th> </tr> </thead> <tbody> <tr><td>0</td><td>検出条件選択ビット(注1)</td><td>(注2)</td></tr> <tr><td>1</td><td></td><td>(注2)</td></tr> <tr><td>2</td><td></td><td>(注2)</td></tr> <tr><td>3</td><td></td><td>(注2)</td></tr> <tr><td>4</td><td></td><td>(注2)</td></tr> <tr><td>5</td><td></td><td>(注2)</td></tr> <tr><td>6</td><td></td><td>(注2)</td></tr> <tr><td>7</td><td></td><td>1</td></tr> </tbody> </table> <div style="border: 1px solid black; padding: 5px; margin-top: 10px;">                     注1. 検出許可ビット(ビット5)が“1”のとき有効になります。したがって、このビットは、検出許可ビットを“1”にする前、又は同時に設定してください。                      2. パワーオンリセット時は...                 </div>	ビット	ビット名	リセット時	0	検出条件選択ビット(注1)	(注2)	1		(注2)	2		(注2)	3		(注2)	4		(注2)	5		(注2)	6		(注2)	7		1						
ビット	ビット名	リセット時																																																												
0	検出条件選択ビット	(注)																																																												
1		(注)																																																												
2		(注)																																																												
3		(注)																																																												
4		(注)																																																												
5		(注)																																																												
6		(注)																																																												
7		1																																																												
ビット	ビット名	リセット時																																																												
0	検出条件選択ビット(注1)	(注2)																																																												
1		(注2)																																																												
2		(注2)																																																												
3		(注2)																																																												
4		(注2)																																																												
5		(注2)																																																												
6		(注2)																																																												
7		1																																																												
18-4ページ 図18.2.3 21-30ページ 中(67 <sub>16</sub> 番地)	デバッグ制御レジスタ1【67 <sub>16</sub> 番地】  <table border="1" data-bbox="343 1489 869 1736"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>機能</th> <th>リセット時</th> <th>R/W</th> </tr> </thead> <tbody> <tr><td>0</td><td>“0”に固定してください</td><td></td><td>0</td><td>RW</td></tr> <tr><td>1</td><td>読み出し時の値は“0”</td><td></td><td>0</td><td>RO</td></tr> <tr><td>2</td><td>アドレス比較レジスタアクセス許可ビット(注)</td><td></td><td>0</td><td>RW</td></tr> <tr><td>3</td><td>“1”に固定してください</td><td></td><td>0</td><td>RW</td></tr> <tr><td>4</td><td>“0”に固定してください</td><td></td><td>0</td><td>RW</td></tr> </tbody> </table> <p>注. アドレス比較レジスタ...してください。</p>	ビット	ビット名	機能	リセット時	R/W	0	“0”に固定してください		0	RW	1	読み出し時の値は“0”		0	RO	2	アドレス比較レジスタアクセス許可ビット(注)		0	RW	3	“1”に固定してください		0	RW	4	“0”に固定してください		0	RW	デバッグ制御レジスタ1【67 <sub>16</sub> 番地】  <table border="1" data-bbox="917 1489 1444 1736"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>機能</th> <th>リセット時</th> <th>R/W</th> </tr> </thead> <tbody> <tr><td>0</td><td>“0”に固定してください</td><td></td><td>(注1)</td><td>RW</td></tr> <tr><td>1</td><td>読み出し時の値は“0”</td><td></td><td>(注1)</td><td>RO</td></tr> <tr><td>2</td><td>アドレス比較レジスタアクセス許可ビット(注2)</td><td></td><td>0</td><td>RW</td></tr> <tr><td>3</td><td>デバッグ機能を使用するときは、“1”に固定してください</td><td></td><td>0</td><td>RW</td></tr> <tr><td>4</td><td>何も配置されていない</td><td></td><td>不定</td><td>-</td></tr> </tbody> </table> <div style="border: 1px solid black; padding: 5px; margin-top: 10px;">                     注1. パワーオンリセット時は“0”になります。ハードウェアリセット時、及びソフトウェアリセット時はリセット直前の値を保持します。                      2. アドレス比較レジスタ...してください。                 </div>	ビット	ビット名	機能	リセット時	R/W	0	“0”に固定してください		(注1)	RW	1	読み出し時の値は“0”		(注1)	RO	2	アドレス比較レジスタアクセス許可ビット(注2)		0	RW	3	デバッグ機能を使用するときは、“1”に固定してください		0	RW	4	何も配置されていない		不定	-
ビット	ビット名	機能	リセット時	R/W																																																										
0	“0”に固定してください		0	RW																																																										
1	読み出し時の値は“0”		0	RO																																																										
2	アドレス比較レジスタアクセス許可ビット(注)		0	RW																																																										
3	“1”に固定してください		0	RW																																																										
4	“0”に固定してください		0	RW																																																										
ビット	ビット名	機能	リセット時	R/W																																																										
0	“0”に固定してください		(注1)	RW																																																										
1	読み出し時の値は“0”		(注1)	RO																																																										
2	アドレス比較レジスタアクセス許可ビット(注2)		0	RW																																																										
3	デバッグ機能を使用するときは、“1”に固定してください		0	RW																																																										
4	何も配置されていない		不定	-																																																										

7920グループ ユーザーズマニュアル (印刷番号HU-091A) 正誤表(REV.E) No.17

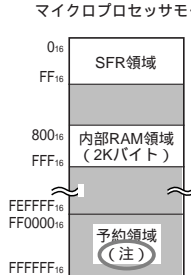
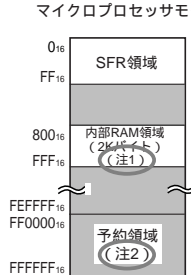
訂正箇所	誤	正
18-8ページ 図18.3.2 18-9ページ 図18.3.3		 <div data-bbox="901 459 1460 593" style="border: 1px solid black; padding: 5px;"> <p>注3. この命令は、アブソリュートロングアドレッシングモードで実行してください。                      なお、上記の記述は一例です。プログラミングの際は、ご使用になるアセンブラの記述形式を参照してください。</p> </div>
18-9ページ 図18.3.3		
19-6ページ 図19.1.4		
19-10ページ 図19.1.6	転送クロックの周波数 = $\frac{f_2}{5+1} = 1.66\text{MHz}$	転送クロックの周波数 = $\frac{f_2}{2(2+1)} = 1.66\text{MHz}$
19-12ページ 図19.2.1	 未使用*又は、ユーザシステム回路へ <div data-bbox="327 1601 869 1713" style="border: 1px solid black; padding: 5px;"> <p>* : 未使用端子は、入力モードに設定しプルダウン、または、出力モードに設定し開放してください。</p> </div>	 未使用、又はユーザシステム回路へ (* : 削除)

訂正箇所	誤	正																																																																																				
20-4ページ 図20.1.1 21-166ページ 図13	<p>シングルチップモード    メモリ拡張モード    マイクロプロセッサモード</p> <p>注. この領域はアクセスしないでください。</p>	<p>シングルチップモード    メモリ拡張モード    マイクロプロセッサモード</p> <p>注1. 内部RAM領域の最後が外部領域の場合、内部RAM領域の最後の8バイトにはプログラムを配置しないでください。                  注2. 内部ROM領域の最後の8バイトにはプログラムを配置しないでください。                  注3. この領域はアクセスしないでください。</p>																																																																																				
20-5ページ 図20.1.2 21-167ページ 図14	<p>シングルチップモード    メモリ拡張モード    マイクロプロセッサモード</p> <p>注. この領域はアクセスしないでください。</p>	<p>シングルチップモード    メモリ拡張モード    マイクロプロセッサモード</p> <p>注1. 内部RAM領域の最後が未使用領域、又は外部領域の場合、内部RAM領域の最後の8バイトにはプログラムを配置しないでください。                  注2. 内部ROM領域の最後の8バイトにはプログラムを配置しないでください。                  注3. この領域はアクセスしないでください。</p>																																																																																				
20-6ページ 図20.1.3	<p>ユーザーROM領域</p> <table border="1"> <thead> <tr> <th>ワードアドレス</th> <th>バイトアドレス</th> <th>容量</th> </tr> </thead> <tbody> <tr><td>1000<sub>16</sub></td><td>2000<sub>16</sub></td><td>8Kバイト</td></tr> <tr><td>1FFF<sub>16</sub></td><td>3FFF<sub>16</sub></td><td>8Kバイト</td></tr> <tr><td>2000<sub>16</sub></td><td>4000<sub>16</sub></td><td>8Kバイト</td></tr> <tr><td>2FFF<sub>16</sub></td><td>5FFF<sub>16</sub></td><td>8Kバイト</td></tr> <tr><td>3000<sub>16</sub></td><td>6000<sub>16</sub></td><td>8Kバイト</td></tr> <tr><td>3FFF<sub>16</sub></td><td>7FFF<sub>16</sub></td><td>8Kバイト</td></tr> <tr><td>4000<sub>16</sub></td><td>8000<sub>16</sub></td><td>32Kバイト (注)</td></tr> <tr><td>7FFF<sub>16</sub></td><td>FFFF<sub>16</sub></td><td>64Kバイト</td></tr> <tr><td>8000<sub>16</sub></td><td>10000<sub>16</sub></td><td>64Kバイト</td></tr> <tr><td>FFFF<sub>16</sub></td><td>1FFFF<sub>16</sub></td><td>64Kバイト</td></tr> <tr><td>10000<sub>16</sub></td><td>20000<sub>16</sub></td><td>64Kバイト</td></tr> <tr><td>17FFF<sub>16</sub></td><td>2FFFF<sub>16</sub></td><td>64Kバイト</td></tr> <tr><td>18000<sub>16</sub></td><td>30000<sub>16</sub></td><td>64Kバイト</td></tr> </tbody> </table> <p>注. FF<sub>16</sub>B0<sub>16</sub> ~ FF<sub>16</sub>B<sub>16</sub>F番地(バイトアドレス)は...</p>	ワードアドレス	バイトアドレス	容量	1000 <sub>16</sub>	2000 <sub>16</sub>	8Kバイト	1FFF <sub>16</sub>	3FFF <sub>16</sub>	8Kバイト	2000 <sub>16</sub>	4000 <sub>16</sub>	8Kバイト	2FFF <sub>16</sub>	5FFF <sub>16</sub>	8Kバイト	3000 <sub>16</sub>	6000 <sub>16</sub>	8Kバイト	3FFF <sub>16</sub>	7FFF <sub>16</sub>	8Kバイト	4000 <sub>16</sub>	8000 <sub>16</sub>	32Kバイト (注)	7FFF <sub>16</sub>	FFFF <sub>16</sub>	64Kバイト	8000 <sub>16</sub>	10000 <sub>16</sub>	64Kバイト	FFFF <sub>16</sub>	1FFFF <sub>16</sub>	64Kバイト	10000 <sub>16</sub>	20000 <sub>16</sub>	64Kバイト	17FFF <sub>16</sub>	2FFFF <sub>16</sub>	64Kバイト	18000 <sub>16</sub>	30000 <sub>16</sub>	64Kバイト	<p>ユーザーROM領域</p> <table border="1"> <thead> <tr> <th>ワードアドレス</th> <th>バイトアドレス</th> <th>容量</th> </tr> </thead> <tbody> <tr><td>1000<sub>16</sub></td><td>2000<sub>16</sub></td><td>8Kバイト</td></tr> <tr><td>1FFF<sub>16</sub></td><td>3FFF<sub>16</sub></td><td>8Kバイト</td></tr> <tr><td>2000<sub>16</sub></td><td>4000<sub>16</sub></td><td>8Kバイト</td></tr> <tr><td>2FFF<sub>16</sub></td><td>5FFF<sub>16</sub></td><td>8Kバイト</td></tr> <tr><td>3000<sub>16</sub></td><td>6000<sub>16</sub></td><td>8Kバイト</td></tr> <tr><td>3FFF<sub>16</sub></td><td>7FFF<sub>16</sub></td><td>8Kバイト</td></tr> <tr><td>4000<sub>16</sub></td><td>8000<sub>16</sub></td><td>32Kバイト (注1)</td></tr> <tr><td>7FFF<sub>16</sub></td><td>FFFF<sub>16</sub></td><td>64Kバイト</td></tr> <tr><td>8000<sub>16</sub></td><td>10000<sub>16</sub></td><td>64Kバイト (注2)</td></tr> <tr><td>FFFF<sub>16</sub></td><td>1FFFF<sub>16</sub></td><td>64Kバイト</td></tr> <tr><td>10000<sub>16</sub></td><td>20000<sub>16</sub></td><td>64Kバイト</td></tr> <tr><td>17FFF<sub>16</sub></td><td>2FFFF<sub>16</sub></td><td>64Kバイト</td></tr> <tr><td>18000<sub>16</sub></td><td>30000<sub>16</sub></td><td>64Kバイト</td></tr> </tbody> </table> <p>注1. FF<sub>16</sub>B0<sub>16</sub> ~ FF<sub>16</sub>B<sub>16</sub>F番地(バイトアドレス)は...                  注2. ユーザーROM領域の最後の8バイトにはプログラムを配置しないでください。</p>	ワードアドレス	バイトアドレス	容量	1000 <sub>16</sub>	2000 <sub>16</sub>	8Kバイト	1FFF <sub>16</sub>	3FFF <sub>16</sub>	8Kバイト	2000 <sub>16</sub>	4000 <sub>16</sub>	8Kバイト	2FFF <sub>16</sub>	5FFF <sub>16</sub>	8Kバイト	3000 <sub>16</sub>	6000 <sub>16</sub>	8Kバイト	3FFF <sub>16</sub>	7FFF <sub>16</sub>	8Kバイト	4000 <sub>16</sub>	8000 <sub>16</sub>	32Kバイト (注1)	7FFF <sub>16</sub>	FFFF <sub>16</sub>	64Kバイト	8000 <sub>16</sub>	10000 <sub>16</sub>	64Kバイト (注2)	FFFF <sub>16</sub>	1FFFF <sub>16</sub>	64Kバイト	10000 <sub>16</sub>	20000 <sub>16</sub>	64Kバイト	17FFF <sub>16</sub>	2FFFF <sub>16</sub>	64Kバイト	18000 <sub>16</sub>	30000 <sub>16</sub>	64Kバイト
ワードアドレス	バイトアドレス	容量																																																																																				
1000 <sub>16</sub>	2000 <sub>16</sub>	8Kバイト																																																																																				
1FFF <sub>16</sub>	3FFF <sub>16</sub>	8Kバイト																																																																																				
2000 <sub>16</sub>	4000 <sub>16</sub>	8Kバイト																																																																																				
2FFF <sub>16</sub>	5FFF <sub>16</sub>	8Kバイト																																																																																				
3000 <sub>16</sub>	6000 <sub>16</sub>	8Kバイト																																																																																				
3FFF <sub>16</sub>	7FFF <sub>16</sub>	8Kバイト																																																																																				
4000 <sub>16</sub>	8000 <sub>16</sub>	32Kバイト (注)																																																																																				
7FFF <sub>16</sub>	FFFF <sub>16</sub>	64Kバイト																																																																																				
8000 <sub>16</sub>	10000 <sub>16</sub>	64Kバイト																																																																																				
FFFF <sub>16</sub>	1FFFF <sub>16</sub>	64Kバイト																																																																																				
10000 <sub>16</sub>	20000 <sub>16</sub>	64Kバイト																																																																																				
17FFF <sub>16</sub>	2FFFF <sub>16</sub>	64Kバイト																																																																																				
18000 <sub>16</sub>	30000 <sub>16</sub>	64Kバイト																																																																																				
ワードアドレス	バイトアドレス	容量																																																																																				
1000 <sub>16</sub>	2000 <sub>16</sub>	8Kバイト																																																																																				
1FFF <sub>16</sub>	3FFF <sub>16</sub>	8Kバイト																																																																																				
2000 <sub>16</sub>	4000 <sub>16</sub>	8Kバイト																																																																																				
2FFF <sub>16</sub>	5FFF <sub>16</sub>	8Kバイト																																																																																				
3000 <sub>16</sub>	6000 <sub>16</sub>	8Kバイト																																																																																				
3FFF <sub>16</sub>	7FFF <sub>16</sub>	8Kバイト																																																																																				
4000 <sub>16</sub>	8000 <sub>16</sub>	32Kバイト (注1)																																																																																				
7FFF <sub>16</sub>	FFFF <sub>16</sub>	64Kバイト																																																																																				
8000 <sub>16</sub>	10000 <sub>16</sub>	64Kバイト (注2)																																																																																				
FFFF <sub>16</sub>	1FFFF <sub>16</sub>	64Kバイト																																																																																				
10000 <sub>16</sub>	20000 <sub>16</sub>	64Kバイト																																																																																				
17FFF <sub>16</sub>	2FFFF <sub>16</sub>	64Kバイト																																																																																				
18000 <sub>16</sub>	30000 <sub>16</sub>	64Kバイト																																																																																				

7920グループ ユーザーズマニュアル (印刷番号HU-091A) 正誤表(REV.E) No.19

訂正箇所	誤	正																																
20-9ページ 図20.2.1 21-36ページ	<p>フラッシュメモリ制御レジスタ【9E<sub>16</sub>番地】</p> <table border="1" data-bbox="331 293 874 517"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>機能</th> <th>R/W</th> </tr> </thead> <tbody> <tr> <td>3</td> <td>フラッシュメモリリセットビット</td> <td>このビット“1”、“0”を...リセットされる読み出し時の値は“0”</td> <td>WO (注4、5)</td> </tr> <tr> <td>4</td> <td></td> <td></td> <td></td> </tr> <tr> <td>5</td> <td>(注6)</td> <td></td> <td></td> </tr> </tbody> </table> <p>注5. “1”を書き込んだ後、...                      6. MD1=Vssレベル時、...</p>	ビット	ビット名	機能	R/W	3	フラッシュメモリリセットビット	このビット“1”、“0”を...リセットされる読み出し時の値は“0”	WO (注4、5)	4				5	(注6)			<p>フラッシュメモリ制御レジスタ【9E<sub>16</sub>番地】</p> <table border="1" data-bbox="906 293 1449 517"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>機能</th> <th>R/W</th> </tr> </thead> <tbody> <tr> <td>3</td> <td>フラッシュメモリリセットビット</td> <td>このビットに“1”、“0”を...リセットされる (注5)</td> <td>RW (注6)</td> </tr> <tr> <td>4</td> <td></td> <td></td> <td></td> </tr> <tr> <td>5</td> <td>(注7)</td> <td></td> <td></td> </tr> </tbody> </table> <p>注5. CPU書き換えモード選択ビット(ビット1)が“1”のとき有効です。                      CPU書き換えモード選択ビットが“0”のときは“0”に固定してください。                      このビットのデータ操作は、CPU書き換えモード選択ビットが“1”の状態で行ってください。                      6. “1”を書き込んだ後、...                      7. MD1=Vssレベル時、...</p>	ビット	ビット名	機能	R/W	3	フラッシュメモリリセットビット	このビットに“1”、“0”を...リセットされる (注5)	RW (注6)	4				5	(注7)		
ビット	ビット名	機能	R/W																															
3	フラッシュメモリリセットビット	このビット“1”、“0”を...リセットされる読み出し時の値は“0”	WO (注4、5)																															
4																																		
5	(注6)																																	
ビット	ビット名	機能	R/W																															
3	フラッシュメモリリセットビット	このビットに“1”、“0”を...リセットされる (注5)	RW (注6)																															
4																																		
5	(注7)																																	
20-9ページ (1)4行目	ロックビットプログラムのコマンド実行中に変化します。 <u>それ</u> 以外のコマンドでは変化しません。	ロックビットプログラムのコマンド実行中に変化します。 <u>これらのコマンド実行後は、このフラグで自動書き込み及び自動消去の終了を確認してください。</u> 上記以外のコマンドではこのフラグは変化しません。																																
20-10ページ 最終行	...内容にかかわらずユーザーRAM領域を...	...内容にかかわらずユーザーROM領域を...																																
20-11ページ (4) 最終行の後	時は“1”になります。	時は“1”になります。 なお、WSMステータスの内容は、RY/B $\bar{Y}$ ステータスフラグ(9E <sub>16</sub> 番地のビット0)で読み出せます。自動書き込み及び自動消去の終了は、RY/B $\bar{Y}$ ステータスフラグで確認することを推奨します。																																
20-13ページ (1) 最終行の続き	リードアレイモードは、他のコマンドが書き込まれるまで保持されます。	リードアレイモードは、他のコマンドが書き込まれるまで保持されますので、複数の番地のデータを続けて読み出せます。																																
20-14ページ (4)10行目 20-15ページ (5)5行目 20-15ページ (6)5行目	...を開始します。自動...	...を開始します。自動書き込み中(自動消去中)は、 <u>フラッシュメモリをアクセスしたり、次のコマンドを実行したりしないでください。</u> 自動...																																
20-14ページ (4)10行目 20-15ページ (5)6行目 20-15ページ (6)6行目 20-16ページ (7)5行目	...WSMステータス(ステータスレジスタのSR.7)、 <u>又はRY/B<math>\bar{Y}</math>ステータスフラグ(9E<sub>16</sub>番地のビット0)で確認できます。</u> なお、...保持されます。	...WSMステータス(ステータスレジスタのSR.7)でも確認できますが、 <u>RY/B<math>\bar{Y}</math>ステータスフラグ(9E<sub>16</sub>番地のビット0)で確認することを推奨します</u> (【CPU書き換えモード使用上の注意】5参照)。  (なお、...保持されます。の部分は削除)																																
20-16ページ (7)5行目	書き込まれます。書き込みの...	書き込まれます。 <u>書き込み中は、フラッシュメモリをアクセスしたり、次のコマンドを実行したりしないでください。</u> 書き込みの...																																

7920グループ ユーザーズマニュアル(印刷番号HU-091A) 正誤表(REV.E) No.20

訂正箇所	正	
20-20ページ 【CPU書き換え モード使用上の 注意】 4の後	5. ページプログラム、ブロックイレーズ、イレーズ全アンロックブロック、及びロックビットプログラムの自動書き込み及び自動消去の終了の確認は、次の点に注意してください。 自動書き込み及び自動消去の終了の確認は、RY / BYステータスフラグ(9E <sub>16</sub> 番地のビット0)を使用することを推奨します。 WSMステータス(ステータスレジスタのSR.7)使用時の注意は次のとおりです。 ページプログラム、ブロックイレーズ、イレーズ全アンロックブロック、及びロックビットプログラムの各コマンドを実行すると、自動書き込み及び自動消去の開始と同時に、リードステータスレジスタモードになり、次のコマンドを実行するまでこの状態が保持されます。 WSMステータスで自動書き込み及び自動消去の終了を確認する場合は、この状態でステータスレジスタを読み出してください。この時、リードステータスレジスタコマンドは実行しないでください。リードステータスレジスタコマンドを実行すると、自動書き込み及び自動消去が終了していなかった場合、書き込み及び消去の結果が保証されません。 自動書き込み及び自動消去の終了後も、リードステータスレジスタモードは保持されていますので、そのままステータスレジスタを読み出して、エラーをチェックすることもできます。 また、この時は、リードステータスレジスタコマンドを実行しても正常に動作します。	
訂正箇所	誤	正
21-68ページ BSR【動作】	PC PC+REL (-1024 ~ +1023)	PC PC+2+REL (-1024 ~ +1023)
21-107ページ 付録7. 5 (2) 2行目	出力モード時は、...ポートPiレジスタの再設定を行う。 一定周期でポートPi方向レジスタの再設定を行う。	出力モード時は、...ポートPiレジスタの再設定(注)を行う。 一定周期でポートPi方向レジスタの再設定(注)を行う。 注. 再設定には、MOV(MOVMB)命令、又はSTA(STAB, STAD)命令を使用してください。
21-168ページ 図15	 <p>注. この領域はアクセスしないでください。</p>	 <p>注1. 内部RAM領域の最後の8バイトにはプログラムを配置しないでください。                      2. この領域はアクセスしないでください。</p>
最終ページ	<p><b>付録13. M37920S4CGPの注意</b></p> <p>M37920S4CGP は、以下の制限事項がありますので、ご注意ください。</p> <p>アブソリュートロング・インデクストX・アドレッシングモード</p> <p>アブソリュートロング・インデクスト X・アドレッシングモード使用時、その命令のコードの最後の番地が、バンクの最後に配置されないようにしてください。バンクの最後になる場合はNOPなどでずらしてください。</p>	