

技術通知 78K0R/Kx3 マイクロコントローラ	発行番号	ZBG-CC-09-0009号	1/2	
	発行日	2009年4月23日		
	発行元	NEC エレクトロニクス株式会社 マイクロコンピュータ事業本部 汎用マイコンシステム事業部 製品ソリューショングループ		
文書分類	<input type="radio"/> 使用制限事項	<input type="radio"/> バージョン・アップ	<input type="radio"/> ドキュメント誤記訂正	<input type="radio"/> その他
関連資料	78K0R/KE3 ユーザーズ・マニュアル 78K0R/KF3 ユーザーズ・マニュアル 78K0R/KG3 ユーザーズ・マニュアル 78K0R/KH3 ユーザーズ・マニュアル 78K0R/KJ3 ユーザーズ・マニュアル		資料番号：U17854JJ8V0UD00 (第8版) 資料番号：U17893JJ7V0UD00 (第7版) 資料番号：U17894JJ8V0UD00 (第8版) 資料番号：U18432JJ4V0UD00 (第4版) 資料番号：U18417JJ3V0UD00 (第3版)	

1. 対象製品

78K0R/Kx3 マイクロコントローラ全製品：

78K0R/KE3：μPD78F1142, μPD78F1143, μPD78F1144, μPD78F1145, μPD78F1146

μPD78F1142A, μPD78F1143A, μPD78F1144A, μPD78F1145A, μPD78F1146A

78K0R/KF3：μPD78F1152, μPD78F1153, μPD78F1154, μPD78F1155, μPD78F1156

μPD78F1152A, μPD78F1153A, μPD78F1154A, μPD78F1155A, μPD78F1156A

78K0R/KG3：μPD78F1162, μPD78F1163, μPD78F1164, μPD78F1165, μPD78F1166, μPD78F1167, μPD78F1168

μPD78F1162A, μPD78F1163A, μPD78F1164A, μPD78F1165A, μPD78F1166A, μPD78F1167A, μPD78F1168A

78K0R/KH3：μPD78F1174, μPD78F1175, μPD78F1176, μPD78F1177, μPD78F1178

μPD78F1174A, μPD78F1175A, μPD78F1176A, μPD78F1177A, μPD78F1178A

78K0R/KJ3：μPD78F1184A, μPD78F1185A, μPD78F1186A, μPD78F1187A, μPD78F1188A

2. 通知内容

78K0R/Kx3 マイクロコントローラについて、ユーザーズ・マニュアルの誤記訂正と制限事項の追加がございます。

【誤記訂正及び制限事項の概要】

◆3線シリアルI/O通信 電気的特性の誤記訂正

誤記訂正事項：

ユーザーズ・マニュアルの3線シリアルI/O通信 電気的特性(AC特性)の以下の項目に誤記訂正がございます。詳細は別紙5をご参照ください。

- ・ シリアル・アレイ・ユニット(CSIモード) マスタ・モード 同電位通信時
- ・ シリアル・アレイ・ユニット(CSIモード) スレーブ・モード 同電位通信時
- ・ シリアル・アレイ・ユニット(CSIモード) マスタ・モード 異電位通信時
- ・ シリアル・アレイ・ユニット(CSIモード) スレーブ・モード 異電位通信時

改善計画：

ユーザーズ・マニュアルの次回改版時(2009年5月の予定)に修正いたします。

◆DMAコントローラの応答時間の誤記訂正

誤記訂正事項：

ユーザーズ・マニュアル DMAコントローラの章 注意事項のDMA応答時間において誤記訂正がございます。詳細は別紙6をご参照ください。

改善計画：

ユーザーズ・マニュアルの次回改版時(2009年5月の予定)に修正いたします。

DMA コントローラの終了に関する制限事項

制限事項内容：

DMA のチャンネル 0 の転送トリガ、チャンネル 1 の転送トリガ、どちらかのチャンネルの転送終了(ソフトウェアによる強制終了、転送回数完了による自動終了)が競合した場合、終了しなかったチャンネルの DMA 転送が 2 回続けて発生する場合があります。詳細は別紙10をご参照ください。

改善計画：

DMA を強制終了する場合は、両チャンネルともに DWAITn ビットをセットして DMA 転送を保留にしておいてから DSTn0 ビットをクリアしてください。その後、DWAITn ビットをクリアし、保留解除後、DENn ビットをクリアする事で回避可能です。また、自動終了の場合は項目 4 (誤記訂正)の内容に従うことにより回避可能です。本件は制限事項とさせていただきます。

DMA コントローラの DWAITn ビットによる DMA 転送の保留に関する制限事項

制限事項内容：

DMA のチャンネル 0、チャンネル 1 を同時に使用している場合、片方の DMA を保留にした後(DMC n の DWAITn ビットをセット)、その保留中に保留したチャンネルの転送トリガが発生し、それ以降に保留していないチャンネルの転送トリガが発生すると、保留したチャンネルの DMA 転送が実行される場合があります。詳細は別紙 11 をご参照ください。

改善計画：

DMA のチャンネル 0、チャンネル 1 の両チャンネルを共に使用している時に DMA を保留する場合は、両チャンネル共に DWAITn ビットをセットして DMA 転送を保留してください。本件は制限事項とさせていただきます。

備考 n=0,1

本製品について、上記の誤記訂正と制限事項を含め過去にご報告致しました誤記訂正事項一覧(別紙1)と使用制限事項一覧(別紙2)に示します。

3. 発行文書履歴

78K0R/Kx3 技術通知 発行文書履歴

文書番号	発行日	記事
ZBG-CC-07-0021	2007 年 10 月 1 日	初版発行
ZBG-CC-08-0009	2008 年 6 月 19 日	f _{ih} =8MHz, HALT モード時の電源電流 (I _{DD2}) の MAX 値の誤記訂正を追加。
ZBG-CC-09-0009	2009 年 4 月 23 日	<ul style="list-style-type: none"> ・ 3 線シリアル I / O 通信 電気的特性の誤記訂正を追加 ・ DMA コントローラの応答時間の誤記訂正を追加 ・ DMA コントローラの終了に関する制限事項を追加 ・ DMA コントローラの DWAITn ビットによる DMA 転送の保留に関する制限事項を追加 (本通知です。)

78K0R / Kx3 マイクロコントローラユーザーズ・マニュアル誤記訂正事項一覧

1) 誤記訂正事項履歴

項目	内容 版数	78K0R/KE3			78K0R/KF3			78K0R/KG3		
		第6版以前	第7版と第8版	第9版	第5版以前	第6版と第7版	第8版	第6版以前	第7版と第8版	第9版
1	リアルタイム・カウンタの RTCC1 レジスタへの書き込み	×			×			×		
2	$f_{Hr}=8\text{MHz}$ HALT モード時の電源電流 (I_{DD2}) の MAX 値 誤: 0.6 mA (MAX) 正: 1.2 mA (MAX)	×			×			×		
3	3線シリアル I/O 通信の電気的特性	×	×		×	×		×	×	
4	DMA コントローラの応答時間	×	×		×	×		×	×	

項目	内容 版数	78K0R/KH3			78K0R/KJ3		
		第2版以前	第3版と第4版	第5版	第1版	第2版と第3版	第4版
1	リアルタイム・カウンタの RTCC1 レジスタへの書き込み	×			×		
2	$f_{Hr}=8\text{MHz}$ HALT モード時の電源電流 (I_{DD2}) の MAX 値 誤: 0.6 mA (MAX) 正: 1.2 mA (MAX)	×			×		
3	3線シリアル I/O 通信の電気的特性	×	×		×	×	
4	DMA コントローラの応答時間	×	×		×	×	

備考) 各記号はそれぞれ以下の意味を示します。

- × : 誤記対象
- : 誤記訂正

2) 誤記訂正事項の詳細

- 項目 1 : 詳細は別紙 3 をご参照ください。
- 項目 2 : 詳細は別紙 4 をご参照ください。
- 項目 3 : 詳細は別紙 5 をご参照ください。
- 項目 4 : 詳細は別紙 6 をご参照ください。

78K0R / Kx3マイクロコントローラ使用制限事項一覧

1) 使用制限事項履歴

項目	内容		
		KE3 : μ PD78F1142 / F1143 / F1144 / F1145 / F1146 KF3 : μ PD78F1152 / F1153 / F1154 / F1155 / F1156 KG3 : μ PD78F1162 / F1163 / F1164 / F1165 / F1166 / F1167 / F1168 KH3 : μ PD78F1174 / F1175 / F1176 / F1177 / F1178	KE3 : μ PD78F1142A / F1143A / F1144A / F1145A / F1146A KF3 : μ PD78F1152A / F1153A / F1154A / F1155A / F1156A KG3 : μ PD78F1162A / F1163A / F1164A / F1165A / F1166A / F1167A / F1168A KH3 : μ PD78F1174A / F1175A / F1176A / F1177A / F1178A KJ3 : μ PD78F1184A / F1185A / F1186A / F1187A / F1188A
1	クロック出力 / ブザー出力制御回路出力停止時の出力レベルに関する制限	×	
2	リアルタイム・カウンタ (RTC)		
2-1	定周期割り込みとアラーム割り込みの同時使用に関する制限	×	
2-2	カウンタ動作停止後の年 / 月 / 曜日 / 日 / 時 / 分 / 秒カウント・レジスタに関する制限	×	
3	DMA コントローラ		
3-1	DMA コントローラの終了に関する制限事項	×	×
3-2	DMA コントローラの DMAITn ビットによる DMA 転送の保留に関する制限事項	×	×

備考) 各記号はそれぞれ以下の意味を示します。

- × : 制限事項対象
- : 制限事項対象外

2) 使用制限事項の詳細

- 項目 1 : 詳細は別紙 7 をご参照ください。
- 項目 2 - 1 : 詳細は別紙 8 をご参照ください。
- 項目 2 - 2 : 詳細は別紙 9 をご参照ください。
- 項目 3 - 1 : 詳細は別紙 10 をご参照ください。
- 項目 3 - 2 : 詳細は別紙 11 をご参照ください。

項目 1 (誤記訂正) : リアルタイム・カウンタの RTCC1 レジスタへの書き込み

ユーザズ・マニュアルのリアルタイム・カウンタの章にリアルタイム・カウンタ・コントロール・レジスタ 1 (RTCC1) レジスタの注意事項に誤記訂正がございます。

誤記内容

RTCC1 レジスタについての注意事項で、WAFG フラグもしくは RIFG フラグへの書き込みは 1 ビット操作命令を使用せずに 8 ビット操作命令で行うよう記載していましたが、WAFG フラグおよび RIFG フラグだけでなく、本レジスタの他のビットに対しても、書き込みを行う場合は 8 ビット操作命令で行ってください。

誤) 注意 WAFG フラグに 1 ビット操作命令で書き込みを行うと、RIFG フラグがクリアされることがあります。そのため、WAFG フラグに書き込みを行う場合は、8 ビット操作命令で行ってください。そのとき、RIFG フラグには、必ず書き込みが無効となる“1”を設定してください。また、RIFG フラグに書き込みを行う場合も同様に 8 ビット操作命令で書き込みを行い、WAFG フラグには“1”を設定してください。

正) 注意 RTCC1 レジスタに 1 ビット操作命令で書き込みを行うと、RIFG フラグ、WAFG フラグがクリアされることがあります。そのため、RTCC1 レジスタへの書き込みは 8 ビット操作命令で設定してください。書き込み時に、RIFG フラグ、WAFG フラグをクリアしないようにするためには該当ビットは書き込みが無効となる“1”を設定してください。なお、RIFG フラグ、WAFG フラグを使用せず値が書き換わっても問題ない場合は、RTCC1 レジスタに 1 ビット操作命令で書き込みを行っても問題ございません。

ドキュメント改善計画

本誤記訂正内容につきましては、ユーザズ・マニュアルに修正済みです。

- 以上 -

項目2 (誤記訂正) : $f_{IH}=8\text{MHz}$, HALT モード時の電源電流 (I_{DD2}) の MAX 値

誤記内容

電気的特性の章に $f_{IH}=8\text{MHz}$, HALT モード時の電源電流 (I_{DD2}) の MAX 値に誤記訂正がございます。

(下記の各端子と周辺機能は78K0R/KG3の例です。他の製品の場合は各ユーザズ・マニュアルをご参照ください。)

誤)

($T_A=-40\sim+85$, 1.8V $V_{DD}=EV_{DD0}=EV_{DD1}$ 5.5V, 1.8V AV_{REF0} V_{DD} , 1.8V AV_{REF1} V_{DD} , $V_{SS}=EV_{SS0}=EV_{SS1}=AV_{SS}=0\text{V}$)

項目	略号	条件		TYP.	MAX.	単位	
電源電流	I_{DD2} ^{注1}	HALT モード	$f_{IH}=8\text{MHz}$ ^{注2}	$V_{DD}=5.0\text{V}$	0.45	0.6	mA
				$V_{DD}=3.0\text{V}$	0.45	0.6	mA

正)

($T_A=-40\sim+85$, 1.8V $V_{DD}=EV_{DD0}=EV_{DD1}$ 5.5V, 1.8V AV_{REF0} V_{DD} , 1.8V AV_{REF1} V_{DD} , $V_{SS}=EV_{SS0}=EV_{SS1}=AV_{SS}=0\text{V}$)

項目	略号	条件		TYP.	MAX.	単位	
電源電流	I_{DD2} ^{注1}	HALT モード	$f_{IH}=8\text{MHz}$ ^{注2}	$V_{DD}=5.0\text{V}$	0.45	1.2	mA
				$V_{DD}=3.0\text{V}$	0.45	1.2	mA

注1 V_{DD} , EV_{DD0} , EV_{DD1} , AV_{REF0} , AV_{REF1} に流れるトータル電流です。入力端子を V_{DD} または V_{SS} に固定した状態での入力リーク電流を含みます。また MAX. 値には周辺動作電流を含みます。ただし、A/D コンバータ, D/A コンバータ, LVI 回路, I/O ポート, 内蔵プルアップ/プルダウン抵抗に流れる電流は含みません。フラッシュ・メモリでの HALT 命令実行時。

注2 高速システム・クロック, サブシステム・クロックは停止時。

ドキュメント改善計画

本誤記訂正内容につきましては、ユーザズ・マニュアルに修正済みです。

項目3 (誤記訂正) : 3線シリアルI/O通信の電気的特性

ユーザズ・マニュアルの3線シリアルI/O通信 電気的特性 (AC特性) の以下の項目に誤記訂正がございます。下記の各端子と周辺機能は78KOR/KG3の例です。他の製品の場合は各ユーザズ・マニュアルをご参照ください。

誤記内容

シリアル・アレイ・ユニット (CSIモード) マスタ・モード 同電位通信時

誤)

(3) シリアル・インタフェース : シリアル・アレイ・ユニット (2/17)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD0} = EV_{DD1} = 5.5$ V, $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0$ V)

(b) 同電位通信時 (CSIモード) (マスタ・モード, \overline{SCKp} ...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
\overline{SCKp} サイクル・タイム	t_{KCY1}	4.0 V $V_{DD} = 5.5$ V	200			ns
		2.7 V $V_{DD} < 4.0$ V	400			ns
		1.8 V $V_{DD} < 2.7$ V	800			ns
\overline{SCKp} ハイ, ロウ・レベル幅	t_{KH1} , t_{KL1}	4.0 V $V_{DD} = 5.5$ V	$t_{KH1}/2 - 20$			ns
		2.7 V $V_{DD} < 4.0$ V	$t_{KH1}/2 - 35$			ns
		1.8 V $V_{DD} < 2.7$ V	$t_{KH1}/2 - 80$			ns
Slpセットアップ時間 (対 \overline{SCKp})	t_{SIK1}	4.0 V $V_{DD} = 5.5$ V	70			ns
		2.7 V $V_{DD} < 4.0$ V	100			ns
		1.8 V $V_{DD} < 2.7$ V	190			ns
Slpホールド時間 (対 \overline{SCKp})	t_{KSI1}		30			ns
\overline{SCKp} S0p出力遅延時間	t_{KS01}	C = 50 pF ^注			40	ns

注 Cは, \overline{SCKp} , S0p出力ラインの負荷容量です。

正)

(3) シリアル・インタフェース : シリアル・アレイ・ユニット (2/17)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD0} = EV_{DD1} = 5.5$ V, $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0$ V)

(b) 同電位通信時 (CSIモード) (マスタ・モード, \overline{SCKp} ...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
\overline{SCKp} サイクル・タイム	t_{KCY1}	4.0 V $V_{DD} = 5.5$ V	200 ^{注1}			ns
		2.7 V $V_{DD} < 4.0$ V	300 ^{注1}			ns
		1.8 V $V_{DD} < 2.7$ V	600 ^{注1}			ns
\overline{SCKp} ハイ, ロウ・レベル幅	t_{KH1} , t_{KL1}	4.0 V $V_{DD} = 5.5$ V	$t_{KH1}/2 - 20$			ns
		2.7 V $V_{DD} < 4.0$ V	$t_{KH1}/2 - 35$			ns
		1.8 V $V_{DD} < 2.7$ V	$t_{KH1}/2 - 80$			ns
Slpセットアップ時間 (対 \overline{SCKp})	t_{SIK1}	4.0 V $V_{DD} = 5.5$ V	70			ns
		2.7 V $V_{DD} < 4.0$ V	100			ns
		1.8 V $V_{DD} < 2.7$ V	190			ns
Slpホールド時間 (対 \overline{SCKp})	t_{KSI1}		30			ns
\overline{SCKp} S0p出力遅延時間	t_{KS01}	C = 30 pF ^{注2}			40	ns

注1 $\frac{1}{4} f_{CLK}$ 以上に設定してください。

2 Cは, \overline{SCKp} , S0p出力ラインの負荷容量です。

シリアル・アレイ・ユニット (CSI モード) スレープ・モード 同電位通信時

誤)

(3) シリアル・インタフェース : シリアル・アレイ・ユニット (3/17)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD0} = EV_{DD1}$ 5.5 V , $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0\text{ V}$)

(c) 同電位通信時 (CSIモード) (スレープ・モード, \overline{SCKp} ...外部クロック入力)

項目	略号	条件		MIN.	TYP.	MAX.	単位
\overline{SCKp} サイクル・タイム	t_{K12}	$16\text{MHz} < f_{ICK}$		$8/f_{ICK}$			ns
		$f_{ICK} \leq 16\text{ MHz}$		$6/f_{ICK}$			ns
\overline{SCKp} ハイ, ロウ・レベル幅	t_{KH2} , t_{KL2}			$t_{K12}/2$			ns
Slpセットアップ時間 ($\overline{\text{対SCKp}}$)	t_{SIK2}			$1/f_{ICK} + 80$			ns
Slpホールド時間 ($\overline{\text{対SCKp}}$)	t_{SIL2}			50			ns
\overline{SCKp} S0p出力遅延時間	t_{KS2}	C = 50 pF ^注	$4.0\text{ V} < V_{DD} < 5.5\text{ V}$			$1/f_{ICK} + 120$	ns
			$2.7\text{ V} < V_{DD} < 4.0\text{ V}$			$1/f_{ICK} + 120$	ns
			$1.8\text{ V} < V_{DD} < 2.7\text{ V}$			$1/f_{ICK} + 180$	ns

注 Cは, S0p出力ラインの負荷容量です。

正)

(3) シリアル・インタフェース : シリアル・アレイ・ユニット (3/17)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD0} = EV_{DD1}$ 5.5 V , $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0\text{ V}$)

(c) 同電位通信時 (CSIモード) (スレープ・モード, \overline{SCKp} ...外部クロック入力)

項目	略号	条件		MIN.	TYP.	MAX.	単位
\overline{SCKp} サイクル・タイム	t_{K12}	$4.0\text{ V} < V_{DD} < 5.5\text{ V}$		$6/f_{ICK}$			ns
		$2.7\text{ V} < V_{DD} < 4.0\text{ V}$	$16\text{ MHz} < f_{ICK}$	$8/f_{ICK}$			ns
			$f_{ICK} \leq 16\text{ MHz}$	$6/f_{ICK}$			ns
		$1.8\text{ V} < V_{DD} < 2.7\text{ V}$	$16\text{ MHz} < f_{ICK}$	$8/f_{ICK}$			ns
$f_{ICK} \leq 16\text{ MHz}$	$6/f_{ICK}$				ns		
\overline{SCKp} ハイ, ロウ・レベル幅	t_{KH2} , t_{KL2}			$t_{K12}/2$			ns
Slpセットアップ時間 ($\overline{\text{対SCKp}}$)	t_{SIK2}			80			ns
Slpホールド時間 ($\overline{\text{対SCKp}}$)	t_{SIL2}			$1/f_{ICK} + 50$			ns
\overline{SCKp} S0p出力遅延時間	t_{KS2}	C = 30 pF ^注	$4.0\text{ V} < V_{DD} < 5.5\text{ V}$			$2/f_{ICK} + 45$	ns
			$2.7\text{ V} < V_{DD} < 4.0\text{ V}$			$2/f_{ICK} + 57$	ns
			$1.8\text{ V} < V_{DD} < 2.7\text{ V}$			$2/f_{ICK} + 125$	ns

注 Cは, S0p出力ラインの負荷容量です。

シリアル・アレイ・ユニット (CSI モード) マスタ・モード 異電位通信時

誤)

(3) シリアル・インタフェース: シリアル・アレイ・ユニット (10/17)

(TA = -40 ~ +85 , 2.7 V VDD = EVDD0 = EVDD1 5.5 V, VSS = EVSS0 = EVSS1 = AVSS = 0 V)

(f) 異電位 (2.5 V系, 3 V系) 通信時 (CSIモード) (マスタ・モード, SCKp...内部クロック出力) (1/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKpサイクル・タイム	t _{KCY1}	4.0 V VDD 5.5 V, 2.7 V Vb 4.0 V, Cb = 50 pF, Rb = 1.4 k	500			ns
		2.7 V VDD < 4.0 V, 2.3 V Vb 2.7 V, Cb = 50 pF, Rb = 2.7 k	1000			ns
SCKpハイ・レベル幅	t _{KH1}	4.0 V VDD 5.5 V, 2.7 V Vb 4.0 V, Cb = 50 pF, Rb = 1.4 k	t _{KCY1} /2 - 120			ns
		2.7 V VDD < 4.0 V, 2.3 V Vb 2.7 V, Cb = 50 pF, Rb = 2.7 k	t _{KCY1} /2 - 275			ns
SCKpロウ・レベル幅	t _{KL1}	4.0 V VDD 5.5 V, 2.7 V Vb 4.0 V, Cb = 50 pF, Rb = 1.4 k	t _{KCY1} /2 - 20			ns
		2.7 V VDD < 4.0 V, 2.3 V Vb 2.7 V, Cb = 50 pF, Rb = 2.7 k	t _{KCY1} /2 - 35			ns
SIpセットアップ時間 (対SCKp) 注	t _{SIK1}	4.0 V VDD 5.5 V, 2.7 V Vb 4.0 V, Cb = 50 pF, Rb = 1.4 k	195			ns
		2.7 V VDD < 4.0 V, 2.3 V Vb 2.7 V, Cb = 50 pF, Rb = 2.7 k	380			ns
SIpホールド時間 (対SCKp) 注	t _{SIH1}	4.0 V VDD 5.5 V, 2.7 V Vb 4.0 V, Cb = 50 pF, Rb = 1.4 k	30			ns
		2.7 V VDD < 4.0 V, 2.3 V Vb 2.7 V, Cb = 50 pF, Rb = 2.7 k	30			ns
SCKp Sop力遅延時間注	t _{KS01}	4.0 V VDD 5.5 V, 2.7 V Vb 4.0 V, Cb = 50 pF, Rb = 1.4 k			165	ns
		2.7 V VDD < 4.0 V, 2.3 V Vb 2.7 V, Cb = 50 pF, Rb = 2.7 k			320	ns

注 DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。

備考. Cb [F]: 通信ライン (SOp, SCKp) 負荷容量値, m: ユニット番号 (m = 0, 1), n: チャネル番号 (n = 0-2)

誤)

(3) シリアル・インタフェース : シリアル・アレイ・ユニット (11/17)

(TA = -40 ~ +85 , 2.7 V VDD = EVDD0 = EVDD1 5.5 V, VSS = EVSS0 = EVSS1 = AVSS = 0 V)

(f) 異電位 (2.5 V系, 3 V系) 通信時 (CSIモード) (マスタ・モード, $\overline{\text{SCKp}}$...内部クロック出力) (2/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SIpセットアップ時間 (対 $\overline{\text{SCKp}}$)注	tSIK1	4.0 V VDD 5.5 V, 2.7 V Vb 4.0 V, Cb = 50 pF, Rb = 1.4 k	70			ns
		2.7 V VDD < 4.0 V, 2.3 V Vb 2.7 V, Cb = 50 pF, Rb = 2.7 k	100			ns
SIpホールド時間 (対 $\overline{\text{SCKp}}$)注	tKSI1	4.0 V VDD 5.5 V, 2.7 V Vb 4.0 V, Cb = 50 pF, Rb = 1.4 k	30			ns
		2.7 V VDD < 4.0 V, 2.3 V Vb 2.7 V, Cb = 50 pF, Rb = 2.7 k	30			ns
$\overline{\text{SCKp}}$ S0p出力遅延時間注	tKSO1	4.0 V VDD 5.5 V, 2.7 V Vb 4.0 V, Cb = 50 pF, Rb = 1.4 k			40	ns
		2.7 V VDD < 4.0 V, 2.3 V Vb 2.7 V, Cb = 50 pF, Rb = 2.7 k			40	ns

注 DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき。

備考. Cb [F] : 通信ライン (S0p, $\overline{\text{SCKp}}$) 負荷容量値, m : ユニット番号 (m = 0,1), n : チャネル番号 (n = 0-2)

正)

(3) シリアル・インタフェース：シリアル・アレイ・ユニット (10/17)

(TA = -40 ~ +85 , 2.7 V VDD = EVDD0 = EVDD1 5.5 V, VSS = EVSS0 = EVSS1 = AVSS = 0 V)

(f) 異電位 (2.5 V系, 3 V系) 通信時 (CSIモード) (マスタ・モード, $\overline{\text{SCKp}}$...内部クロック出力) (1/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{\text{SCKp}}$ サイクル・タイム	t _{KCY1}	4.0 V VDD 5.5 V, 2.7 V Vb 4.0 V, Cb = 30 pF, Rb = 1.4 k	400 ^{注1}			ns
		2.7 V VDD < 4.0 V, 2.3 V Vb 2.7 V, Cb = 30 pF, Rb = 2.7 k	800 ^{注1}			ns
$\overline{\text{SCKp}}$ ハイ・レベル幅	t _{KH1}	4.0 V VDD 5.5 V, 2.7 V Vb 4.0 V, Cb = 30 pF, Rb = 1.4 k	t _{KCY1} /2 - 75			ns
		2.7 V VDD < 4.0 V, 2.3 V Vb 2.7 V, Cb = 30 pF, Rb = 2.7 k	t _{KCY1} /2 - 170			ns
$\overline{\text{SCKp}}$ ロウ・レベル幅	t _{KL1}	4.0 V VDD 5.5 V, 2.7 V Vb 4.0 V, Cb = 30 pF, Rb = 1.4 k	t _{KCY1} /2 - 20			ns
		2.7 V VDD < 4.0 V, 2.3 V Vb 2.7 V, Cb = 30 pF, Rb = 2.7 k	t _{KCY1} /2 - 35			ns
SIpセットアップ時間 (対 $\overline{\text{SCKp}}$) ^{注2}	t _{SIK1}	4.0 V VDD 5.5 V, 2.7 V Vb 4.0 V, Cb = 30 pF, Rb = 1.4 k	150			ns
		2.7 V VDD < 4.0 V, 2.3 V Vb 2.7 V, Cb = 30 pF, Rb = 2.7 k	275			ns
SIpホールド時間 (対 $\overline{\text{SCKp}}$) ^{注2}	t _{KH1}	4.0 V VDD 5.5 V, 2.7 V Vb 4.0 V, Cb = 30 pF, Rb = 1.4 k	30			ns
		2.7 V VDD < 4.0 V, 2.3 V Vb 2.7 V, Cb = 30 pF, Rb = 2.7 k	30			ns
$\overline{\text{SCKp}}$ SOp出力遅延時間 ^{注2}	t _{KSO1}	4.0 V VDD 5.5 V, 2.7 V Vb 4.0 V, Cb = 30 pF, Rb = 1.4 k			120	ns
		2.7 V VDD < 4.0 V, 2.3 V Vb 2.7 V, Cb = 30 pF, Rb = 2.7 k			215	ns

注1. $\frac{1}{f_{CLK}}$ 以上を設定してください。

2. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。

備考. Cb [F] : 通信ライン (SOpm, $\overline{\text{SCKp}}$) 負荷容量値, m : ユニット番号 (m = 0, 1), n : チャネル番号 (n = 0-2)

正)

(3) シリアル・インタフェース：シリアル・アレイ・ユニット (11/17)

(TA = -40 ~ +85 , 2.7 V VDD = EVDD0 = EVDD1 5.5 V, VSS = EVSS0 = EVSS1 = AVSS = 0 V)

(f) 異電位 (2.5 V系, 3 V系) 通信時 (CSIモード) (マスタ・モード, \overline{SCKp} ...内部クロック出力) (2/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
Slpセットアップ時間 (対 \overline{SCKp})注	t _{Slk1}	4.0 V VDD 5.5 V, 2.7 V Vb 4.0 V, Cb = 30 pF, Rb = 1.4 k	70			ns
		2.7 V VDD < 4.0 V, 2.3 V Vb 2.7 V, Cb = 30 pF, Rb = 2.7 k	100			ns
Slpホールド時間 (対 \overline{SCKp})注	t _{Slh1}	4.0 V VDD 5.5 V, 2.7 V Vb 4.0 V, Cb = 30 pF, Rb = 1.4 k	30			ns
		2.7 V VDD < 4.0 V, 2.3 V Vb 2.7 V, Cb = 30 pF, Rb = 2.7 k	30			ns
\overline{SCKp} S0p出力遅延時間注	t _{SlS01}	4.0 V VDD 5.5 V, 2.7 V Vb 4.0 V, Cb = 30 pF, Rb = 1.4 k			40	ns
		2.7 V VDD < 4.0 V, 2.3 V Vb 2.7 V, Cb = 30 pF, Rb = 2.7 k			40	ns

注 DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき。

備考. Cb [F] : 通信ライン (S0p, \overline{SCKp}) 負荷容量値, m : ユニット番号 (m = 0,1), n : チャネル番号 (n = 0-2)

シリアル・アレイ・ユニット (CSI モード) スレープ・モード 異電位通信時

誤)

(3) シリアル・インタフェース : シリアル・アレイ・ユニット (13/17)

 $(T_A = -40 \sim +85, 2.7 \text{ V } V_{DD} = EV_{DD0} = EV_{DD1} \quad 5.5 \text{ V}, V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0 \text{ V})$ (g) 異電位 (2.5 V系, 3 V系) 通信時 (CSIモード) (スレープ・モード, \overline{SCKp} ..外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
\overline{SCKp} サイクル・タイム	t_{CK2}	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V	16.6 MHz < f_{CK}	12/ f_{CK}		ns
			12.5 MHz < f_{CK} 16.6 MHz	10/ f_{CK}		ns
			8.3 MHz < f_{CK} 12.5 MHz	8/ f_{CK}		ns
			f_{CK} 8.3 MHz	6/ f_{CK}		ns
	2.7 V V_{DD} < 4.0 V, 2.3 V V_b 2.7 V	17.5 MHz < f_{CK}	18/ f_{CK}		ns	
		15 MHz < f_{CK} 17.5 MHz	16/ f_{CK}		ns	
		12.5 MHz < f_{CK} 15 MHz	14/ f_{CK}		ns	
		10 MHz < f_{CK} 12.5 MHz	12/ f_{CK}		ns	
		7.5 MHz < f_{CK} 10 MHz	10/ f_{CK}		ns	
		5 MHz < f_{CK} 7.5 MHz	8/ f_{CK}		ns	
f_{CK} 5 MHz	6/ f_{CK}		ns			
\overline{SCKp} ハイ, ロウ・レベル幅	$t_{H2},$ t_{L2}	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V	$t_{CK2}/2 -$ 20			ns
	2.7 V V_{DD} < 4.0 V, 2.3 V V_b 2.7 V	$t_{CK2}/2 -$ 35			ns	
Slpセットアップ時間 (対 \overline{SCKp})	t_{SIK2}		1/ f_{CK} + 90			ns
Slpホールド時間 (対 \overline{SCKp})	t_{KSI2}		50			ns
\overline{SCKp} S0p出力遅延時間	t_{KS02}	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V, $C_b = 50 \text{ pF}, R_b = 1.4 \text{ k}$			1/ f_{CK} + 245	ns
		2.7 V V_{DD} < 4.0 V, 2.3 V V_b 2.7 V, $C_b = 50 \text{ pF}, R_b = 2.7 \text{ k}$			1/ f_{CK} + 400	ns

備考. C_b [F] : 通信ライン (S0p) 負荷容量値

正)

(3) シリアル・インタフェース：シリアル・アレイ・ユニット (13/17)

(TA = -40 ~ +85 , 2.7 V VDD = EVDD0 = EVDD1 5.5 V, VSS = EVSS0 = EVSS1 = AVSS = 0 V)

(g) 異電位 (2.5 V系, 3 V系) 通信時 (CSIモード) (スレーブ・モード, SCKp...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
SCKpサイクル・タイム	t _{KI2}	4.0 V V _{DD} 5.5 V, f _{CLK} > 13.6 MHz	10/f _{CLK}			ns	
		2.7 V V _b 4.0 V 6.8 MHz < f _{CLK} 13.6 MHz	8/f _{CLK}			ns	
		f _{CLK} 6.8 MHz	6/f _{CLK}			ns	
	2.7 V V _{DD} < 4.0 V, 2.3 V V _b 2.7 V	t _{KI2}	18.5 MHz < f _{CLK}	16/f _{CLK}			ns
			14.8 MHz < f _{CLK} 18.5 MHz	14/f _{CLK}			ns
			11.1 MHz < f _{CLK} 14.8 MHz	12/f _{CLK}			ns
			7.4 MHz < f _{CLK} 11.1 MHz	10/f _{CLK}			ns
			3.7 MHz < f _{CLK} 7.4 MHz	8/f _{CLK}			ns
f _{CLK} 3.7 MHz	6/f _{CLK}			ns			
SCKpハイ, ロウ・レベル幅	t _{KH2} , t _{KL2}	4.0 V V _{DD} 5.5 V, 2.7 V V _b 4.0 V	t _{KI2} /2 - 20			ns	
		2.7 V V _{DD} < 4.0 V, 2.3 V V _b 2.7 V	t _{KI2} /2 - 35			ns	
SIpセットアップ時間 (対SCKp)	t _{SIK2}		90			ns	
SIpホールド時間 (対SCKp)	t _{SI2}		1/f _{CLK} + 50			ns	
SCKp S0p出力遅延時間	t _{KS2}	4.0 V V _{DD} 5.5 V, 2.7 V V _b 4.0 V, C _b = 30 pF, R _b = 1.4 k			2/f _{CLK} + 120	ns	
		2.7 V V _{DD} < 4.0 V, 2.3 V V _b 2.7 V, C _b = 30 pF, R _b = 2.7 k			2/f _{CLK} + 230	ns	

備考. C_b [F]: 通信ライン (S0p) 負荷容量値**ドキュメント改善計画**

誤記訂正内容は、ユーザーズ・マニュアルの次回改版時 (2009年5月の予定) に反映いたします。

- 以上 -

項目4 (誤記訂正) : DMA コントローラの応答時間

ユーザズ・マニュアルのDMA コントローラの注意事項、DMA 応答時間に誤記訂正がございます。下記の周辺機能は78K0R/KG3の例です。他の製品の場合は各ユーザズ・マニュアルをご参照ください。

誤記内容

誤) (2) DMA 応答時間

DMA 転送における応答時間は、次のようになります。

表 DMA 転送における応答時間

	最小時間	最大時間
応答時間	2 クロック ^注	10 クロック ^注

注 DMA 転送の2クロック分は含まれていません。

備考 1クロック : 1/fCLK (fCLK : CPU クロック)

ただし、次の場合はさらにDMA 転送が遅れる場合があります。遅れるクロック数は条件により異なります。

- ・RAM による命令実行の場合
- ・外部メモリによる命令実行の場合
- ・外部メモリへのアクセスにてウエイトを挿入した場合
- ・DMA 保留命令実行の場合

正) (2) DMA 応答時間

DMA 転送における応答時間は、次のようになります。

表 DMA 転送における応答時間

	最小時間	最大時間
応答時間 ^注	3 クロック	10 クロック

注 内部ROM からの命令実行時(外部メモリへのデータ・アクセスなし)の時間です。ただし、次の場合はさらにDMA 転送が遅れる場合があります。遅れるクロック数は条件により異なります。

条件	最大応答時間
内部ROM からの命令実行の場合	外部メモリへのデータ・アクセスがある場合 $8 + (3 \times (\text{外部 WAIT} + \text{ウエイト}))$ クロック
内部RAM からの命令実行の場合	外部メモリへのデータ・アクセスがない場合 16 クロック
	外部メモリへのデータ・アクセスがある場合 $16 + (3 \times (\text{外部 WAIT} + \text{ウエイト}))$ クロック
外部メモリからの命令実行の場合	$16 + (12 \times (\text{外部 WAIT} + \text{ウエイト}))$ クロック

注意1. 応答時間には、DMA 転送の2クロック分は含まれていません。

2. DMA 保留命令実行時は、各条件の最大応答時間にその条件での保留する命令の実行時間を足した時間となります。
3. 最大応答時間+1クロック以内での同一チャネルへの連続する転送トリガは、無視される可能性があるため設定しないでください。

(備考は次のページにあります。)

備考1. ウェイト：外部バス・インタフェースのCLKOUT 端子の選択クロックによるウェイト数

CLKOUT 端子の 選択クロック	ウェイト数
f_{CLK}	3クロック
$f_{\text{CLK}}/2$	5~6クロック
$f_{\text{CLK}}/3$	7~9クロック
$f_{\text{CLK}}/4$	9~12クロック

- 外部WAIT：外部バス・インタフェースの $\overline{\text{WAIT}}$ 端子による外部WAIT数 ($1/f_{\text{CLK}}$ 単位)
- 1クロック： $1/f_{\text{CLK}}$ (f_{CLK} ：CPUクロック)

ドキュメント改善計画

誤記訂正内容は、ユーザズ・マニュアルの次回改版時（2009年5月の予定）に反映させます。

- 以上 -

項目1 (使用制限事項) : クロック出力/ブザー出力制御回路出力停止時の出力レベルに関する制限
制限事項詳細**制限事項の対象となる使用方法**

CKSレジスタによる出力クロックの選択 (CSELn, CCSn2, CCSn1, CCSn0) で源発振 (f_{MAIN} , f_{SUB}) 以外の分周クロックを選択し, クロック出力/ブザー出力を出力禁止 (PCL0En ビットをクリア) とする場合があります。

現象

クロック出力/ブザー出力の出力レベルは, 出力禁止としたとき, 本来であればロウ・レベルで停止するところ, 上記の使用方法においては, 出力禁止としたタイミングでのレベル (ハイ/ロウ) で停止します。

暫定対策 (使用制限)

クロック出力/ブザー出力を出力禁止 (PCL0En ビットをクリア) とした後, CKSレジスタによる出力クロックの選択を源発振 (f_{MAIN} , f_{SUB}) に設定することにより, ロウ・レベル出力になります。但し, 本来出力していた幅と異なるハイ・パルスの出力後にロウ・レベルとなる点はご了承下さい。

恒久対策

上記の対象となる使用方法においてもロウ・レベルで出力が停止するようにデバイスを修正します。修正対象品は, 別紙2の使用制限事項一覧をご参照ください。

備考 n = 0, 1

項目 2 - 1 (使用制限事項) : RTC 定周期割り込みとアラーム割り込みの同時使用に関する制限 制限事項詳細

制限事項の対象となる使用方法

定周期割り込みを使用 (RTCC0 レジスタの(CT2, CT1, CT0) (0, 0, 0)) し, アラーム割り込みも使用 (RTCC1 レジスタの WALE=1, WALIE=1) した上, 定周期割り込みとアラーム割り込みを同時に発生させる場合です。定周期割り込みのみを使用時や, アラーム割り込みのみを使用時は対象外となります。両方の割り込みを使用する場合でも同時に割り込みを発生させない場合は対象外となります。

現象

上記の対象となる使用方法にて, INTRTC 割り込みが発生すると同時に RTCC1 レジスタの RIFG フラグはセットされます。しかし, WAFG フラグがセットされるのは, INTRTC 割り込みからサブシステム・クロックの 1 クロック分 (約 30.52us) 経過後となります。そのため, INTRTC 割り込み処理内で WAFG フラグを読み出しても WAFG フラグがまだセットされていない場合があります。

暫定対策 (使用制限)

上記の対象となる使用方法にて INTRTC 割り込みが発生したとき, 割り込みのステータス RIFG フラグを先に確認してください。RIFG=1 (定周期割り込み発生あり) の場合, INTRTC 割り込み発生からサブシステム・クロックの 1 クロック分 (約 30.52us) 以上経過後に WAFG フラグを確認してください。RIFG=0 (定周期割り込み発生なし) の場合, WAFG フラグの確認にサブシステム・クロックの 1 クロック分 (約 30.52us) を待つ必要はありません。

恒久対策

上記の対象となる使用方法において INTRTC 割り込みが発生するタイミングと同時に WAFG フラグと RIFG フラグをセットするようにデバイスを修正します。修正対象品は, 別紙 2 の使用制限事項一覧をご参照ください。

- 以上 -

**項目 2 - 2 (使用制限事項) : カウンタ動作停止後の年/月/曜日/日/時/分/秒カウント・レジスタに関する制限
制限事項詳細****制限事項の対象となる使用方法**

リアルタイム・カウンタを使用時、サブカウント・レジスタ (RSUBC) のカウント値が 7FFDH^{注1} または 7FFE_H^{注1} のタイミングで、RTC を停止 (RTCC0 レジスタの RTCE ビットをクリア) する場合があります。

現象

上記の対象となる使用方法において、RTCE ビットは“0” となりますが、秒カウント・レジスタ (SEC) が f_{SUB} 周期でカウントアップしてしまい、停止しないことがあります。その場合、分、時、日、曜日、月、年のカウント・レジスタもカウントアップを続けます。

暫定対策 (使用制限)

RTC を停止 (RTCE ビットをクリア) する場合、RTCC1 レジスタの RWAIT ビットをセットし、その後 RWST フラグが“1” になったのを確認してから RTCE ビットをクリアしてください。RTC を再開する場合、RTCE ビットをセットしてから RWAIT ビットをクリアしてください。これにより、RTC を停止 (RTCE ビットをクリア) 時に SEC レジスタが停止せずにカウントアップすることはなく、停止します。

恒久対策

上記の対象となる使用方法においても、秒カウント・レジスタ (SEC) を停止するようにデバイスを修正します。修正対象品は、別紙 2 の使用制限事項一覧をご参照ください。

注 1 時計誤差補正を行う場合、7FFDH、7FFE_H ではなく 7FFDH ± 補正值、7FFE_H ± 補正值になります。

項目3 - 1 (使用制限事項) : DMA コントローラの終了に関する制限

DMA のチャンネル0 の転送トリガ、チャンネル1 の転送トリガ、どちらかのチャンネルの転送終了(ソフトウェアによる強制終了、転送回数完了による自動終了)が競合した場合、終了しなかったチャンネルのDMA 転送が2回続けて発生する場合があります。

制限事項詳細制限事項の対象となる使用方法 (ソフトウェアによる強制終了の場合)

DMA のチャンネル0, チャンネル1 の両チャンネルを共に使用している時に、“チャンネル0 の転送トリガ発生”と“チャンネル1 の転送トリガ発生”と“ソフトウェアによる強制終了 (DRCn レジスタの DSTn ビットのクリア)” の3要因のタイミングが競合する場合があります。この3要因のタイミングが競合した場合のみ対象となり、どれか一つでも競合しない場合は対象外となります。よって、両チャンネルを同時に使用しない場合や、両チャンネルを同時に使用していてもソフトウェアによる強制終了をしない場合は対象外となります。

また、競合時の強制終了しないチャンネルの転送トリガが最終転送分 (DBCn レジスタ値が 0001H 時のトリガ) の場合は、対象外となります。

現象

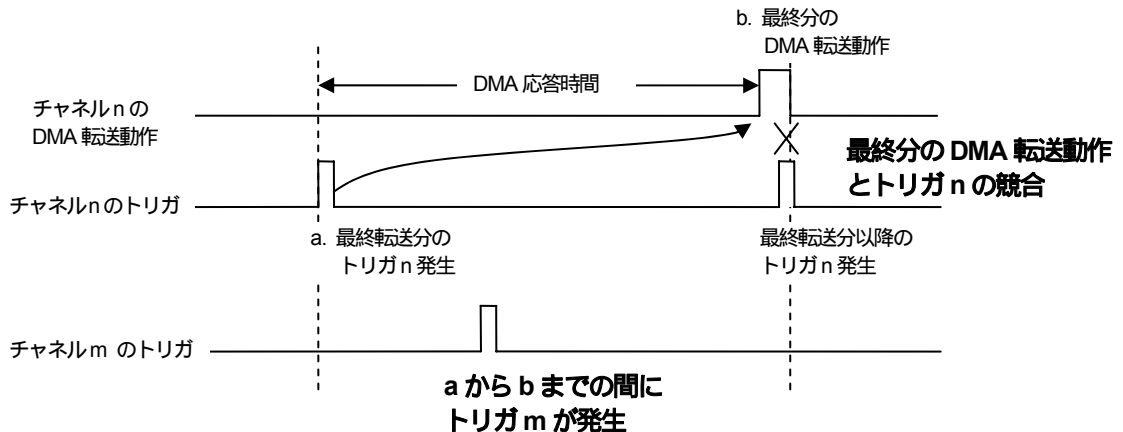
上記3要因が競合後、DSTn ビットのクリアにて強制終了しなかった方のチャンネルのDMA 転送が2回続けて(1回多く)実行されることがあります。その場合、強制終了しなかったチャンネルの DBCn レジスタ値はDMA 転送が実行される毎にデクリメントされて、計2減ります。

制限事項の対象となる使用方法(転送回数完了による自動終了の場合)

DMA のチャンネル0, チャンネル1 の両チャンネルを共に使用している時に、片方のチャンネルn に設定した転送回数完了による自動終了時に、下記2つの条件に共に該当する場合制限事項の対象となります。

最終のDMA 転送分の“チャンネルn の転送トリガ発生”から“そのチャンネルn の最終のDMA 転送動作終了”タイミングまでの間にチャンネルm の転送トリガが発生した場合。

“チャンネルn の最終のDMA 転送のタイミング”と“チャンネルn の転送トリガ発生”が競合する場合。



両チャンネルを同時に使用していても、最終転送分のチャンネルn のトリガ発生以降はチャンネルn のトリガが発生しない場合や、DMA の転送トリガ間隔がDMA 応答時間+2クロック以上の場合、競合が発生しないため対象外となります。また、チャンネルm の転送トリガが最終転送分 (DBCm レジスタ値が 0001H 時のトリガ) の場合は、対象外となります。

現象

上記の要因が発生後、チャンネルm のDMA 転送が2回続けて(1回多く)実行されることがあります。その場合、チャンネルm の DBCm レジスタ値はDMA 転送が実行される毎にデクリメントされて、計2減ります。

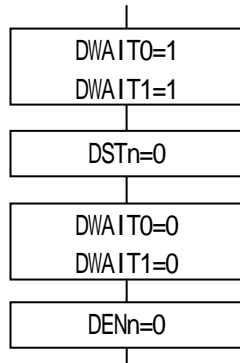
備考 (n,m)=(0,1)or(1,0)

対策（使用制限）

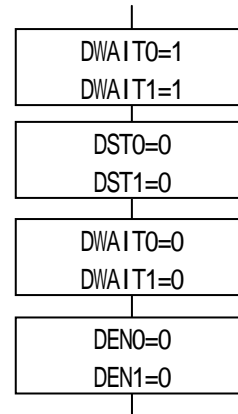
ソフトウェアによる強制終了の場合

DMAを両チャンネル共に使用している時にソフトウェアで強制終了する場合は、両チャンネル共に DWAITn ビットをセットして DMA 転送を保留してから、DSTn0 ビットをクリアしてください。その後、両チャンネル共に DWAITn ビットをクリアし保留を解除してから、DENn ビットをクリアしてください。

・両チャンネルを共に使用時にどちらかのチャンネルを強制終了する手順



・両チャンネルを共に使用時に両チャンネル共に強制終了する手順



備考 n = 0, 1

転送回数完了による自動終了の場合

同一チャンネルへの連続する転送トリガ間隔は、最大応答時間 + 2クロック以上に設定してください。よって、項目4の誤記訂正で追加された下記注意事項に従うことにより、本制限事項にも該当いたしません。

備考 項目4（誤記訂正）で追加された注意事項

注意3 最大応答時間 + 1クロック以内での同一チャンネルへの連続する転送トリガは、無視される可能性があるため設定しないでください。

項目 3 - 2 (使用制限事項) : DMA コントローラの DWAITn ビットによる DMA 転送の保留に関する制限

DMA のチャンネル 0、チャンネル 1 を同時に使用している場合、片方の DMA を保留にした後(DMCn の DWAITn ビットをセット)、その保留中に保留したチャンネルの転送トリガが発生し、それ以降に保留していないチャンネルの転送トリガが発生すると、保留したチャンネルの DMA 転送が実行される場合があります。

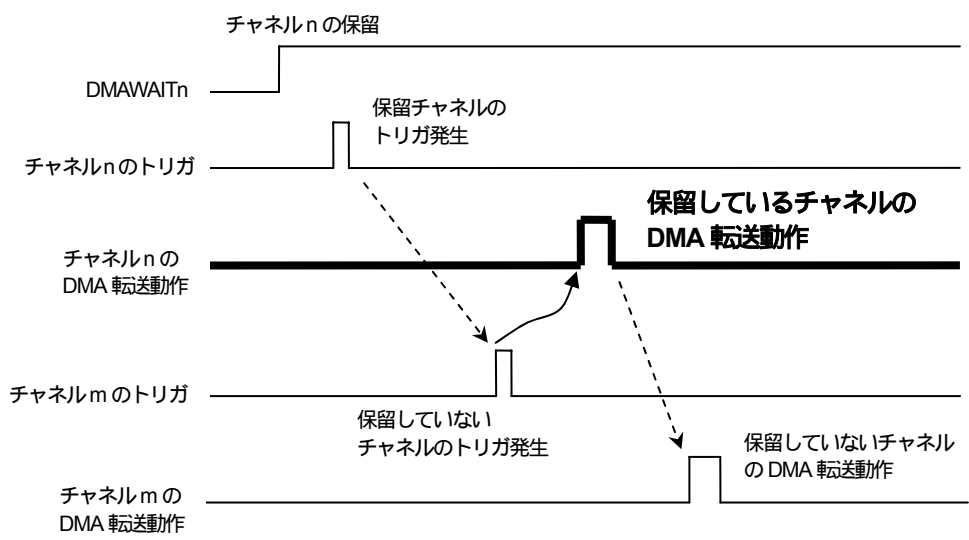
制限事項詳細

制限事項の対象となる使用方法

DMA のチャンネル 0、チャンネル 1 の両チャンネルを共に使用している時に、チャンネル n を DMCn レジスタの DWAITn ビットをセットして保留にした後、その保留中に保留したチャンネル n の転送トリガが発生し、それ以降に保留していないチャンネル m の転送トリガが発生した場合です。チャンネル n の転送トリガとチャンネル m の転送トリガに同一 DMA 起動要因を設定した場合や、同時に発生した場合も対象となります。両チャンネルを共に保留している場合は対象外となります。

現象

上記の対象となる使用方法での保留していないチャンネル m の転送トリガが発生後に、保留しているチャンネル n の DMA 転送が実行されることがあります。その後にチャンネル m の DMA 転送も実行されます。本来であれば、チャンネル m の DMA 転送だけが実行され、チャンネル n の DMA 転送は保留される動作となります。



備考 (n,m)=(0,1)or(1,0)

対策 (使用制限)

DMA のチャンネル 0、チャンネル 1 の両チャンネルを共に使用している時に、DMCn レジスタの DWAITn ビットをセットし保留する場合は、両チャンネル共に DWAITn ビットをセットして DMA 転送を保留してください。

備考 n = 0, 1