



技術通知文書

78K0R/Fx3

16 ビット・シングルチップ・マイクロコントローラ
使用制限事項

78K0R/FB3 シリーズ

78K0R/FC3 シリーズ

78K0R/FE3 シリーズ

78K0R/FF3 シリーズ

78K0R/FG3 シリーズ

Renesas Electronics

www.renesas.com

文書番号 : ZBG – BG – 11 - 0039

発行日 : 2011/12/15

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。

10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
 11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
 12. 本資料に関する詳細についてのお問い合わせその他お気づきの点等がございましたら当社営業窓口までご照会ください。
- 注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。
- 注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

目次

A) 対象製品	5
B) 78K0R/Fx3 使用制限事項一覧	8
No. C1 UARTF LIN オート・ポー・レート・モード	9
No. C2 UARTF LIN オート・チェック・サム機能	10
No. C3 DMA 転送中でのデータフラッシュ・リード・アクセス	11
C) 改版履歴	15

A) 対象製品

対象製品一覧：

78K0R/FB3

従来品

μ PD78F1804MCA, μ PD78F1805MCA, μ PD78F1806MCA, μ PD78F1807MCA,
μ PD78F1804MCA2, μ PD78F1805MCA2, μ PD78F1806MCA2, μ PD78F1807MCA2

拡張規格品

μ PD78F1804AMCA, μ PD78F1805AMCA, μ PD78F1806AMCA, μ PD78F1807AMCA,
μ PD78F1804AMCA2, μ PD78F1805AMCA2, μ PD78F1806AMCA2, μ PD78F1807AMCA2

78K0R/FC3

従来品

μ PD78F1808K8A, μ PD78F1809K8A, μ PD78F1810K8A, μ PD78F1811K8A,
μ PD78F1808K8A2, μ PD78F1809K8A2, μ PD78F1810K8A2, μ PD78F1811K8A2

拡張規格品

μ PD78F1808AK8A, μ PD78F1809AK8A, μ PD78F1810AK8A, μ PD78F1811AK8A,
μ PD78F1808AK8A2, μ PD78F1809AK8A2, μ PD78F1810AK8A2, μ PD78F1811AK8A2

従来品

μ PD78F1812GAA, μ PD78F1813GAA, μ PD78F1814GAA, μ PD78F1815GAA,
μ PD78F1816GAA, μ PD78F1817GAA, μ PD78F1826GAA, μ PD78F1827GAA,
μ PD78F1828GAA, μ PD78F1829GAA, μ PD78F1830GAA,
μ PD78F1812GAA2, μ PD78F1813GAA2, μ PD78F1814GAA2, μ PD78F1815GAA2,
μ PD78F1816GAA2, μ PD78F1817GAA2, μ PD78F1826GAA2, μ PD78F1827GAA2,
μ PD78F1828GAA2, μ PD78F1829GAA2, μ PD78F1830GAA2

拡張規格品

μ PD78F1812AGAA, μ PD78F1813AGAA, μ PD78F1814AGAA, μ PD78F1815AGAA,
μ PD78F1816AGAA, μ PD78F1817AGAA, μ PD78F1826AGAA, μ PD78F1827AGAA,
μ PD78F1828AGAA, μ PD78F1829AGAA, μ PD78F1830AGAA,
μ PD78F1812AGAA2, μ PD78F1813AGAA2, μ PD78F1814AGAA2, μ PD78F1815AGAA2,
μ PD78F1816AGAA2, μ PD78F1817AGAA2, μ PD78F1826AGAA2, μ PD78F1827AGAA2,
μ PD78F1828AGAA2, μ PD 78F1829AGAA2, μ PD78F1830AGAA2

78K0R/FC3**従来品**

μ PD78F1812K8A, μ PD78F1813K8A, μ PD78F1814K8A, μ PD78F1815K8A, μ PD78F1816K8A,
 μ PD78F1817K8A, μ PD78F1826K8A, μ PD78F1827K8A, μ PD78F1828K8A, μ PD78F1829K8A,
 μ PD78F1830K8A
 μ PD78F1812K8A2, μ PD78F1813K8A2, μ PD78F1814K8A2, μ PD78F1815K8A2,
 μ PD78F1816K8A2, μ PD78F1817K8A2, μ PD78F1826K8A2, μ PD78F1827K8A2,
 μ PD78F1828K8A2, μ PD78F1829K8A2, μ PD78F1830K8A2

拡張規格品

μ PD78F1812AK8A, μ PD78F1813AK8A, μ PD78F1814AK8A, μ PD78F1815AK8A,
 μ PD78F1816AK8A, μ PD78F1817AK8A, μ PD78F1826AK8A, μ PD78F1827AK8A,
 μ PD78F1828AK8A, μ PD78F1829AK8A, μ PD78F1830AK8A
 μ PD78F1812AK8A2, μ PD78F1813AK8A2, μ PD78F1814AK8A2, μ PD78F1815AK8A2,
 μ PD78F1816AK8A2, μ PD78F1817AK8A2, μ PD78F1826AK8A2, μ PD78F1827AK8A2,
 μ PD78F1828AK8A2, μ PD78F1829AK8A2, μ PD78F1830AK8A2

78K0R/FE3**従来品**

μ PD78F1818GBA, μ PD78F1819GBA, μ PD78F1820GBA, μ PD78F1821GBA,
 μ PD78F1822GBA, μ PD78F1831GBA, μ PD78F1832GBA, μ PD78F1833GBA,
 μ PD78F1834GBA, μ PD78F1835GBA,
 μ PD78F1818GBA2, μ PD78F1819GBA2, μ PD78F1820GBA2, μ PD78F1821GBA2,
 μ PD78F1822GBA2, μ PD78F1831GBA2, μ PD78F1832GBA2, μ PD78F1833GBA2,
 μ PD78F1834GBA2, μ PD78F1835GBA2

拡張規格品

μ PD78F1818AGBA, μ PD78F1819AGBA, μ PD78F1820AGBA, μ PD78F1821AGBA,
 μ PD78F1822AGBA, μ PD78F1831AGBA, μ PD78F1832AGBA, μ PD78F1833AGBA,
 μ PD78F1834AGBA, μ PD78F1835AGBA,
 μ PD78F1818AGBA2, μ PD78F1819AGBA2, μ PD78F1820AGBA2, μ PD78F1821AGBA2,
 μ PD78F1822AGBA2, μ PD78F1831AGBA2, μ PD78F1832AGBA2, μ PD78F1833AGBA2,
 μ PD78F1834AGBA2, μ PD78F1835AGBA2

78K0R/FF3**従来品**

μ PD78F1823GKA, μ PD78F1824GKA, μ PD78F1825GKA, μ PD78F1836GKA,
 μ PD78F1837GKA, μ PD78F1838GKA, μ PD78F1839GKA, μ PD78F1840GKA,
 μ PD78F1823GKA2, μ PD78F1824GKA2, μ PD78F1825GKA2, μ PD78F1836GKA2,
 μ PD78F1837GKA2, μ PD78F1838GKA2, μ PD78F1839GKA2, μ PD78F1840GKA2

拡張規格品

μ PD78F1823AGKA, μ PD78F1824AGKA, μ PD78F1825AGKA, μ PD78F1836AGKA,
 μ PD78F1837AGKA, μ PD78F1838AGKA, μ PD78F1839AGKA, μ PD78F1840AGKA
 μ PD78F1823AGKA2, μ PD78F1824AGKA2, μ PD78F1825AGKA2, μ PD78F1836AGKA2,
 μ PD78F1837AGKA2, μ PD78F1838AGKA2, μ PD78F1839AGKA2, μ PD78F1840AGKA2

78K0R/FG3

従来品

μ PD78F1841GCA, μ PD78F1842GCA, μ PD78F1843GCA, μ PD78F1844GCA, μ PD78F1845GCA,
 μ PD78F1841GCA2, μ PD78F1842GCA2, μ PD78F1843GCA2, μ PD78F1844GCA2,
 μ PD78F1845GCA2

拡張規格品

μ PD78F1841AGCA, μ PD78F1842AGCA, μ PD78F1843AGCA, μ PD78F1844AGCA,
 μ PD78F1845AGCA, μ PD78F1841AGCA2, μ PD78F1842AGCA2, μ PD78F1843AGCA2,
 μ PD78F1844AGCA2, μ PD78F1845AGCA2

B) 78K0R/Fx3 使用制限事項一覧

表 B-1 使用制限事項まとめ

項目	制限事項内容	78K0R/Fx3	
		従来品	拡張規格品 (A品)
1	UARTF LIN オート・ポー・レート・モード	△	○
2	UARTF LIN オート・チェック・サム機能	△	△
3	DMA 転送中でのデータフラッシュ・リード・アクセス	△	△

- : 制限事項対象外
○ : 制限事項修正済み
△ : 制限事項対象

78K0R/Fx3 動作注意事項の説明

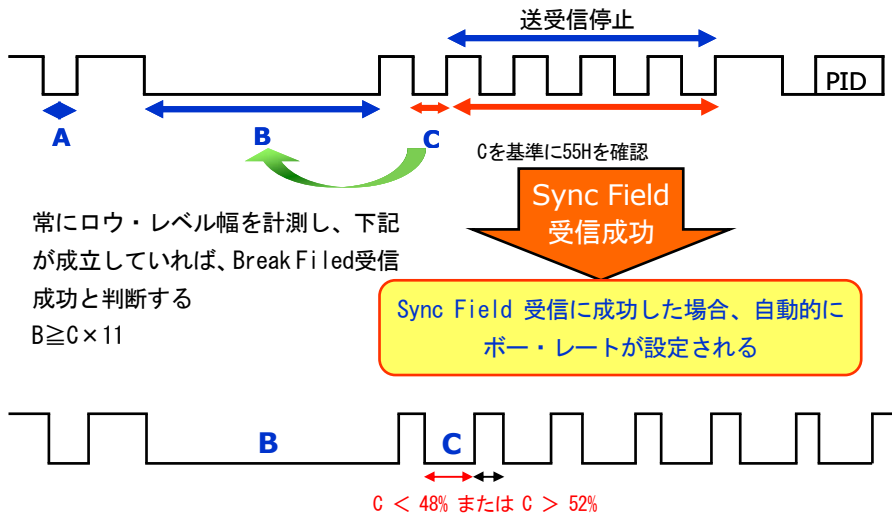
No. C1 UARTF LIN オート・ポー・レート・モード

【制限事項の概要】

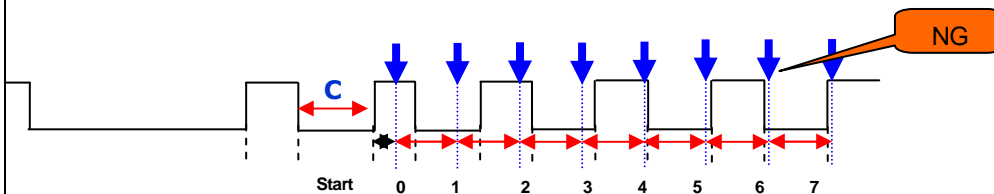
UARTF において、LIN 通信オート・ポー・レート・モードを使用している場合、Sync Filed は自動的に検出されます。Sync Filed のデータが 0x55 であることを確認できなかった場合、Sync Filed 受信処理は中断され、次の Break Filed 受信を待ちます。Sync Filed 受信において、データのラッチタイミングは、Start bit(ロウ・レベル幅)で決定されます。したがって、デューティ比の差が大きい場合、ラッチタイミングがビットの中心から徐々にずれていくため、Sync Filed 受信に失敗します。この場合、ポー・レート設定の処理は中断され、受信完了割り込み (INTLRx) は発生しません。Sync Filed の Start bit(ロウ・レベル幅)デューティ比が 48% ~ 52% であれば、上記の問題は発生しませんが、この範囲外になった場合、Sync Filed 受信に失敗します。

【詳細】

SF 検出のメカニズム



初回のサンプリングは、ビット 0 の先頭から Start bit 幅の半分進んだ位置で行われます。2 回目以降のサンプリングは、前回のサンプリング位置から Start bit 幅進んだ位置で行われます。Start bit(ロウ・レベル幅)のデューティ比が 48% ~ 52% の範囲外になった場合、下記のように、以降の各ビットに対するラッチタイミングがビットの中心からずれていくため、Sync Filed 受信に失敗します。



【事例】

LIN マスタトランシーバ、スレーブトランシーバに供給される電圧に差がある場合、上記のようなデューティ比の差が発生します。

【対策】

従来品の場合：

上記の Sync Filed 受信失敗条件に該当する環境の場合、オート・ポー・レート・モードを使用せず、ソフトウェアによってポー・レートを設定してください。

拡張規格品の場合：

従来品と比較し、デューティ比の差が大きい場合も、オート・ポー・レート・モードの使用が可能です。詳細はユーザーズマニュアルをご参照ください。ただし、No2 の制限事項については、注意してください。

No. C2 UARTF LIN オート・チェック・サム機能

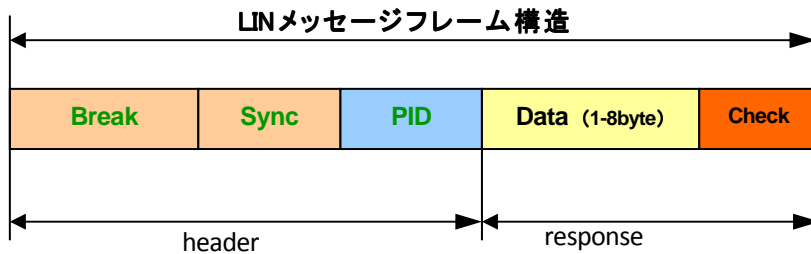
【制限事項の概要】

UARTFのLIN通信オート・ポーレート・モードにおける、オート・チェック・サム機能で確認された制限事項です。オート・チェック・サム演算結果（ビット反転前はFFH）が00Hとなるデータで、かつチェックサム部分がFFHとなっているレスポンス・フレームを受信した場合、チェックサムが不一致にもかかわらず(00HとFFH)チェック・サム・エラーが発生しない動作が発生します。

【詳細】

チェックサムデータを含むメッセージ受信時、特定のデータパターンにおいてチェック・サム・エラーが検出できない現象が確認されています。

- 標準チェックサム、拡張チェックサムの2つのチェックサムタイプが該当します。
- 受信応答の場合に該当します。
- チェックサムの演算結果が0xFFで、かつキャリービットが発生する場合が該当します。
- UARTFのチェック・サム・エラー検出ロジックでキャリーが生じる場合が該当します。



【事例】

問題になる現象をエンハンスチェックサムのデータパターンの一例として示しますので、ご参照ください。

(1) 正しい動作

(マスタによる送信) PID=0x06,
 (マスタによる送信) DATA=0x2C, 0x3A, 0x93, 0x00, 0x00, 0x00, 0x00, 0x00
 (マスタによる送信) CKSM=0x00
 演算結果後のCKSM = 0xFF + CKSM (マスタによる送信) = 0xFF: 問題なし。

(2) 今回確認された動作

(マスタによる送信) PID=0x06,
 (マスタによる送信) DATA=0x2C, 0x3A, 0x93, 0x00, 0x00, 0x00, 0x00, 0x00
 (マスタによる送信) CKSM=0xFF (このメッセージは誤り)
 演算結果後のCKSM = 0xFF + CKSM (マスタによる送信) = 0x1FE
 = (キャリーを考慮) 0xFF →問題なしと誤って判断してしまう。
 結果:チェック・サム・エラーを検出できない。

【対策】

ソフトウェアにて下記の対策を行うことで回避することができます。

UARTFの動作において、オート・チェック・サム許可ビットであるUFnACEビットは、オート・ポーレート・モードの場合のみ有効となります。そこでUARTFの制御レジスタのLIN-UARTnオプション・レジスタ1 (UFnOPT1)でUFnACEオート・チェック・サム許可ビットでチェックサム自動計算をOFFにすることにより回避することが可能です。その場合にはソフトウェアで別にチェックサム演算するという手段をとる必要性があります。

No. C3 DMA 転送中でのデータフラッシュ・リード・アクセス

【制限事項の概要】

データフラッシュ・Read・アクセス中にDMAによるデータ転送が同じタイミングで発生した場合、DMAの設定には依存せず、データフラッシュのデータが正しく読み出せない場合(00Hが読み出される)があります。データフラッシュの制御回路が、DMAによるデータ転送と競合した際に、データフラッシュに対するリード信号を出していないため、異常動作が発生しております。

データフラッシュ・Read・アクセス(命令はリスト参照)の間にDMA転送が競合をおこす可能性がある場合には、ソフトウェアにて、全てのDMAチャンネルの転送を一時停止する必要があります。また、データフラッシュのリードアクセスを行う前にDWAITALL=1を設定した後、最低CPUクロックの2クロック分のウェイトをしてください。対策については、ユーザーアプリケーションソフトウェアにより次の2つの場合が考えられます。

ケース1:

データフラッシュ・アクセス・ライブラリ(FDL)やEEPROMエミュレーションライブラリ(EEL)によるデータフラッシュのリードコマンドによるアクセスの場合。

ケース2:

ユーザーソフトウェアでデータフラッシュのReadを直接アドレス指定のアクセスにより実行する場合。

【ケース1での対策】

FDLバージョン(V1. 0. 2)はアップデートする予定です。

EELバージョン(V1. 0. 6)はアップデートする予定です。

ルネサスセールスサポートに改版スケジュール等は別途お問い合わせをお願いします。

補足: データフラッシュライブラリにおいてRead以外のコマンドについては内部バスの競合は起きないことは確認できております。

【ケース1での対策】

DMAの転送に関しては、DMCALLレジスタのDWAITALLビットにより制御することができます。DWAITALL = 1 の場合には全てのDMAチャンネルはDWAITALLが再びDWAITALL = 0になるまで強制的にウェイトされます。そのため、DMA一時保留期間を最小限にできるように、修正が必要となる該当ソフトウェアをアセンブラで修正することを推奨します。実際の修正例を以下に示します。

修正前ソフトウェア例:

データフラッシュ_read_asm:

```
MOVW HL, AX          // 1 cycle
MOV  A, C            // 1 cycle
MOV  ES, A           // 1 cycle
MOV  A, ES:[HL]     // 4 cycles
RET                    // 6 cycles
```

修正後ソフトウェア例:

データフラッシュ_read_asm:

```
MOVW HL, AX          // 1 cycle
MOV  A, C            // 1 cycle
MOV  ES, A           // 1 cycle
PUSH PSW             // 1 cycle (Note 1)
DI                    // 4 cycles (Note 2)
SET1 DWAITALL        // 2 cycles (Note 3)
NOP                  // 1 cycle (Note 4, 5)
NOP                  // 1 cycle (Note 4, 5)
MOV  A, ES:[HL]     // 4 cycles
CLR1 DWAITALL        // 2 cycles (Note 3)
POP  PSW             // 3 cycles (Note 6)
RET                    // 6 cycles
```

注1: Data Flashのリードアクセスを行う前にDWAITALL=1を設定した後、最低CPUクロック2クロック分のウェイトを実行してください。

注2: DWAITALL=1を設定する前に、DMAが一時停止中のまま割り込みルーチンを実行しないように、割り込みをディスエーブルにしてください。DWAITALL=1のタイミングで割り込みが入ると、割り込み処理の時間とDWAITALL=0になるまでの時間分、DMA転送が保留されてしまいます。

注3: 上記の回避策は、ユーザーソフトウェアが常時DWAITALL=0である場合を想定しています。

- Note
- 現在のPSWの状態(EI, DIなど割り込みの状態)を保存します。
 - DMA転送を保留している際、割り込み処理が入らないようにDIを設定します。
 - DMA転送を保留します。Data Flashのリード処理後、必要に応じてユーザーアプリケーション処理でDWAITALLを元の状態に戻してください。
例. DWAITALL=1→リード後: DWAITALL=0
 - DWAITALL=1を設定した後、Data Flashのリード命令を実行する前に、最低でもCPUクロック2クロック分のウェイトが必要になります。
 - Data Flashをリードする命令でなければ、2つのNOP命令を他の命令に置き換えることが可能です。
 - PSW状態の状態(EI, DIなど割り込みの状態)を元に戻します。その後、ユーザーアプリケーション処理を開始します。

現象が起こる可能性があるデータフラッシュ・リード命令一覧:

- MOV A, ES:!addr16
- MOV A, ES:[DE]
- MOV A, ES:[DE + byte]
- MOV A, ES:[HL]
- MOV A, ES:[HL + byte]
- MOV A, ES:[HL + B]
- MOV A, ES:[HL + C]
- MOV A, ES:word[B]
- MOV A, ES:word[C]
- MOV A, ES:word[BC]
- MOV B, ES:!addr16
- MOV C, ES:!addr16
- MOV X, ES:!addr16
- MOVW AX, ES:!addr16
- MOVW AX, ES:[DE]
- MOVW AX, ES:[DE + byte]
- MOVW AX, ES:[HL]
- MOVW AX, ES:[HL + byte]
- MOVW AX, ES:word[B]
- MOVW AX, ES:word[C]
- MOVW AX, ES:word[BC]
- MOVW BC, ES:!addr16
- MOVW DE, ES:!addr16
- MOVW HL, ES:!addr16
- ADD A, ES:!addr16
- ADD A, ES:[HL]
- ADD A, ES:[HL + byte]
- ADD A, ES:[HL + B]
- ADD A, ES:[HL + C]
- ADDC A, ES:!addr16
- ADDC A, ES:[HL]
- ADDC A, ES:[HL + byte]
- ADDC A, ES:[HL + B]
- ADDC A, ES:[HL + C]
- SUB A, ES:!addr16
- SUB A, ES:[HL]
- SUB A, ES:[HL + byte]
- SUB A, ES:[HL + B]
- SUB A, ES:[HL + C]
- SUBC A, ES:!addr16
- SUBC A, ES:[HL]
- SUBC A, ES:[HL + byte]
- SUBC A, ES:[HL + B]
- SUBC A, ES:[HL + C]
- AND A, ES:!addr16
- AND A, ES:[HL]
- AND A, ES:[HL + byte]
- AND A, ES:[HL + B]
- AND A, ES:[HL + C]

- OR A, ES:!addr16
- OR A, ES:[HL]
- OR A, ES:[HL + byte]
- OR A, ES:[HL + B]
- OR A, ES:[HL + C]
- XOR A, ES:!addr16
- XOR A, ES:[HL]
- XOR A, ES:[HL + byte]
- XOR A, ES:[HL + B]
- XOR A, ES:[HL + C]
- CMP A, ES:!addr16
- CMP A, ES:[HL]
- CMP A, ES:[HL + byte]
- CMP A, ES:[HL + B]
- CMP A, ES:[HL + C]
- CMP ES:!addr16,#byte
- CMPS ES:!addr16
- CMPS X, ES:[HL + byte]
- ADDW AX, ES:!addr16
- ADDW AX, ES:[HL + byte]
- SUBW AX, ES:!addr16
- SUBW AX, ES:[HL + byte]
- CMPW AX, ES:!addr16
- CMPW AX, ES:[HL + byte]
- MOV1 CY, ES:[HL].bit
- AND1 CY, ES:[HL].bit
- OR1 CY, ES:[HL].bit
- XOR1 CY, ES:[HL].bit
- BT ES:[HL].bit, \$addr20
- BF ES:[HL].bit, \$addr20

該当製品の仕様書

アイテム	発行日	Document No.	関連ドキュメント
1	2010年8月	R01UH0007JJ0500	78K0R/Fx3 ユーザーズマニュアル ハードウェア編

C) 改版履歴

アイテム	発行日	Document No.	コメント
1	2010年8月	R01TU0003ED0100	初版発行
2	2011年7月	R01TU0003ED0101	1 st Update: -) 拡張規格品 A 品について追加 -) 制限事項 No.1 追加 -) 制限事項 No.2 追加
3	2011年12月	R01TU0003ED0102	2nd Update: -) 制限事項No.3追加

RENESAS

Renesas Electronics