

技術通知 78K0/Kx2 マイクロコントローラ		発行番号	ZBG-CC-07-0016号	1/2	
		発行日	2007年8月6日		
		発行元	NEC エレクトロニクス株式会社 マイクロコンピュータ事業本部 汎用マイコンシステム事業部 第一製品ソリューショングループ		
文書分類	使用制限事項	バージョン・アップ	○	ドキュメント誤記訂正	その他
関連資料	78K0/KB2 ユーザーズ・マニュアル	資料番号：U17328JJ5V0UD00 (第5版)			
	78K0/KC2 ユーザーズ・マニュアル	資料番号：U17336JJ5V0UD00 (第5版)			
	78K0/KD2 ユーザーズ・マニュアル	資料番号：U17312JJ5V0UD00 (第5版)			
	78K0/KE2 ユーザーズ・マニュアル	資料番号：U17260JJ6V0UD00 (第6版)			
	78K0/KF2 ユーザーズ・マニュアル	資料番号：U17397JJ5V0UD00 (第5版)			

1. 対象製品

78K0/Kx2 マイクロコントローラ全製品：

78K0/KB2：μPD78F0500, μPD78F0501, μPD78F0502, μPD78F0503, μPD78F0503D

78K0/KC2：μPD78F0511, μPD78F0512, μPD78F0513, μPD78F0514, μPD78F0515
μPD78F0513D, μPD78F0515D

78K0/KD2：μPD78F0521, μPD78F0522, μPD78F0523, μPD78F0524, μPD78F0525
μPD78F0526, μPD78F0527, μPD78F0527D

78K0/KE2：μPD78F0531, μPD78F0532, μPD78F0533, μPD78F0534, μPD78F0535
μPD78F0536, μPD78F0537, μPD78F0537D

78K0/KF2：μPD78F0544, μPD78F0545, μPD78F0546, μPD78F0547, μPD78F0547D

2. 通知内容

78K0/Kx2 マイクロコントローラについて、ユーザーズ・マニュアルの誤記訂正がございます。

【誤記訂正の概要】

◆78K0/KB2

誤記内容：概説、16ビット・タイマ/イベント・カウンタ 00、ウォッチドッグ・タイマ、オンチップ・デバッグ機能、電気的特性に誤記がございます。詳細は別紙1をご参照ください。

◆78K0/KC2

誤記内容：概説、端子機能、16ビット・タイマ/イベント・カウンタ 00、8ビット・タイマ/イベント・カウンタ 50,51、ウォッチドッグ・タイマ、シリアル・インタフェース UART6、フラッシュ・メモリ、オンチップ・デバッグ機能、電気的特性に誤記がございます。詳細は別紙2をご参照ください。

◆78K0/KD2

誤記内容：概説、端子機能、ウォッチドッグ・タイマ、シリアル・インタフェース UART6、フラッシュ・メモリ、オンチップ・デバッグ機能、電気的特性に誤記がございます。詳細は別紙3をご参照ください。

◆78K0/KE2

誤記内容：概説、16ビット・タイマ/イベント・カウンタ 00、ウォッチドッグ・タイマ、シリアル・インタフェース UART6、フラッシュ・メモリ、オンチップ・デバッグ機能、電気的特性、付録A 開発ツールに誤記がございます。詳細は別紙4をご参照ください。

78K0/KF2

誤記内容：概説、ウォッチドッグ・タイム、オンチップ・デバッグ機能、電気的特性に誤記がございます。詳細は別紙5をご参照ください。

3. 発行文書履歴

78K0/Kx2 技術通知 発行文書履歴

文書番号	発行日	記事
ZBG-CC-05-0065	2005年10月26日	フラッシュメモリプログラマを使ったプログラミング時の制限事項を掲載
ZBG-CC-06-0018	2006年4月21日	デバイス修正後の製法規格の変更を追加
ZBG-CC-06-0049	2006年12月4日	オンチップデバッグ品、低電圧検出回路の制限事項、CSI、セルフプログラミング応答時間スペック誤記、周辺ハードウェアクロック、IIC スペックを追加
ZBG-CC-07-0016	2007年8月6日	78K0/Kx2 ユーザーズマニュアルの誤記訂正(本通知です)

- 以上 -

78K0/KB2 ユーザーズ・マニュアル第五版(U17328JJ5V0UD00)誤記訂正内容：

【訂正内容】

該当ページ	該当箇所	内 容	項目
p.24	第1章 概 説	1. 5 78K0/Kx2マイクロコントローラの製品展開に78K0/KC2の38ピン情報追加	<1>
p.198	第6章 16ビット・タイマ/イベント・カウンタ00	図6 - 51 パルス幅測定時のレジスタ設定内容例の図中の端子名を修正	<2>
p.257	第9章 ウォッチドッグ・タイマ	9. 4. 3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定の備考の表を一部修正	<3>
p.524	第22章 オンチップ・デバッグ機能 (μ PD78F0503Dのみ)	図22 - 2 QB-78K0MINIまたはQB-MINI2と μ PD78F0503Dの接続例 (OCD1A/P31, OCD1B/P32使用時) の注1, 2を修正	<4>
p.555	第24章 電気的特性 (標準品)	SCK10ハイ, ロウ・レベル幅 (t_{QH1} , t_{L1}) を修正	<5>
p.547, 565, 583, 601	第24章 電気的特性 (標準品) , 第25章 電気的特性 ((A) 水準品) ,	ロウ・レベル出力電圧 (V_{OL3}) の条件の略号修正	<6>
p.548, 566, 584, 602	第26章 電気的特性 ((A2) 水準品 : $T_A = -40 \sim +110$) , 第27章 電気的特性 ((A2) 水準品 : $T_A = -40 \sim +125$)	ハイ・レベル入力リーク電流 (I_{LH1}) の条件にP60, P61を追加	<7>

< 1 > 1.5 78K0/Kx2マイクロコントローラの製品展開に78K0/KC2の38ピン情報追加 (p.24)

< 誤 >

品 名		78K0/KB2		78K0/KC2			
		30/36ピン		38/44ピン		48ピン	
ポ ト	合計	23		<u>37</u>		41	
	N-ch O.D. (6V耐圧)	2		4		4	
10ビットAD		4 ch		<u>8 ch</u>			
キー割り込み		-		<u>4 ch</u>			

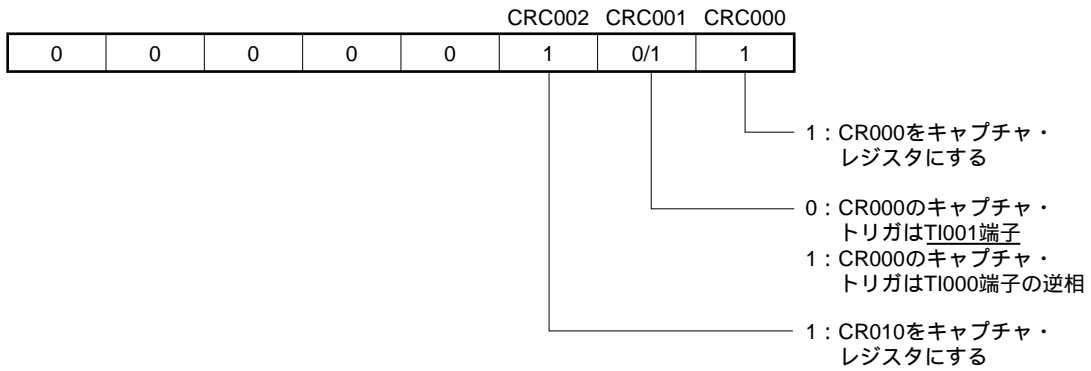
< 正 >

品 名		78K0/KB2		78K0/KC2			
		30/36ピン		38/44ピン		48ピン	
ポ ト	合計	23		<u>31 (38ピン) /</u> <u>37 (44ピン)</u>		41	
	N-ch O.D. (6V耐圧)	2		4		4	
10ビットAD		4 ch		<u>6 ch (38ピン) /</u> <u>8 ch (44ピン)</u>		8 ch	
キー割り込み		-		<u>2 ch (38ピン) /</u> <u>4 ch (44ピン)</u>		4 ch	

<2> 図6 - 51 パルス幅測定時のレジスタ設定内容例の図中の端子名を修正 (p.198)

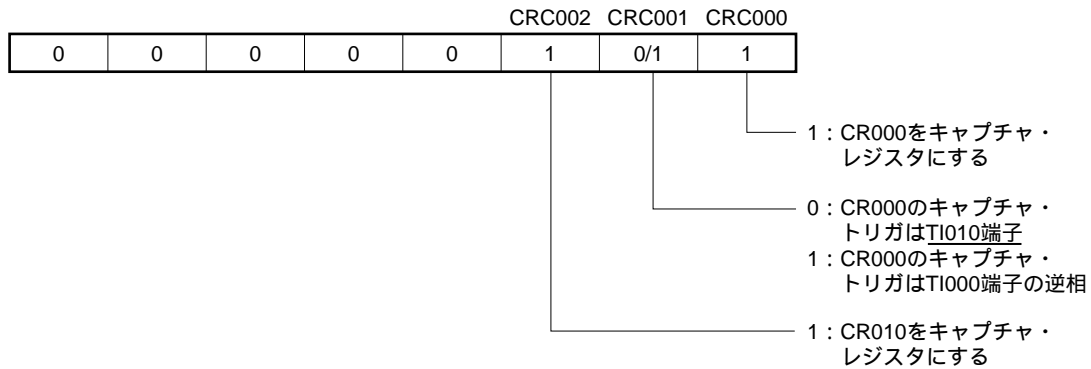
<誤>

(b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)



<正>

(b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)



<3> 9.4.3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定の備考の表を一部修正 (p.257)

<誤>

(2.7V V_{DD} 5.5Vの場合)

	ウインドウ・オープン期間の設定			
	25 %	50 %	75 %	100 %
ウインドウ・クロ ーズ時間	0~3.56 ms	0~2.37 ms	0~ <u>0.119 ms</u>	なし
ウインドウ・オー プン時間	3.56~3.88 ms	2.37~3.88 ms	<u>0.119</u> ~3.88 ms	0~3.88 ms

<正>

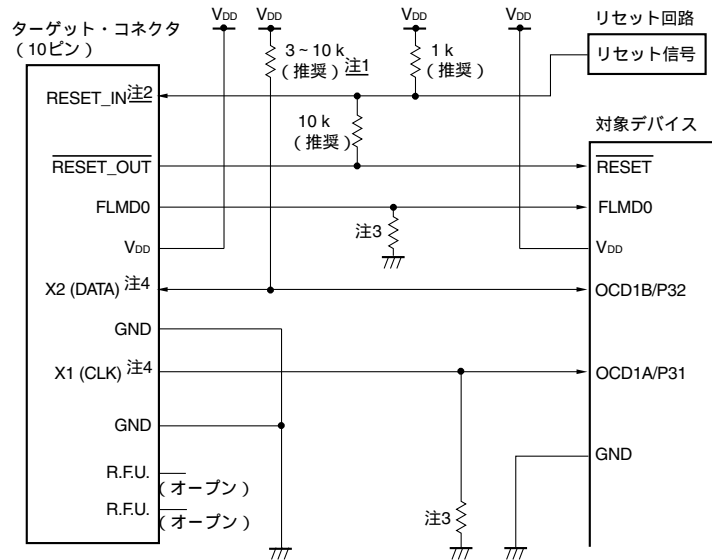
(2.7V V_{DD} 5.5Vの場合)

	ウインドウ・オープン期間の設定			
	25 %	50 %	75 %	100 %
ウインドウ・クロ ーズ時間	0~3.56 ms	0~2.37 ms	0~ <u>1.19 ms</u>	なし
ウインドウ・オー プン時間	3.56~3.88 ms	2.37~3.88 ms	<u>1.19</u> ~3.88 ms	0~3.88 ms

< 4 > 図22 - 2 QB-78K0MINIまたはQB-MINI2と μ PD78F0503Dの接続例 (OCD1A/P31, OCD1B/P32使用時) の注1, 2を修正 (p.524)

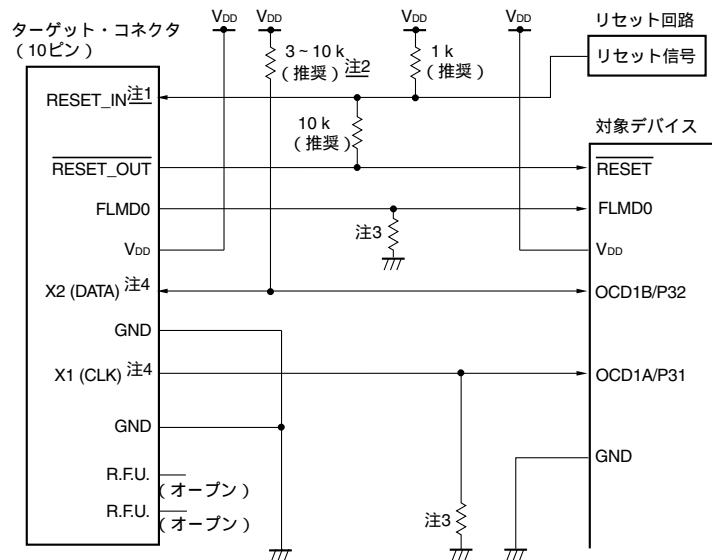
< 誤 >

図22 - 2 QB-78K0MINIまたはQB-MINI2と μ PD78F0503Dの接続例 (OCD1A/P31, OCD1B/P32使用時)



< 正 >

図22 - 2 QB-78K0MINIまたはQB-MINI2と μ PD78F0503Dの接続例 (OCD1A/P31, OCD1B/P32使用時)



- 注1. リセット信号の出力がN-ch オープン・ドレーンのバッファ (出力抵抗: 100 Ω 以下) によるものと想定した回路との接続です。詳細につきましては、QB-78K0MINI ユーザーズ・マニュアル (U17029J) またはQB-MINI2 ユーザーズ・マニュアル (U18371J) を参照してください。
2. OCD1B/P32を入力ポートに設定している場合の端子処理です (QB-78K0MINIまたはQB-MINI2未接続時にオープンになるのを防ぐため)
3. プルダウン抵抗値は470 Ω 以上 (10 k Ω : 推奨) にしてください。
4. () なしはQB-78K0MINI の名称, () 内はQB-MINI2 の名称です。

<5> SCK10 ハイ , ロウ・レベル幅 (t_{KH1} , t_{KL1}) を修正 (p.555)

<誤>

(d) CSI10 (マスタ・モード, $\overline{\text{SCK10}}$...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK10ハイ, ロウ・レベル幅	t_{KH1} ,	1.8 V $V_{DD} < 2.7$ V	$t_{CY}/2 - 55^{\pm 1}$			ns
	t_{KL1}					

<正>

(d) CSI10 (マスタ・モード, $\overline{\text{SCK10}}$...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK10ハイ, ロウ・レベル幅	t_{KH1} ,	1.8 V $V_{DD} < 2.7$ V	$t_{CY}/2 - 50^{\pm 1}$			ns
	t_{KL1}					

<6> ロウ・レベル出力電圧 (V_{OL3}) の条件の略号修正 (p.547, 565, 583, 601)

<誤>

$I_{OL3} = \dots$

<正>

$I_{OL1} = \dots$

<7> ハイ・レベル入力リーク電流 (I_{LH1}) の条件にP60, P61を追加 (p.548, 566, 584, 602)

<誤>

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力リーク電流	I_{LH1}	P00, P01, P10-P17, P30-P33, P120, FLMD0, $\overline{\text{RESET}}$	$V_I = V_{DD}$...	μA

<正>

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力リーク電流	I_{LH1}	P00, P01, P10-P17, P30-P33, <u>P60, P61</u> , P120, FLMD0, $\overline{\text{RESET}}$	$V_I = V_{DD}$...	μA

78K0/KC2 ユーザーズ・マニュアル第五版(U17336JJ5V0UD00)誤記訂正内容：

【訂正内容】

(1/2)

該当ページ	該当箇所	内 容	項目
p.27	第1章 概 説	1. 5 78K0/Kx2マイクロコントローラの製品展開に78K0/KC2の38ピン情報追加	<1>
p.32	第2章 端子機能	2. 1 端子機能一覧の(1)ポート機能のP20-P25の兼用機能を修正	<2>
p.194	第6章 16ビット・タイマ/イベント・カウンタ00	図6-30 TI000端子の有効エッジ入力によるクリア&スタート・モード動作時のレジスタ設定内容例(1/2)の図中の略号を修正	<3>
p.218		図6-48 パルス幅測定のタイミング例(1)の図中のレジスタ名を修正	<4>
p.238	第7章 8ビット・タイマ/イベント・カウンタ50, 51	図7-8 8ビット・タイマ・モード・コントロール・レジスタ51(TM51)のフォーマットの中の出力名を修正	<5>
p.290	第10章 ウォッチドッグ・タイマ	10. 4. 3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定の備考の表を一部修正	<6>
p.375	第14章 シリアル・インタフェース UART6	表14-5 ボー・レート・ジェネレータ設定データを一部修正	<7>
p.559	第25章 フラッシュ・メモリ	図25-4 UART (UART6) 方式でのフラッシュ書き込み用アダプタ配線例(38ピン製品の場合)の注を修正	<8>
p.575		表25-12 PG-FP4使用時の各コマンド処理時間(参考値)を一部修正	<9>
p.586	第26章 オンチップ・ディバグ機能(μ PD78F0513D, 78F0515Dのみ)	図26-2 QB-78K0MINIまたはQB-MINI2と μ PD78F0513D, 78F0515Dの接続例(OCD1A/P31, OCD1B/P32使用時)の注1, 2を修正	<10>
p.611, 630, 649, 668	第28章 電気的特性(標準品), 第29章 電気的特性((A)水準品), 第30章 電気的特性((A2)水準品: T _A = -40 ~ +110) , 第31章 電気的特性((A2)水準品: T _A = -40 ~ +125)	ロウ・レベル出力電圧(V _{OL3})の条件の略号修正	<11>
p.620, 639	第28章 電気的特性(標準品), 第29章 電気的特性((A)水準品)	A/Dコンバータ特性の条件を修正	<12>

【訂正内容】

(2/2)

該当ページ	該当箇所	内 容	項目
p.629, 648, 667	第29章 電気的特性 ((A) 水準品) , 第30章 電気的特性 ((A2) 水準品 : T _A = -40 ~ +110) , 第31章 電気的特性 ((A2) 水準品 : T _A = -40 ~ +125)	ロウ・レベル入力電圧 (V _{L2}) の条件を修正	< 13 >
p.658, 677	第30章 電気的特性 ((A2) 水準品 : T _A = -40 ~ +110) ,	A/Dコンバータ特性の条件を修正	< 14 >
p.660, 679	第31章 電気的特性 ((A2) 水準品 : T _A = -40 ~ +125)	LVI回路特性の備考を修正	< 15 >
p.671	第31章 電気的特性 ((A2) 水準品 : T _A = -40 ~ +125)	AC特性 (1) 基本動作の周辺ハードウェア・クロック周波数を修正	< 16 >
p.697	付録A 開発ツール	A.6 デバッグ用ツール (ソフトウェア) のSM+ for 78K0/Kx2のオーダ 名称を修正	< 17 >

< 1 > 1.5 78K0/Kx2マイクロコントローラの製品展開に78K0/KC2の38ピン情報追加 (p.27)

< 誤 >

品 名		78K0/KB2		78K0/KC2	
		30/36ピン		38/44ピン	
ポ ト	合計	23	37	41	
	N-ch O.D. (6V耐圧)	2	4	4	
10ビットAD		4 ch	8 ch		
キー割り込み		-	4 ch		

< 正 >

品 名		78K0/KB2		78K0/KC2	
		30/36ピン		38/44ピン	
ポ ト	合計	23	31 (38ピン) / 37 (44ピン)	41	
	N-ch O.D. (6V耐圧)	2	4	4	
10ビットAD		4 ch	6 ch (38ピン) / 8 ch (44ピン)	8 ch	
キー割り込み		-	2 ch (38ピン) / 4 ch (44ピン)	4 ch	

< 2 > 2.1 端子機能一覧の (1) ポート機能のP20-P25の兼用機能を修正 (p.32)

< 誤 >

機能名称	入出力	機 能	リセット時	兼用機能
P20-P25 P26 ^{註1} , P27 ^{註1}	入出力	ポート2。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	アナログ入力	ANI0-ANI7 ANI6 ^{註1} , ANI7 ^{註1}

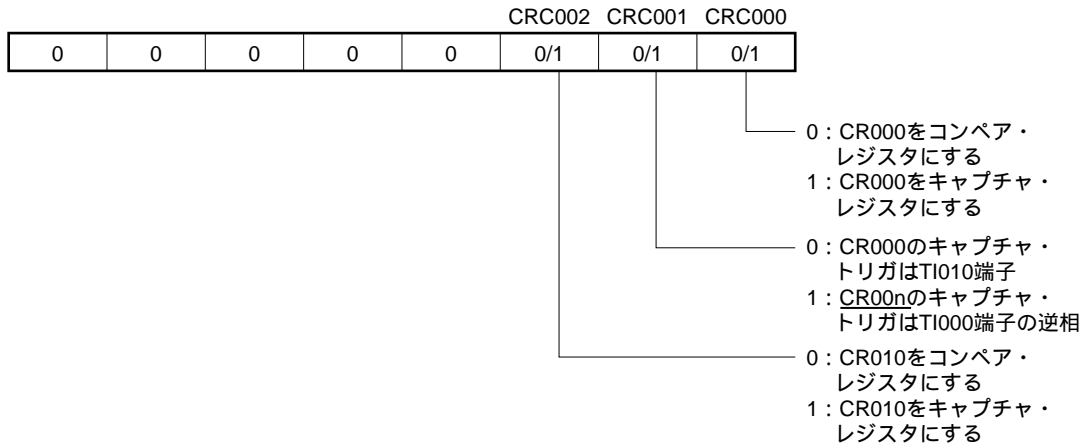
< 正 >

機能名称	入出力	機 能	リセット時	兼用機能
P20-P25 P26 ^{註1} , P27 ^{註1}	入出力	ポート2。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	アナログ入力	ANI0-ANI5 ANI6 ^{註1} , ANI7 ^{註1}

<3> 図6 - 30 TI000端子の有効エッジ入力によるクリア&スタート・モード動作時のレジスタ設定内容例 (1/2) の図中の略号を修正 (p.194)

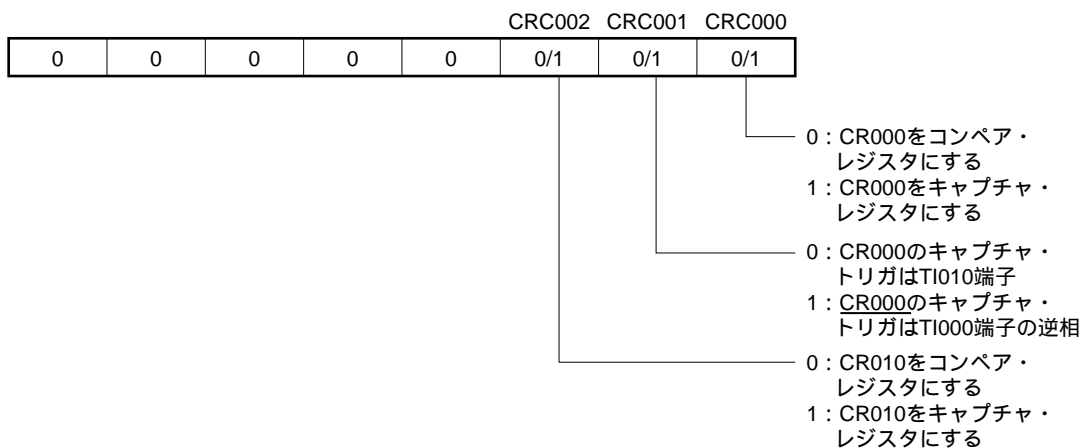
<誤>

(b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)



<正>

(b) キャプチャ/コンペア・コントロール・レジスタ00 (CRC00)



<4> 図6 - 48 パルス幅測定のタイミング例 (1) の図中のレジスタ名を修正 (p.218)

<誤>

TM0n レジスタ

<正>

TM00 レジスタ

<5> 図7-8 8ビット・タイマ・モード・コントロール・レジスタ51 (TM51) のフォーマットの中の出力名を修正 (p.238)

<誤>

TOE51	タイマ出力の制御
0	出力禁止 (TO50出力はロウ・レベル出力)
1	出力許可

<正>

TOE51	タイマ出力の制御
0	出力禁止 (TO51出力はロウ・レベル出力)
1	出力許可

<6> 10.4.3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定の備考の表を一部修正 (p.290)

<誤>

(2.7V V_{DD} 5.5Vの場合)

	ウインドウ・オープン期間の設定			
	25 %	50 %	75 %	100 %
ウインドウ・クロ ーズ時間	0~3.56 ms	0~2.37 ms	0~ <u>0.119 ms</u>	なし
ウインドウ・オー プン時間	3.56~3.88 ms	2.37~3.88 ms	<u>0.119</u> ~3.88 ms	0~3.88 ms

<正>

(2.7V V_{DD} 5.5Vの場合)

	ウインドウ・オープン期間の設定			
	25 %	50 %	75 %	100 %
ウインドウ・クロ ーズ時間	0~3.56 ms	0~2.37 ms	0~ <u>1.19 ms</u>	なし
ウインドウ・オー プン時間	3.56~3.88 ms	2.37~3.88 ms	<u>1.19</u> ~3.88 ms	0~3.88 ms

<7> 表14-5 ボー・レート・ジェネレータ設定データを一部修正 (p.375)

<誤>

ボー・レート [bps]	f _{PRS} = 2.0 MHz			
	TPS63-TPS60	k	算出値	ERR [%]
31250	1H	4	31250	0

<正>

ボー・レート [bps]	f _{PRS} = 2.0 MHz			
	TPS63-TPS60	k	算出値	ERR [%]
31250	1H	16	31250	0

<8> 図25-4 UART (UART6) 方式でのフラッシュ書き込み用アダプタ配線例 (38ピン製品の場合) の注を修正 (p.559)

<誤>

注 上図は, PG-FP4, FL-PR4 のクロック・アウトを使用する場合の配線例です。
PG-FPL3, FP-LITE3 のクロック・アウトを使用する場合は, CLK と X1/P121 (ピン番号: 10) を接続し, X2/EXCLK/P122 (ピン番号: 11) にその反転信号を接続してください。

<正>

注 上図は, PG-FP4, FL-PR4 のクロック・アウトを使用する場合の配線例です。
PG-FPL3, FP-LITE3 のクロック・アウトを使用する場合は, CLK と X1/P121 (ピン番号: 11) を接続し, X2/EXCLK/P122 (ピン番号: 10) にその反転信号を接続してください。

<9> 表25 - 12 PG-FP4使用時の各コマンド処理時間 (参考値) を一部修正 (p.575)

<誤>

(1) μ PD78F0515, 78F0515D (内部ROM容量: 60 Kバイト)

PG-FP4のコマンド	Port: CSI-Internal-OSC (高速内蔵発振クロック (f_{RH}) 使用), Speed:2.5 MHz	Port: UART-Ext-FP4CK (外部メイン・システム・クロック (f_{EXCLK}) 使用), Speed:115200 bps	
		Frequency:2.0 MHz	Frequency:20 MHz
Erase	<u>1.5 s (TYP.)</u>	1 s (TYP.)	1 s (TYP.)

<正>

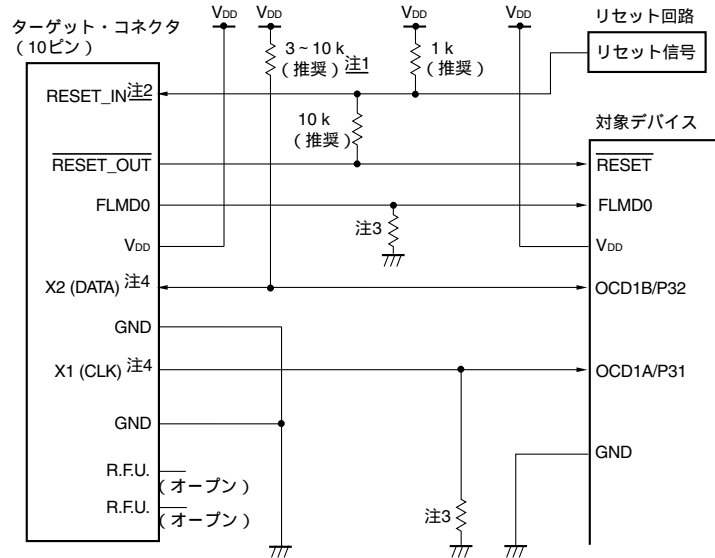
(1) μ PD78F0515, 78F0515D (内部ROM容量: 60 Kバイト)

PG-FP4のコマンド	Port: CSI-Internal-OSC (高速内蔵発振クロック (f_{RH}) 使用), Speed:2.5 MHz	Port: UART-Ext-FP4CK (外部メイン・システム・クロック (f_{EXCLK}) 使用), Speed:115200 bps	
		Frequency:2.0 MHz	Frequency:20 MHz
Erase	<u>1 s (TYP.)</u>	1 s (TYP.)	1 s (TYP.)

< 10 > 図26 - 2 QB-78K0MINIまたはQB-MINI2と μ PD78F0513D, 78F0515Dの接続例 (OCD1A/P31, OCD1B/P32使用時)の注1, 2を修正 (p.586)

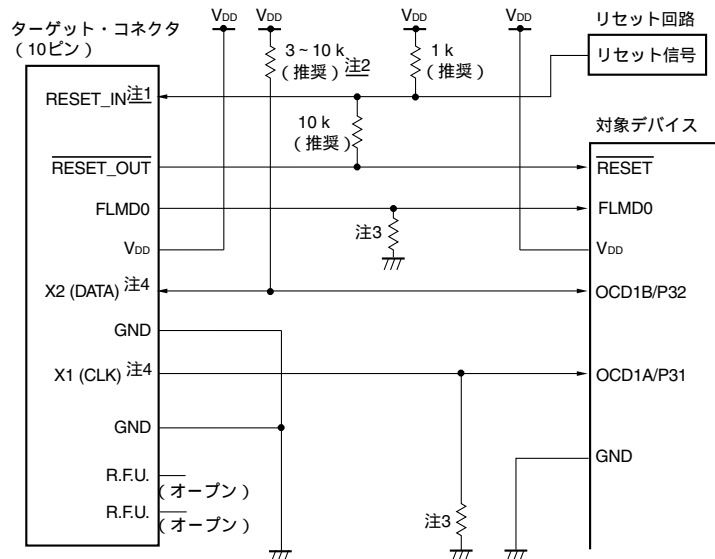
< 誤 >

図26 - 2 QB-78K0MINIまたはQB-MINI2と μ PD78F0513D, 78F0515Dの接続例 (OCD1A/P31, OCD1B/P32使用時)



< 正 >

図26 - 2 QB-78K0MINIまたはQB-MINI2と μ PD78F0513D, 78F0515Dの接続例 (OCD1A/P31, OCD1B/P32使用時)



- 注1. リセット信号の出力がN-ch オープン・ドレインのバッファ (出力抵抗: 100 Ω 以下) によるものと想定した回路との接続です。詳細につきましては、QB-78K0MINI ユーザーズ・マニュアル (U17029J) または QB-MINI2 ユーザーズ・マニュアル (U18371J) を参照してください。
2. OCD1B/P32を入力ポートに設定している場合の端子処理です (QB-78K0MINIまたはQB-MINI2未接続時にオープンになるのを防ぐため)
3. プルダウン抵抗値は470 (以上 (10 k (: 推奨) にしてください。
4. () なしはQB-78K0MINI の名称, () 内はQB-MINI2 の名称です。

< 11 > ロウ・レベル出力電圧 (V_{OL3}) の条件の略号修正 (p.611, 630, 649, 668)

< 誤 >

$$\underline{I_{OL3}} = \dots$$

< 正 >

$$\underline{I_{OL1}} = \dots$$

< 12 > ADコンバータ特性の条件を修正 (p.620, 639)

< 誤 >

AD コンバータ特性

(\dots , $\underline{1.8V}$ $\underline{V_{DD}}$ $\underline{5.5V}$, $\underline{2.3V}$ $\underline{AV_{REF}}$ $\underline{V_{DD}}$, $V_{SS} = AV_{SS} = 0V$)

< 正 >

AD コンバータ特性

(\dots , $\underline{2.3V}$ $\underline{AV_{REF}}$ $\underline{V_{DD}}$ $\underline{5.5V}$, $V_{SS} = AV_{SS} = 0V$)

< 13 > ロウ・レベル入力電圧 (V_{IL2}) 条件を修正 (p.629, 648, 667)

< 誤 >

ロウ・レベル入力電圧	V_{IL2}	P00, P01, P10, P11, P14, P16, P17, P30-P33, P70-P73, P74 ^{注2} , P75 ^{注2} , P120, P140 ^{注2} , RESET, EXCLK, EXCLKS	0		0.2V _{DD}	V
------------	-----------	--	---	--	--------------------	---

< 正 >

ロウ・レベル入力電圧	V_{IL2}	P00, P01, P10, P11, P14, P16, P17, P30-P33, P70, P71, P72 ^{注2} , P73 ^{注2} , P74 ^{注3} , P75 ^{注3} , P120, P140 ^{注3} , RESET, EXCLK, EXCLKS	0		0.2V _{DD}	V
------------	-----------	---	---	--	--------------------	---

注 1. 出力端子から GND に流れ込んで、デバイスの動作を保証する電流値です。

2. 44 ピン製品と 48 ピン製品のみ。
3. 48 ピン製品のみ。

< 14 > ADコンバータ特性の条件を修正 (p. 658, 677)

< 誤 >

AD コンバータ特性

(\dots , $\underline{2.7V}$ $\underline{V_{DD}}$ $\underline{5.5V}$, $\underline{2.7V}$ $\underline{AV_{REF}}$ $\underline{V_{DD}}$, $V_{SS} = AV_{SS} = 0V$)

< 正 >

AD コンバータ特性

(\dots , $\underline{2.7V}$ $\underline{AV_{REF}}$ $\underline{V_{DD}}$ $\underline{5.5V}$, $V_{SS} = AV_{SS} = 0V$)

< 15 > LVI回路特性の備考を修正 (p.660, 679)

< 誤 >

備考 $V_{LVI(n-1)} > V_{LVIn} : n = \underline{1-15}$

< 正 >

備考 $V_{LVI(n-1)} > V_{LVIn} : n = \underline{1-9}$

< 16 > AC特性 (1) 基本動作の周辺ハードウェア・クロック周波数を修正 (p.671)

< 誤 >

周辺ハードウェア・クロック周波数	f_{PRS}						
		$f_{PRS} = f_{RH} (XSEL = 0)$	2.7 V $V_{DD} < 5.5 V$	7.6		<u>8.4</u>	MHz

< 正 >

周辺ハードウェア・クロック周波数	f_{PRS}						
		$f_{PRS} = f_{RH} (XSEL = 0)$	2.7 V $V_{DD} < 5.5 V$	7.6		<u>8.46</u>	MHz

< 17 > A. 6 ディバグ用ツール (ソフトウェア) のSM+ for 78K0/Kx2のオーダ名称を修正 (p.697)

< 誤 >

SM+ for 78K0/Kx2 システム・シミュレータ	
	オーダ名称 : <u>SM780547-B</u>

< 正 >

SM+ for 78K0/Kx2 システム・シミュレータ	
	オーダ名称 : <u>$\mu S \times \times \times \times$ SM780547-B</u>

78K0/KD2 ユーザーズ・マニュアル第五版(U17312JJ5V0UD00)誤記訂正内容：

【訂正内容】

該当ページ	該当箇所	内 容	項目
p.24	第1章 概 説	1. 5 78K0/Kx2マイクロコントローラの製品展開に78K0/KC2の38ピン情報追加	<1>
p.42	第2章 端子機能	図2 - 1 端子の入出力回路一覧のタイプ5-AHを修正	<2>
p.301	第11章 ウォッチドッグ・タイマ	11.4.3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定の備考の表を一部修正	<3>
p.388	第15章 シリアル・インタフェース UART6	表15 - 5 ボー・レート・ジェネレータ設定データを一部修正	<4>
p.582	第26章 フラッシュ・メモリ	表26 - 12 PG-FP4使用時の各コマンド処理時間 (参考値) を一部修正	<5>
p.594	第27章 オンチップ・デバッグ機能 (μ PD78F0527Dのみ)	図27 - 2 QB-78K0MINIと μ PD78F0527Dの接続例 (OCD1A/P31, OCD1B/P32使用時) の図タイトルと注1, 2を修正	<6>
p.618, 637, 656, 675	第29章 電気的特性 (標準品) , 第30章 電気的特性 (A) 水準品) , 第31章 電気的特性 (A2) 水準品 : $T_A = -40 \sim +110$) , 第32章 電気的特性 (A2) 水準品 : $T_A = -40 \sim +125$)	ロウ・レベル出力電圧 (V_{OL3}) の条件の略号修正	<7>

< 1 > 1.5 78K0/Kx2マイクロコントローラの製品展開に78K0/KC2の38ピン情報追加 (p.24)

< 誤 >

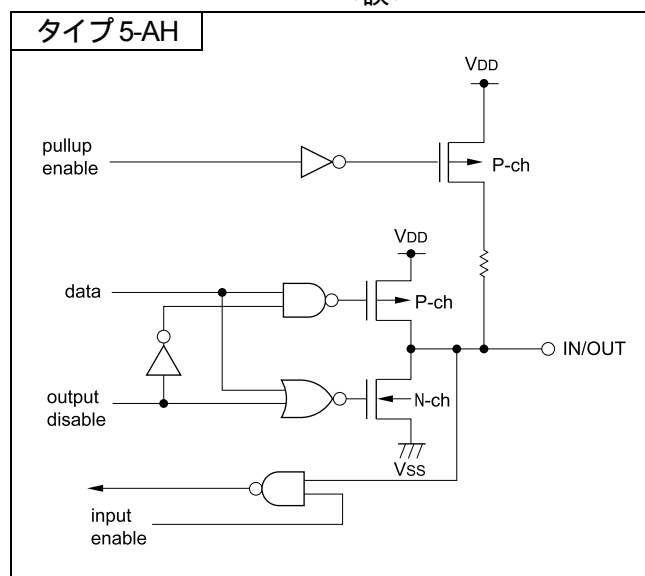
品 名		78K0/KB2		78K0/KC2	
		30/36ピン		38/44ピン	
ポ ト	合計	23	<u>37</u>	41	
	N-ch O.D. (6V耐圧)	2	4	4	
10ビットAD		4 ch	<u>8 ch</u>		
キー割り込み		-	<u>4 ch</u>		

< 正 >

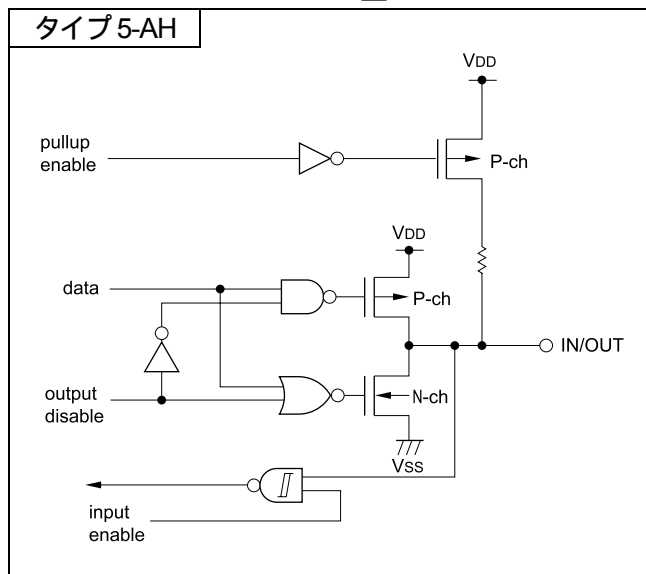
品 名		78K0/KB2		78K0/KC2	
		30/36ピン		38/44ピン	
ポ ト	合計	23	<u>31 (38ピン) /</u> <u>37 (44ピン)</u>	41	
	N-ch O.D. (6V耐圧)	2	4	4	
10ビットAD		4 ch	<u>6 ch (38ピン) /</u> <u>8 ch (44ピン)</u>	8 ch	
キー割り込み		-	<u>2 ch (38ピン) /</u> <u>4 ch (44ピン)</u>	4 ch	

< 2 > 図2 - 1 端子の入出力回路一覧のタイプ5-AHを修正 (p.42)

< 誤 >



< 正 >



< 3 > 11.4.3 ウォッチドッグ・タイマのウィンドウ・オープン期間の設定の備考の表を一部修正 (p.301)

< 誤 >

(2.7V V_{DD} 5.5Vの場合)

	ウィンドウ・オープン期間の設定			
	25 %	50 %	75 %	100 %
ウィンドウ・クロ ーズ時間	0 ~ 3.56 ms	0 ~ 2.37 ms	0 ~ <u>0.119 ms</u>	なし
ウィンドウ・オー プン時間	3.56 ~ 3.88 ms	2.37 ~ 3.88 ms	<u>0.119</u> ~ 3.88 ms	0 ~ 3.88 ms

< 正 >

(2.7V V_{DD} 5.5Vの場合)

	ウィンドウ・オープン期間の設定			
	25 %	50 %	75 %	100 %
ウィンドウ・クロ ーズ時間	0 ~ 3.56 ms	0 ~ 2.37 ms	0 ~ <u>1.19 ms</u>	なし
ウィンドウ・オー プン時間	3.56 ~ 3.88 ms	2.37 ~ 3.88 ms	<u>1.19</u> ~ 3.88 ms	0 ~ 3.88 ms

<4> 表15-5 ボー・レート・ジェネレータ設定データを一部修正 (p.388)

<誤>

ボー・レート [bps]	f _{PRS} = 2.0 MHz			
	TPS63-TPS60	k	算出値	ERR [%]
31250	1H	4	31250	0

<正>

ボー・レート [bps]	f _{PRS} = 2.0 MHz			
	TPS63-TPS60	k	算出値	ERR [%]
31250	1H	16	31250	0

<5> 表26-12 PG-FP4使用時の各コマンド処理時間 (参考値) を一部修正 (p.582)

<誤>

(2) μ PD78F0525 (内部ROM容量: 60 Kバイト)

PG-FP4のコ マンド	Port: CSI-Internal-OSC (高速内蔵発振 クロック (f _{RI}) 使用), Speed:2.5 MHz	Port: UART-Ext-FP4CK (外部メイン・システム・クロック (f _{EXCLK}) 使用), Speed:115200 bps	
		Frequency:2.0 MHz	Frequency:20 MHz
Erase	1.5 s (TYP.)	1 s (TYP.)	1 s (TYP.)

<正>

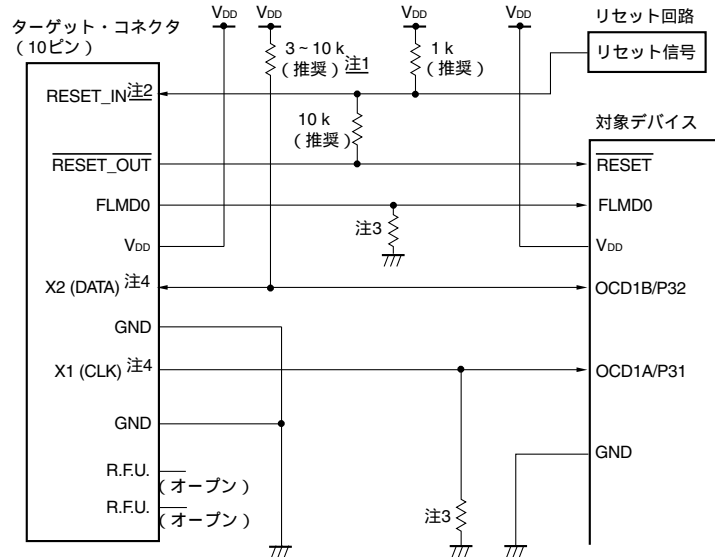
(2) μ PD78F0525 (内部ROM容量: 60 Kバイト)

PG-FP4のコ マンド	Port: CSI-Internal-OSC (高速内蔵発振 クロック (f _{RI}) 使用), Speed:2.5 MHz	Port: UART-Ext-FP4CK (外部メイン・システム・クロック (f _{EXCLK}) 使用), Speed:115200 bps	
		Frequency:2.0 MHz	Frequency:20 MHz
Erase	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)

<6> 図 27 - 2 QB-78K0MINI と μ PD78F0527D の接続例 (OCD1A/P31, OCD1B/P32 使用時) の図タイトルと注 1, 2 を修正 (p.594)

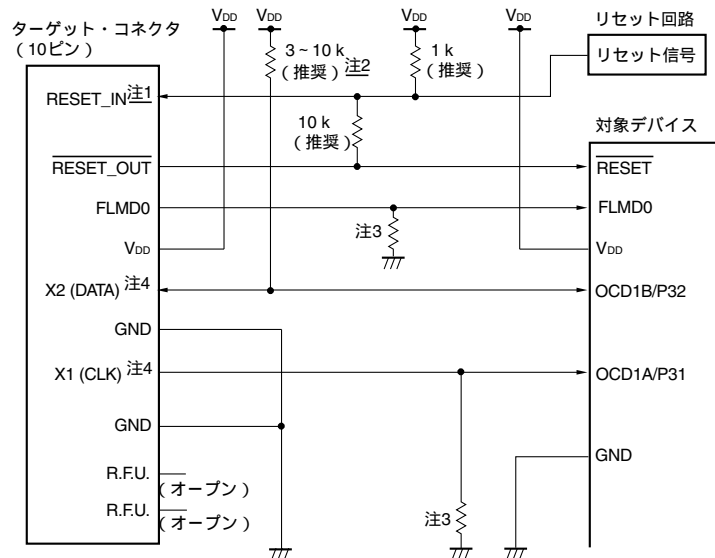
<誤>

図 27 - 2 QB-78K0MINI と μ PD78F0527D の接続例 (OCD1A/P31, OCD1B/P32 使用時)



<正>

図 27 - 2 QB-78K0MINI または QB-MINI2 と μ PD78F0527D の接続例 (OCD1A/P31, OCD1B/P32 使用時)



注 1. リセット信号の出力が N-ch オープン・ドレインのバッファ (出力抵抗: 100Ω 以下) によるものと想定した回路との接続です。詳細につきましては、QB-78K0MINI ユーザーズ・マニュアル (U17029J) または QB-MINI2 ユーザーズ・マニュアル (U18371J) を参照してください。

2. OCD1B/P32 を入力ポートに設定している場合の端子処理です (QB-78K0MINI または QB-MINI2 未接続時にオープンになるのを防ぐため)

3. プルダウン抵抗値は 470Ω 以上 ($10\text{k}\Omega$: 推奨) にしてください。

4. () なしは QB-78K0MINI の名称, () 内は QB-MINI2 の名称です。

<7> ロウ・レベル出力電圧 (V_{OL3}) の条件の略号修正 (p.618, 637, 656, 675)

<誤>

$\underline{V_{OL3}} = \dots$

<正>

$\underline{V_{OL1}} = \dots$

78K0/KE2 ユーザーズ・マニュアル第六版(U17260JJ6V0UD00)誤記訂正内容：

【訂正内容】

該当ページ	該当箇所	内 容	項目
p.27	第1章 概 説	1. 5 78K0/Kx2マイクロコントローラの製品展開に78K0/KC2の38ピン情報追加	<1>
p.249	第7章 16ビット・タイマ/イベント・カウンタ00,01	図7 - 56 パルス幅測定時のレジスタ設定内容例の図中の端子名を修正	<2>
p.316	第11章 ウォッチドッグ・タイマ	11.4.3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定の備考の表を一部修正	<3>
p.402	第15章 シリアル・インタフェース UART6	表15 - 5 ボー・レート・ジェネレータ設定データを一部修正	<4>
p.602	第26章 フラッシュ・メモリ	表26 - 12 PG-FP4使用時の各コマンド処理時間（参考値）を一部修正	<5>
p.613	第27章 オンチップ・デバッグ機能（ μ PD78F0537Dのみ）	図27 - 2 QB-78K0MINIまたはQB-MINI2と μ PD78F0537Dの接続例（OCD1A/P31, OCD1B/P32使用時）の注1, 2を修正	<6>
p.638, 657, 676, 695	第29章 電気的特性（標準品）, 第30章 電気的特性（(A) 水準品）, 第31章 電気的特性（(A2) 水準品： $T_A = -40 \sim +110$ ）， 第32章 電気的特性（(A2) 水準品： $T_A = -40 \sim +125$ ）」	ロウ・レベル出力電圧（ V_{OL3} ）の条件の略号修正	<7>
p.726	付録A 開発ツール	A. 4. 1 フラッシュ・メモリ・プログラマ PG-FP4, FL-PR4, PG-FPL3, FP-LITE3を使用する場合の64ピン・プラスチックTQFP（GA-9EVタイプ）用のフラッシュ・メモリ書き込み用アダプタの品名を修正（計3箇所）	<8>

< 1 > 1.5 78K0/Kx2マイクロコントローラの製品展開に78K0/KC2の38ピン情報追加 (p.27)

< 誤 >

品 名		78K0/KB2		78K0/KC2	
		30/36ピン		38/44ピン	48ピン
ポ ト	合計	23		<u>37</u>	41
	NchO.D. (6V耐圧)	2		4	4
10ビットAD		4 ch		<u>8 ch</u>	
キー割り込み		-		<u>4 ch</u>	

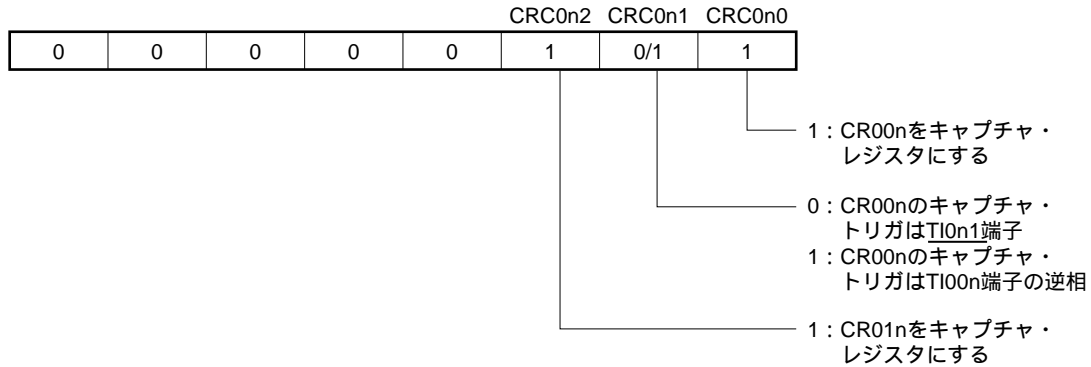
< 正 >

品 名		78K0/KB2		78K0/KC2	
		30/36ピン		38/44ピン	48ピン
ポ ト	合計	23		<u>31 (38ピン)</u> / 37 (44ピン)	41
	NchO.D. (6V耐圧)	2		4	4
10ビットAD		4 ch		<u>6 ch (38ピン)</u> / 8 ch (44ピン)	8 ch
キー割り込み		-		<u>2 ch (38ピン)</u> / 4 ch (44ピン)	4 ch

<2> 図7 - 56 パルス幅測定時のレジスタ設定内容例の図中の端子名を修正 (p.249)

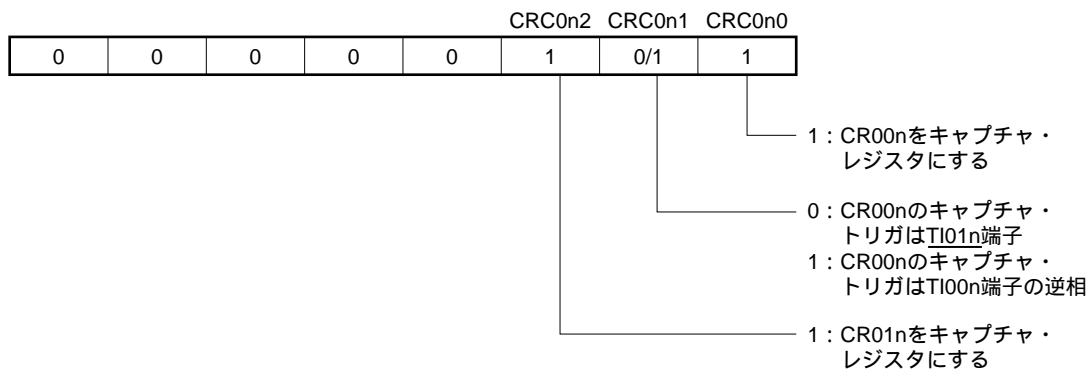
<誤>

(b) キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n)



<正>

(b) キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n)



<3> 11.4.3 ウォッチドッグ・タイマのウィンドウ・オープン期間の設定の備考の表を一部修正 (p.316)

<誤>

(2.7V V_{DD} 5.5Vの場合)

	ウィンドウ・オープン期間の設定			
	25 %	50 %	75 %	100 %
ウィンドウ・クロース時間	0~3.56 ms	0~2.37 ms	0~ <u>0.119</u> ms	なし
ウィンドウ・オープン時間	3.56~3.88 ms	2.37~3.88 ms	<u>0.119</u> ~3.88 ms	0~3.88 ms

<正>

(2.7V V_{DD} 5.5Vの場合)

	ウィンドウ・オープン期間の設定			
	25 %	50 %	75 %	100 %
ウィンドウ・クロース時間	0~3.56 ms	0~2.37 ms	0~ <u>1.19</u> ms	なし
ウィンドウ・オープン時間	3.56~3.88 ms	2.37~3.88 ms	<u>1.19</u> ~3.88 ms	0~3.88 ms

<4> 表15 - 5 ボー・レート・ジェネレータ設定データを一部修正 (p.402)

<誤>

ボー・レート [bps]	f _{PRS} = 2.0 MHz			
	TPS63-TPS60	k	算出値	ERR [%]
31250	1H	<u>4</u>	31250	0

<正>

ボー・レート [bps]	f _{PRS} = 2.0 MHz			
	TPS63-TPS60	k	算出値	ERR [%]
31250	1H	<u>16</u>	31250	0

<5> 表26 - 12 PG-FP4使用時の各コマンド処理時間 (参考値) を一部修正 (p.602)

<誤>

(2) μ PD78F0535 (内部ROM容量: 60 Kバイト)

PG-FP4のコマンド	Port: CSI-Internal-OSC (高速内蔵発振クロック (f_{RH}) 使用), Speed:2.5 MHz	Port: UART-Ext-FP4CK (外部メイン・システム・クロック (f_{EXCLK}) 使用), Speed:115200 bps	
		Frequency:2.0 MHz	Frequency:20 MHz
Erase	1.5 s (TYP.)	1 s (TYP.)	1 s (TYP.)

<正>

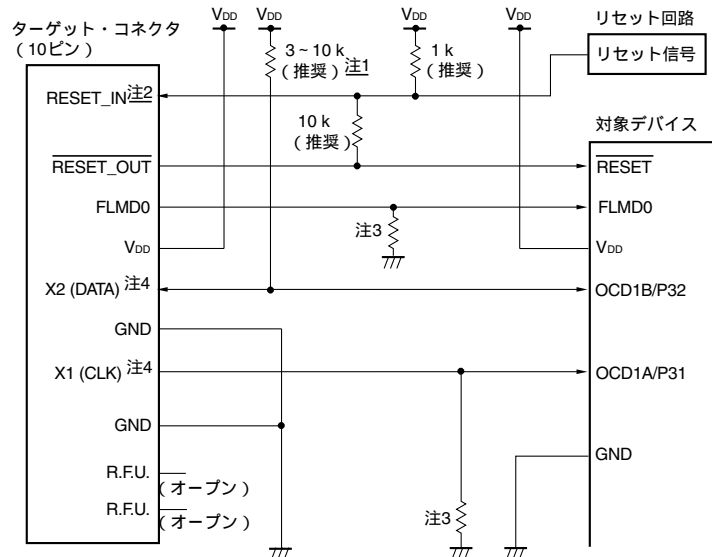
(2) μ PD78F0535 (内部ROM容量: 60 Kバイト)

PG-FP4のコマンド	Port: CSI-Internal-OSC (高速内蔵発振クロック (f_{RH}) 使用), Speed:2.5 MHz	Port: UART-Ext-FP4CK (外部メイン・システム・クロック (f_{EXCLK}) 使用), Speed:115200 bps	
		Frequency:2.0 MHz	Frequency:20 MHz
Erase	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)

<6> 図27 - 2 QB-78K0MINIまたはQB-MINI2と μ PD78F0537Dの接続例 (OCD1A/P31, OCD1B/P32使用時) の注1, 2を修正 (p.613)

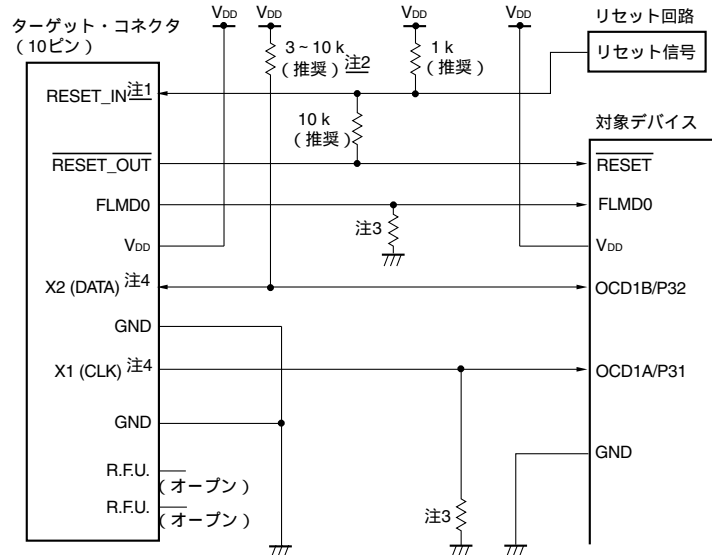
<誤>

図27 - 2 QB-78K0MINIまたはQB-MINI2と μ PD78F0537Dの接続例 (OCD1A/P31, OCD1B/P32使用時)



<正>

図27 - 2 QB-78K0MINIまたはQB-MINI2と μ PD78F0537Dの接続例 (OCD1A/P31, OCD1B/P32使用時)



- 注1. リセット信号の出力がN-ch オープン・ドレインのパウファ (出力抵抗: 100 Ω 以下) によるものと想定した回路との接続です。詳細につきましては, QB-78K0MINI ユーザーズ・マニュアル (U17029J) または QB-MINI2 ユーザーズ・マニュアル (U18371J) を参照してください。
2. OCD1B/P32を入力ポートに設定している場合の端子処理です (QB-78K0MINIまたはQB-MINI2未接続時にオープンになるを防ぐため)
3. ブルダウン抵抗値は470 Ω 以上 (10 k Ω : 推奨) にしてください。
4. () 内はQB-78K0MINI の名称, () 内はQB-MINI2 の名称です。

<7> ロウ・レベル出力電圧 (V_{OL3}) の条件の略号修正 (p. 638, 657, 676, 695)

<誤>

$\underline{V_{OL3}} = \dots$

<正>

$\underline{V_{OL1}} = \dots$

<8> A.4.1 フラッシュ・メモリ・プログラマ PG-FP4, FL-PR4, PG-FPL3, FP-LITE3を使用する場合の64ピン・プラスチックTQFP (GA-9EVタイプ)用のフラッシュ・メモリ書き込み用アダプタの品名を修正 (計3箇所, p. 726)

<誤>

FA-78F0537GA-9EV-MX : 64ピン・プラスチックTQFP (GA-9EVタイプ)用

<正>

FA-78F0537GA-8EV-MX : 64ピン・プラスチックTQFP (GA-9EVタイプ)用

78K0/KF2 ユーザーズ・マニュアル第五版(U17397JJ5V0UD00)誤記訂正内容：

【訂正内容】

該当ページ	該当箇所	内 容	項目
p.24	第1章 概 説	1. 5 78K0/Kx2マイクロコントローラの製品展開に78K0/KC2の38ピン 情報追加	<1>
p.304	第11章 ウォッチドッグ・タイマ	11.4.3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定の 備考の表を一部修正	<2>
p.390	第15章 シリアル・インタフェース UART6	表15-5 ボー・レート・ジェネレータ設定データを一部修正	<3>
p.640	第28章 オンチップ・デバッグ機能 (μ PD78F0547Dのみ)	図28-2 QB-78K0MINIまたはQB-MINI2と μ PD78F0547Dの接続例 (OCD1A/P31, OCD1B/P32使用時)の注1, 2を修正	<4>
p.664, 686, 707, 728	第30章 電気的特性 (標準品) , 第31章 電気的特性 ((A) 水準品) , 第32章 電気的特性 ((A2) 水準品 : T _A = -40 ~ +110) , 第33章 電気的特性 ((A2) 水準品 : T _A = -40 ~ +125)	ロウ・レベル出力電圧 (V _{OL3}) の条件の略号修正	<5>

<1> 1.5 78K0/Kx2マイクロコントローラの製品展開に78K0/KC2の38ピン情報追加 (p.24)

<誤>

品名		78K0/KB2		78K0/KC2			
		30/36ピン		38/44ピン		48ピン	
ポート	合計	23		<u>37</u>		41	
	NchO.D. (6V耐圧)	2		4		4	
10ビットAD		4 ch				<u>8 ch</u>	
キー割り込み		-				<u>4 ch</u>	

<正>

品名		78K0/KB2		78K0/KC2			
		30/36ピン		38/44ピン		48ピン	
ポート	合計	23		<u>31 (38ピン)/</u> <u>37 (44ピン)</u>		41	
	NchO.D. (6V耐圧)	2		4		4	
10ビットAD		4 ch		<u>6 ch (38ピン)/</u> <u>8 ch (44ピン)</u>		8 ch	
キー割り込み		-		<u>2 ch (38ピン)/</u> <u>4 ch (44ピン)</u>		4 ch	

<2> 11.4.3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定の備考の表を一部修正 (p.304)

<誤>

(2.7V V_{DD} 5.5Vの場合)

	ウインドウ・オープン期間の設定			
	25 %	50 %	75 %	100 %
ウインドウ・クロ ーズ時間	0~3.56 ms	0~2.37 ms	0~ <u>0.119 ms</u>	なし
ウインドウ・オー プン時間	3.56~3.88 ms	2.37~3.88 ms	<u>0.119</u> ~3.88 ms	0~3.88 ms

<正>

(2.7V V_{DD} 5.5Vの場合)

	ウインドウ・オープン期間の設定			
	25 %	50 %	75 %	100 %
ウインドウ・クロ ーズ時間	0~3.56 ms	0~2.37 ms	0~ <u>1.19</u> ms	なし
ウインドウ・オー プン時間	3.56~3.88 ms	2.37~3.88 ms	<u>1.19</u> ~3.88 ms	0~3.88 ms

<3> 表15-5 ボー・レート・ジェネレータ設定データを一部修正 (p.390)

<誤>

ボー・レート [bps]	$f_{PRS} = 2.0 \text{ MHz}$			
	TPS63-TPS60	k	算出値	ERR [%]
31250	1H	<u>4</u>	31250	0

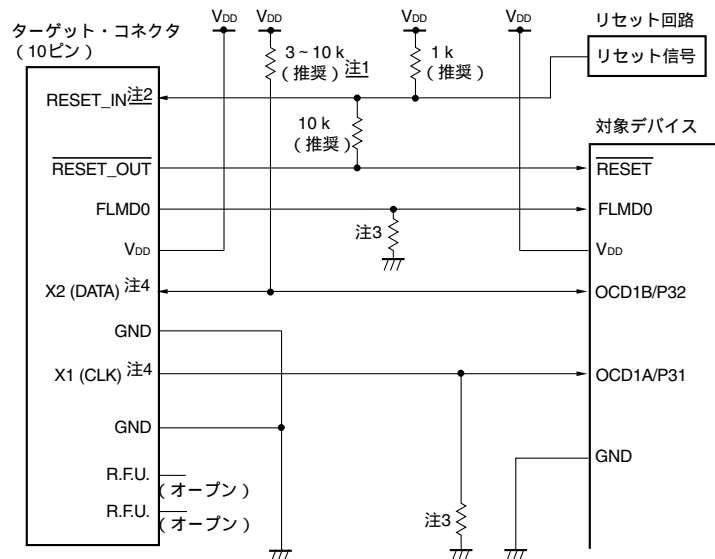
<正>

ボー・レート [bps]	$f_{PRS} = 2.0 \text{ MHz}$			
	TPS63-TPS60	k	算出値	ERR [%]
31250	1H	<u>16</u>	31250	0

<4> 図28 - 2 QB-78K0MINIまたはQB-MINI2と μ PD78F0547Dの接続例 (OCD1A/P31, OCD1B/P32使用時)の注1,2を修正 (p.640)

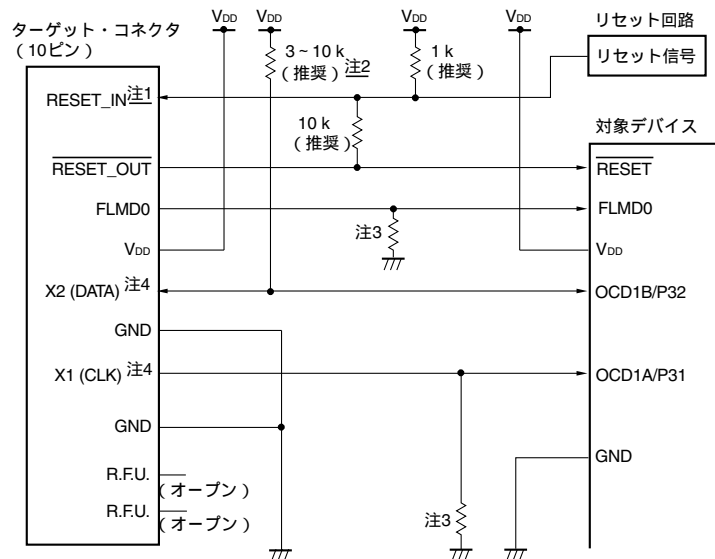
<誤>

図28 - 2 QB-78K0MINIまたはQB-MINI2と μ PD78F0547Dの接続例 (OCD1A/P31, OCD1B/P32使用時)



<正>

図28 - 2 QB-78K0MINIまたはQB-MINI2と μ PD78F0547Dの接続例 (OCD1A/P31, OCD1B/P32使用時)



- 注1. リセット信号の出力がN-ch オープン・ドレインのパウファ (出力抵抗: 100 Ω 以下) によるものと想定した回路との接続です。詳細につきましては, QB-78K0MINI ユーザーズ・マニュアル (U17029J) または QB-MINI2 ユーザーズ・マニュアル (U18371J) を参照してください。
- 注2. OCD1B/P32を入力ポートに設定している場合の端子処理です (QB-78K0MINIまたはQB-MINI2未接続時にオープンになるを防ぐため)
- 注3. ブルダウン抵抗値は470 Ω 以上 (10 k Ω : 推奨) にしてください。
- 注4. () なしはQB-78K0MINI の名称, () 内はQB-MINI2 の名称です。

<5> ロウ・レベル出力電圧 (V_{OL3}) の条件の略号修正 (p. 664, 686, 707, 728)

<誤>

$\underline{I_{OL3}} = \dots$

<正>

$\underline{I_{OL1}} =$