

技術通知 78K0/Kx2 マイクロコントローラ	発行番号	ZBG-CC-08-0012号	1/4		
	発行日	2008年7月14日			
	発行元	NEC エレクトロニクス株式会社 マイクロコンピュータ事業本部 汎用マイコンシステム事業部 製品ソリューショングループ			
文書分類	○	使用制限事項	バージョン・アップ	ドキュメント誤記訂正	その他
関連資料	78K0/KB2 ユーザーズ・マニュアル (従来規格品) 78K0/KC2 ユーザーズ・マニュアル (従来規格品) 78K0/KD2 ユーザーズ・マニュアル (従来規格品) 78K0/KE2 ユーザーズ・マニュアル (従来規格品) 78K0/KF2 ユーザーズ・マニュアル (従来規格品) 78K0/Kx2 ユーザーズ・マニュアル (拡張規格品) 78K0/Kx2 アプリケーション・ノート		資料番号: U17328JJ5V0UD00 (第5版) 資料番号: U17336JJ5V0UD00 (第5版) 資料番号: U17312JJ5V0UD00 (第5版) 資料番号: U17260JJ6V0UD00 (第6版) 資料番号: U17397JJ5V0UD00 (第5版) 資料番号: U18598JJ1V0UD00 (第1版) 資料番号: U17739JJ3V0AN00 (第3版)		

1. 対象製品

78K0/Kx2 マイクロコントローラ全製品:

78K0/Kx2 マイクロコントローラ	品名
78K0/KB2 (30, 36ピン)	uPD78F050x, uPD78F0503D, uPD78F050xA, uPD78F0503DA (Xには0~3の数字が入ります)
78K0/KC2 (38, 44ピン)	uPD78F051x, uPD78F0513D, uPD78F051xA, uPD78F0513DA (Xには1~3の数字が入ります)
78K0/KC2 (48ピン)	uPD78F051x, uPD78F0515D, uPD78F051xA, uPD78F0515DA (Xには1~5の数字が入ります)
78K0/KD2 (52ピン)	uPD78F052x, uPD78F0527D, uPD78F052xA, uPD78F0527DA (Xには1~7の数字が入ります)
78K0/KE2 (64ピン)	uPD78F053x, uPD78F0537D, uPD78F053xA, uPD78F0537DA (Xには1~7の数字が入ります)
78K0/KF2 (80ピン)	uPD78F054x, uPD78F0547D, uPD78F054xA, uPD78F0547DA (Xには4~7の数字が入ります)

2. 通知内容

78K0/Kx2 マイクロコントローラについて、下記制限事項の追加がございます。

【制限事項の概要】

◆低電圧検出機能(LVI)制限事項③

対象製品：78K0/Kx2 (従来規格品、32kbyte 以下製品、ただし OCD 製品は除く)

78K0/KB2：μPD78F0500, μPD78F0501, μPD78F0502, μPD78F0503

78K0/KC2：μPD78F0511, μPD78F0512, μPD78F0513

78K0/KD2：μPD78F0521, μPD78F0522, μPD78F0523

78K0/KE2：μPD78F0531, μPD78F0532, μPD78F0533

対象となる使用方法：

低電圧検出回路 (LVI) を電源電圧 (VDD) レベル検出によるリセット動作中 {LVION=1, LVIMD=1, LVISEL=0} に、16 ビット・タイマ/イベント・カウンタ 00 のキャプチャ/コンペア・コントロール・レジスタ 00 (CRC00) への書込みを行なっている場合に対象となります。

次の使用方法の場合は対象外となります。

<対象外となる使用方法>

- ・ LVI を使用していない場合
- ・ LVI を割り込みとして使用している場合
- ・ 外部 LVI リセットモードでの使用 { LVION=1, LVIMD=1, LVISEL=1 } の場合
- ・ CRC00 への書込みを行わない場合

制限事項内容：

低電圧検出回路 (LVI) によるリセット発生と、16 ビット・タイマ/イベント・カウンタ 00 のキャプチャ/コンペア・コントロール・レジスタ 00 (CRC00) への書き込みが競合した場合、LVISEL ビットが“1”になる場合があります。

CRC00 以外の SFR 及び RAM への書き込みについては問題ございません。

詳細は別紙 8 をご参照ください。

対策：

ソフトウェアにて下記の対策を行なうことで回避することができます。

- ・ CRC00 に 00H を書き込む場合 : CRC00 への書込みを行わないようにする。
- ・ CRC00 に 00H 以外を書き込む場合：

次の対策を行なってください。

対策 ウォッチドッグ・タイマによるリセットを使用する方法

詳細は別紙 8 をご参照ください。

改善計画：

大変申し訳ございませんが、本件は制限事項とさせていただきます。

次回ユーザーズ・マニュアル改版時に本制限事項を記載いたします。

低電圧検出機能(LVI)制限事項

対象製品：78K0/Kx2 (拡張規格品、32kbyte 以下製品、ただし OCD 製品は除く)

78K0/KB2 : μPD78F0500A, μPD78F0501A, μPD78F0502A, μPD78F0503A

78K0/KC2 : μPD78F0511A, μPD78F0512A, μPD78F0513A

78K0/KD2 : μPD78F0521A, μPD78F0522A, μPD78F0523A

78K0/KE2 : μPD78F0531A, μPD78F0532A, μPD78F0533A

対象となる使用方法：

低電圧検出回路 (LVI) がリセットモード動作中に 16 ビット・タイマ/イベント・カウンタ 00 のキャプチャ/コンペア・コントロール・レジスタ 00 (CRC00) への書込みを行なっている場合に対象となります。

次の使用方法の場合は対象外となります。

<対象外となる使用方法>

- ・ LVI を使用していない場合
- ・ LVI を割り込みとして使用している場合
- ・ CRC00 への書き込みを行わない場合

制限事項内容：

低電圧検出回路(LVI)によるリセット発生と、16ビット・タイマ/イベント・カウンタ00のキャプチャ/コンペア・コントロール・レジスタ00(CRC00)への書き込みが競合した場合、LVIMレジスタに意図しない値が書き込まれる場合がございます。

CRC00以外のSFR及びRAMへの書き込みについては問題ございません。

詳細は別紙9をご参照ください。

対策：

ソフトウェアにて下記の対策を行なうことで回避することができます。

- ・ CRC00 に 00H を書き込む場合 : CRC00 への書き込みを行わないようにしてください。
- ・ CRC00 に 00H 以外を書き込む場合 : 使用条件によって次の対策を行なってください。
 - 対策A . ウォッチドッグ・タイマによるリセットを使用する方法
 - 対策B . 再設定を行なう方法 (電源電圧検出モード時)
 - 対策C . 再設定を行なう方法 (外部電圧検出モード時)

詳細は別紙9をご参照ください。

改善計画：

デバイス修正を行ない修正品を出荷します。

低電圧検出機能(LVI)制限事項

対象製品：78K0/Kx2 (拡張規格品、32kbyte以下製品、ただしOCD製品は除く)

78K0/KB2：μPD78F0500A, μPD78F0501A, μPD78F0502A, μPD78F0503A

78K0/KC2：μPD78F0511A, μPD78F0512A, μPD78F0513A

78K0/KD2：μPD78F0521A, μPD78F0522A, μPD78F0523A

78K0/KE2：μPD78F0531A, μPD78F0532A, μPD78F0533A

対象となる使用方法：

低電圧検出回路(LVI)をリセットとして使用している場合対象となります。

次の使用方法の場合は対象外となります。

<対象外となる使用方法>

- ・ LVI を使用していない場合
- ・ LVI を割り込みとして使用している場合

制限事項内容：

低電圧検出回路(LVI)によるリセット発生と、LVIを設定するレジスタへの書き込みが競合した場合、そのレジスタに意図しない値が書き込まれる場合がございます。

詳細は別紙10をご参照ください。

対策：

ソフトウェアにて下記の対策を行なうことで回避することができます。

- ・LVIをリセットモードとして設定した場合、LVIレジスタを再設定しないようにしてください。

詳細は別紙10をご参照ください。

改善計画：

デバイス修正を行ない修正品を出荷します。

本製品について、上記制限事項を含め過去にご報告致しました制限事項一覧を別紙1に示します。

3. 発行文書履歴

78K0/Kx2 技術通知 発行文書履歴

文書番号	発行日	記事
ZBG-CC-05-0065	2005年10月26日	初版発行
ZBG-CC-06-0018	2006年4月21日	デバイス修正後の製法規格の変更を追加
ZBG-CC-06-0049	2006年12月4日	OCD品制限事項、LVI動作制限事項①、②を追加
ZBG-CC-08-0007	2008年4月24日	STOPモード制限事項、フラッシュ・メモリ・プログラミング制限事項を追加
ZBG-CC-08-0010	2008年6月30日	誤記のため、廃版
ZBG-CC-08-0012	2008年7月14日	本通知です

78K0/Kx2マイクロコントローラ使用制限事項一覧

1) 使用制限事項履歴

◆ROM 32K バイト以下の製品

項目	内容	78K0/Kx2 ROM サイズ 32K バイト以下		
		従来規格品	拡張規格品	
		KB2: uPD78F0500/501/502/503 KC2: uPD78F0511/512/513 KD2: uPD78F0521/522/523 KE2: uPD78F0531/532/533	KB2: uPD78F0500A/501A/502A/503A KC2: uPD78F0511A/512A/513A KD2: uPD78F0521A/522A/523A KE2: uPD78F0531A/532A/533A	I, K
製法規格	I, K	I, K	E	
1	フラッシュ・メモリ書き込み制限事項	—	—	—
2	オンチップ・デバッグ品制限事項	—	—	—
3	低電圧検出機能(LVI)制限事項①	△	○	○
4	低電圧検出機能(LVI)制限事項②	△	△	△
5	STOP モード制限事項	△	△	△
6	フラッシュ・メモリ・ プログラミング制限事項	△	△	△
7	低電圧検出機能(LVI)制限事項③	△	—	—
8	低電圧検出機能(LVI)制限事項④	—	×	○
9	低電圧検出機能(LVI)制限事項⑤	—	×	○

備考)各記号はそれぞれ下記の意味を示します。

—:制限事項対象外

○:制限事項修正済み

△:制限事項対象(修正予定なし)

×:制限事項対象(修正予定あり)

◆ROM サイズ 48K バイト以上の製品

項目	内容	78K0/Kx2 ROM サイズ 48K バイト以上		
		従来規格品		拡張規格品
		KC2: uPD78F0514/515 KD2: uPD78F0524/525/526/527 KE2: uPD78F0534/535/536/537 KF2: uPD78F0544/545/546/547		KC2: uPD78F0514A/515A KD2: uPD78F0524A/525A/526A/527A KE2: uPD78F0534A/535A/536A/537A KF2: uPD78F0544A/545A/546A/547A
製法規格	I, K, E	X	I, K	
1	フラッシュ・メモリ書き込み制限事項	△	○	○
2	オンチップ・デバッグ品制限事項	—	—	—
3	低電圧検出機能(LVI)制限事項①	△	△	○
4	低電圧検出機能(LVI)制限事項②	△	△	△
5	STOP モード制限事項	△	△	△
6	フラッシュ・メモリ・ プログラミング制限事項	△	△	△
7	低電圧検出機能(LVI)制限事項③	—	—	—
8	低電圧検出機能(LVI)制限事項④	—	—	—
9	低電圧検出機能(LVI)制限事項⑤	—	—	—

備考)各記号はそれぞれ下記の意味を示します。

—:制限事項対象外

○:制限事項修正済み

△:制限事項対象(修正予定なし)

◆オンチップ・デバッグ機能有り製品

項目	内容	78K0/Kx2 オンチップ・デバッグ機能有り製品		
		従来規格品		拡張規格品
		KB2:uPD78F0503D KC2:uPD78F0513D/515D KD2:uPD78F0527D KE2:uPD78F0537D KF2:uPD78F0547D		KB2:uPD78F0503DA KC2:uPD78F0513DA/515DA KD2:uPD78F0527DA KE2:uPD78F0537DA KF2:uPD78F0547DA
製法規格	I, K, E	X	I, K	
1	フラッシュ・メモリ書き込み制限事項	△	△	△
2	オンチップ・デバッグ品制限事項	△	△	△
3	低電圧検出機能(LVI)制限事項①	△	△	○
4	低電圧検出機能(LVI)制限事項②	△	△	△
5	STOP モード制限事項	△	△	△
6	フラッシュ・メモリ・ プログラミング制限事項	△	△	△
7	低電圧検出機能(LVI)制限事項③	—	—	—
8	低電圧検出機能(LVI)制限事項④	—	—	—
9	低電圧検出機能(LVI)制限事項⑤	—	—	—

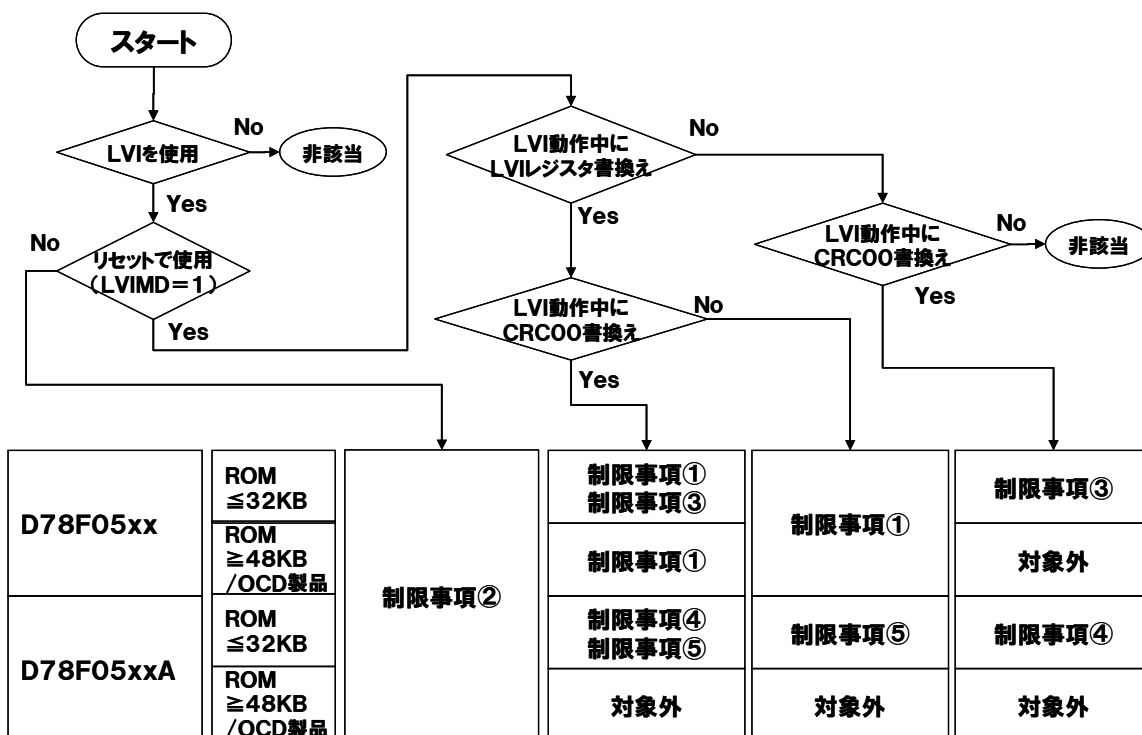
備考)各記号はそれぞれ下記の意味を示します。

—:制限事項対象外

○:制限事項修正済み

△:制限事項対象(修正予定なし)

◆低電圧検出機能(LVI)制限事項①~⑤該当判定フローチャート



2)使用制限事項の詳細

- 項目 1: 詳細は別紙 2 をご参照下さい。
- 項目 2: 詳細は別紙 3 をご参照下さい。
- 項目 3: 詳細は別紙 4 をご参照下さい。
- 項目 4: 詳細は別紙 5 をご参照下さい。
- 項目 5: 詳細は別紙 6 をご参照下さい。
- 項目 6: 詳細は別紙 7 をご参照下さい。
- 項目 7: 詳細は別紙 8 をご参照下さい。
- 項目 8: 詳細は別紙 9 をご参照下さい。
- 項目 9: 詳細は別紙 10 をご参照下さい。

●項目1(使用制限事項):フラッシュ書き込み制限事項

対象製品

78K0/Kx2 マイクロコントローラ	品名
78K0/KB2 (30、36ピン)	uPD78F0503D
78K0/KC2 (38、44ピン)	uPD78F0513D
78K0/KC2 (48ピン)	uPD78F0514、uPD78F0515、uPD78F0515D
78K0/KD2 (52ピン)	uPD78F0524、uPD78F0525、uPD78F0526、uPD78F0527、uPD78F0527D
78K0/KE2 (64ピン)	uPD78F0534、uPD78F0535、uPD78F0536、uPD78F0537、uPD78F0537D
78K0/KF2 (80ピン)	uPD78F0544、uPD78F0545、uPD78F0546、uPD78F0547、uPD78F0547D

上記のうち製法規格が“I”、“K”、および“E”の製品

◆制限事項詳細

現象:

対象製品は製品内部の回路構成が原因でフラッシュ・メモリのプログラミングの際、書き込みエラーが発生することがございます。この問題は P31/INTP2(/OCD1A*), P121/X1(/OCD0A*)端子の端子処理によって発生致します。尚、セルフ・プログラミングでは問題ございません。

P31/INTP2(/OCD1A*)と P121/X1(/OCD0A*)の端子処理と現象発生の関係は下記の通りです。

端子処理		現象発生の有無
P31/INTP2/OCD1A ^{注1} P31/INTP2 ^{注2}	P121/X1/OCD0A ^{注1} P121/X1 ^{注2}	
プルアップ	—	現象が発生する場合があります。
オープン	—	
—	プルアップ	
上記以外の端子処理		現象は発生しません。

—:プルアップ/プルダウン/オープン

注1:OCD 機能搭載品の端子名 注2:OCD 機能非搭載品の端子名

尚、上記条件においても書き込みが正常に終了した場合は問題ございません。

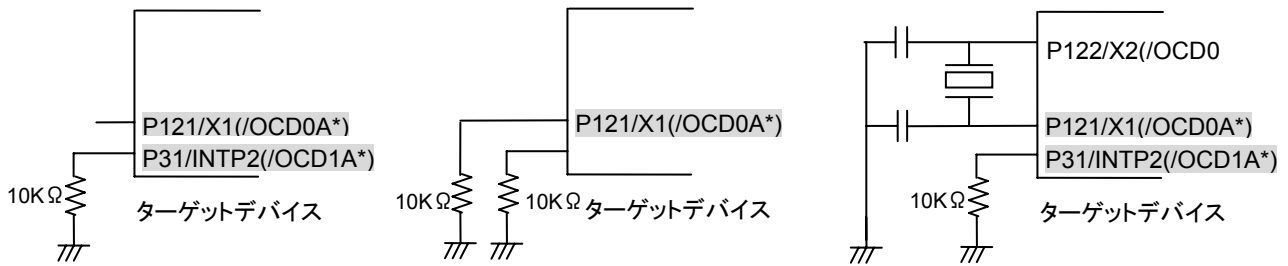
改善計画:暫定対策

フラッシュ・メモリのプログラミングを行う場合は下記のように処理してください。

- ・ P121/X1(/OCD0A*)端子をプルアップしないでください。
- ・ P31/INTP2(/OCD1A*)端子はプルダウンしてください。

尚、セルフ・プログラミングでは対策をする必要はございません。

以下に端子処理の回路例を示します。



フラッシュ・メモリのプログラミングにおける端子処理例

* : オンチップ・ディバグ(OCD)機能搭載製品にのみ存在する端子です。

恒久対策

< OCD 機能非搭載製品 >

制限事項を解消する為のデバイス修正を行います。修正されたデバイスでは暫定対策を行う必要はございません。また、電気的特性が変わることはございません。

修正前と修正後のデバイスは製法規格*にてご確認ください。修正前の製法規格は“I”、“K”もしくは“E”、修正後は“X”です。

* : 製法規格は別途、弊社営業にご確認ください。

< OCD 機能搭載製品 >

OCD 機能搭載製品に関しましては、別紙 3 をご参照ください。

●項目2(使用制限事項):オンチップ・デバッグ専用製品制限事項

対象製品

オンチップ・デバッグ(OCD)機能搭載品

78K0/Kx2 マイクロコントローラ	品名
78K0/KB2 (30、36ピン)	uPD78F0503D、uPD78F0503DA
78K0/KC2 (38、44ピン)	uPD78F0513D、uPD78F0513DA
78K0/KC2 (48ピン)	uPD78F0515D、uPD78F0515DA
78K0/KD2 (52ピン)	uPD78F0527D、uPD78F0527DA
78K0/KE2 (64ピン)	uPD78F0537D、uPD78F0537DA
78K0/KF2 (80ピン)	uPD78F0547D、uPD78F0547DA

◆制限事項詳細

項目1(ZBG-CC-06-0018(2006年4月21日発行))にて通知致しました内容について、オンチップ・デバッグ機能搭載製品(uPD78F05xxD、uPD78F05xxDA)については制限事項とさせていただきます。

現象:

対象製品は製品内部の回路構成が原因でフラッシュ・メモリのプログラミングの際、書き込みエラーが発生することがあります。この問題はP31/INTP2(/OCD1A*)、P121/X1(/OCD0A*)端子の端子処理によって発生します。

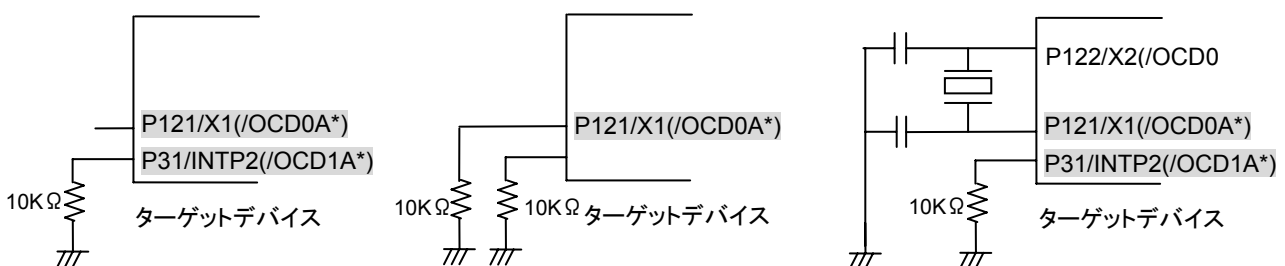
対策:

フラッシュ・メモリのプログラミングを行う場合は下記のように処理してください。

- ・ P121/X1(/OCD0A*)端子をプルアップしないでください。
- ・ P31/INTP2(/OCD1A*)端子はプルダウンしてください。

尚、セルフ・プログラミングでは対策をする必要はございません。

下記に端子処理の回路例を示します。



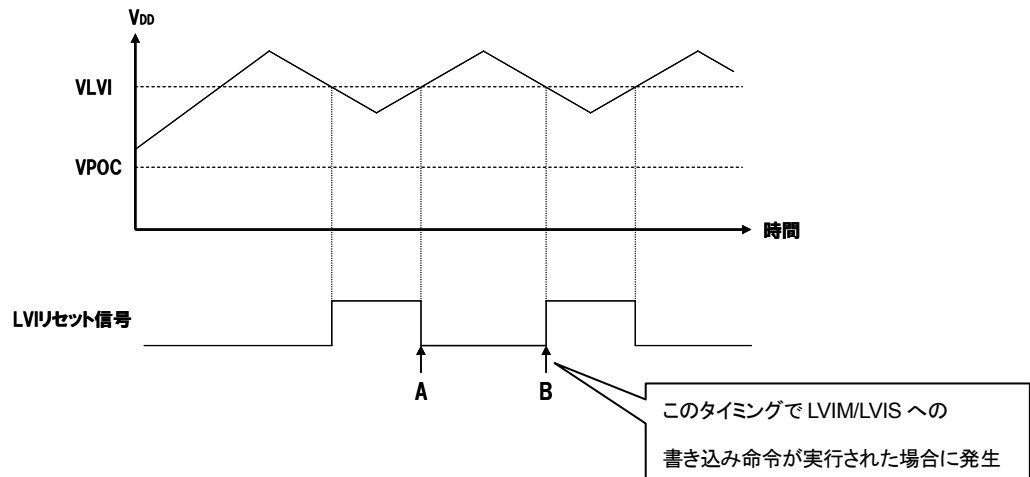
フラッシュ・メモリのプログラミングにおける端子処理例

尚、LVIM、LVIS 以外のレジスタは本制限事項の対象外です。

現象の発生例:

LVI 検出電圧(VLVI)付近で VDD 電圧が揺れた場合、LVI リセットが何度も発生します。リセット解除後、必ず LVIM と LVIS を初期設定するプログラムの場合、LVI リセット解除のタイミング(図 2 の A)から LVI リセット発生のタイミング(図 2 の B)と、リセット解除から LVIM、LVIS を初期設定するまでの時間が一致した場合、本現象が発生します。

図 2 LVI リセットと LVIM/LVIS レジスタへの書き込みの競合例



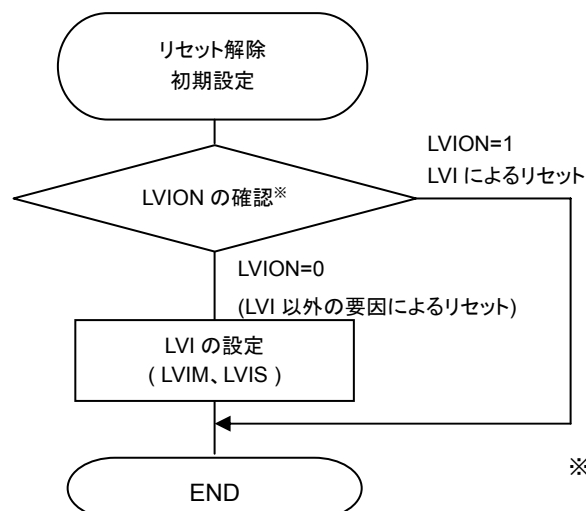
改善計画:

暫定対策

下記の 2 つのソフトウェア対策を実施することで制限事項を回避可能です。

- ① LVI をリセットに設定した場合、以後 LVIM レジスタ、LVIS レジスタに書き込みを行わないでください。
- ② LVIM、LVIS レジスタへの設定を行う前に LVIM のビット 7 (LVION) が "0" であることを確認して下さい。LVION が "1" だった場合は LVIM、LVIS への設定は行わないようにして下さい。この対策により外部リセット入力、POC リセット、ウォッチドッグ・タイマ(WDT)リセットの場合は LVIM、LVIS の設定を行い、LVI リセットの場合は LVIM、LVIS の設定を行いません。

尚、リセット・コントロール・フラグ・レジスタ(RESF)は、LVI リセットと WDT リセットで RESF はクリアされない仕様の為、LVIRF と WDTRF の両方が "1" になる場合がございます。LVIRF をビット判定した場合、LVI リセットの有無は判定できますが、WDT リセットによって LVIM、LVIS がクリアされた事を判定するには命令の追加が必要となります。この為 本制限の対策には LVION を使用して下さい。



※LVION 以外に LVIMD を用いた確認も可能です。LVIMD は LVIM レジスタの bit1 です。

恒久対策

スペック拡張品にて改善致します。改善した製品の製品名は UPD78F05xxA です。

旧品名 : uPD78F05xx

改善品名 : uPD78F05xxA

なお、旧品名の製品に関しては制限事項とさせていただきます。

改善品 (uPD78F05xxA) の詳細につきましては“8 ビットマイクロコントローラ 78K0/Kx2 スペック拡張品リリースについて”(ZBB-CC-06-0253)をご参照ください。

— 以上 —

●項目4(使用制限事項):低電圧検出回路(LVI)制限事項②

対象製品

78K0/Kx2 マイクロコントローラ	品名
78K0/KB2 (30、36 ピン)	uPD78F050x、uPD78F0503D、uPD78F050xA、uPD78F0503DA (Xには0~3の数字が入ります)
78K0/KC2 (38、44 ピン)	uPD78F051x、uPD78F0513D、uPD78F051xA、uPD78F0513DA (Xには1~3の数字が入ります)
78K0/KC2 (48 ピン)	uPD78F051x、uPD78F0515D、uPD78F051xA、uPD78F0515DA (Xには1~5の数字が入ります)
78K0/KD2 (52 ピン)	uPD78F052x、uPD78F0527D、uPD78F052xA、uPD78F0527DA (Xには1~7の数字が入ります)
78K0/KE2 (64 ピン)	uPD78F053x、uPD78F0537D、uPD78F053xA、uPD78F0537DA (Xには1~7の数字が入ります)
78K0/KF2 (80 ピン)	uPD78F054x、uPD78F0547D、uPD78F054xA、uPD78F0547DA (Xには4~7の数字が入ります)

制限事項の対象となる使用方法:

低電圧検出機能(LVI)を割り込みモードとして使用(LVIMD=0)し、動作中にLVIを停止(LVION=0)した場合に対象となります。

LVIを使用していない、LVIをリセットとして使用している、LVIを停止しない場合は対象外となります。

現象:

低電圧検出回路(LVI)を割り込みモード(LVIMD=0)として使用し、電源電圧(VDD) ≤ 検出電圧(VLVI)の時(LVISEL=1の場合外部入力端子からの入力電圧(EXLVI) ≤ 検出電圧(VEXLVI))にLVI動作禁止(LVION=0)とすると割り込み要求フラグLVIIIF=1となり、割り込みが許可状態になっている場合、割り込みが発生致します。

改善計画:

大変申し訳ございませんが、本件は制限事項とさせていただきます。

電源電圧(VDD) ≤ 検出電圧(VLVI)の時(LVISEL=1の場合外部入力端子からの入力電圧(EXLVI) ≤ 検出電圧(VEXLVI))にLVIを動作許可(LVION=1)から動作禁止(LVION=0)にする場合、LVION=0とする前にLVIの割り込みをマスク(LVIMK=1)してください。

また、動作禁止(LVION=0)とした後にLVIIIFをクリア(LVIIIF=0)してください。

●(使用制限事項):STOP 命令実行に関する制限事項

◆対象製品

78K0/Kx2 マイクロコントローラ全製品:

78K0/Kx2 マイクロコントローラ	品名
78K0/KB2 (30、36 ピン)	uPD78F050x、uPD78F0503D、uPD78F050xA、uPD78F0503DA (Xには0~3の数字が入ります)
78K0/KC2 (38、44 ピン)	uPD78F051x、uPD78F0513D、uPD78F051xA、uPD78F0513DA (Xには1~3の数字が入ります)
78K0/KC2 (48 ピン)	uPD78F051x、uPD78F0515D、uPD78F051xA、uPD78F0515DA (Xには1~5の数字が入ります)
78K0/KD2 (52 ピン)	uPD78F052x、uPD78F0527D、uPD78F052xA、uPD78F0527DA (Xには1~7の数字が入ります)
78K0/KE2 (64 ピン)	uPD78F053x、uPD78F0537D、uPD78F053xA、uPD78F0537DA (Xには1~7の数字が入ります)
78K0/KF2 (80 ピン)	uPD78F054x、uPD78F0547D、uPD78F054xA、uPD78F0547DA (Xには4~7の数字が入ります)

◆制限事項詳細

制限事項の対象となる使用方法:

高速内蔵発振器 (f_{RH}) を CPU クロック (f_{CPU}) として使用しているお客様で、高速内蔵発振器が発振安定 ($RSTS=1$) する前に、下記のタイミングで STOP 命令を実行する場合に対象となります。

- ・ 高速内蔵発振器停止 ($RSTOP=1$) → 動作開始時 ($RSTOP=0$) から高速内蔵発振器 888~889 クロックの 1 クロックの期間
- ・ STOP モード解除時から高速内蔵発振器 888~889 クロックの 1 クロックの期間
- ・ POC 以外でリセット解除を行った場合、リセット処理完了から 408~701 クロックの期間 (POC 以外のリセットとは、WDT リセット、LVI リセット、外部リセット端子入力によるリセット)

尚、割り込み処理内で STOP 命令を実行する場合、STOP 命令実行のタイミングが特定できないため、上記に該当する場合があります。

高速内蔵発振器の発振安定後に STOP 命令を実行する場合は、問題ございません。

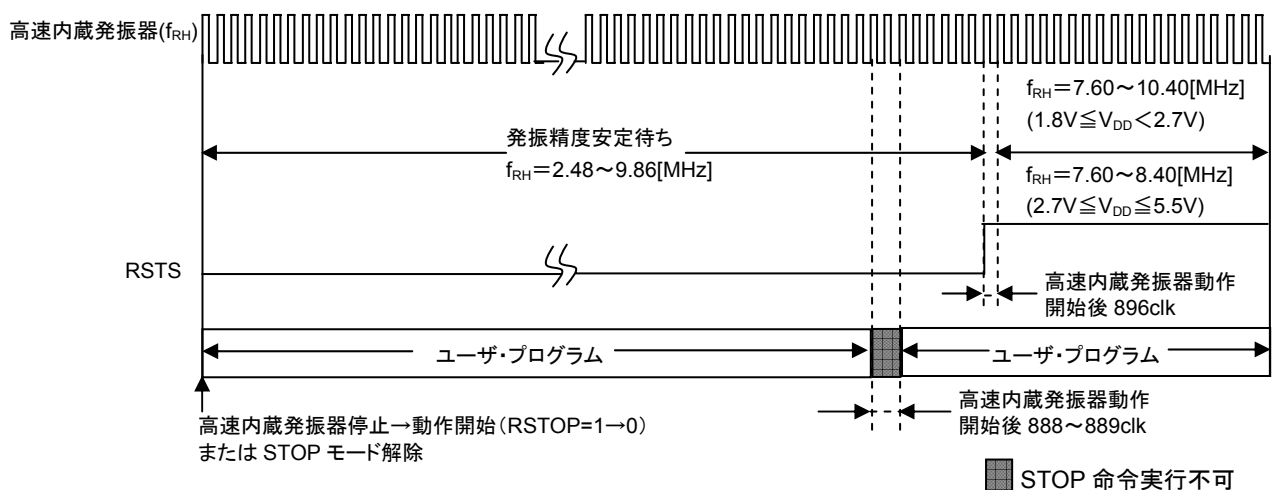


図 1-1 高速内蔵発振器停止→動作開始時または STOP モード解除後に制限事項の対象となる範囲

注意 上図は実際のクロック数、クロック幅とは異なり簡略化して記載しております。

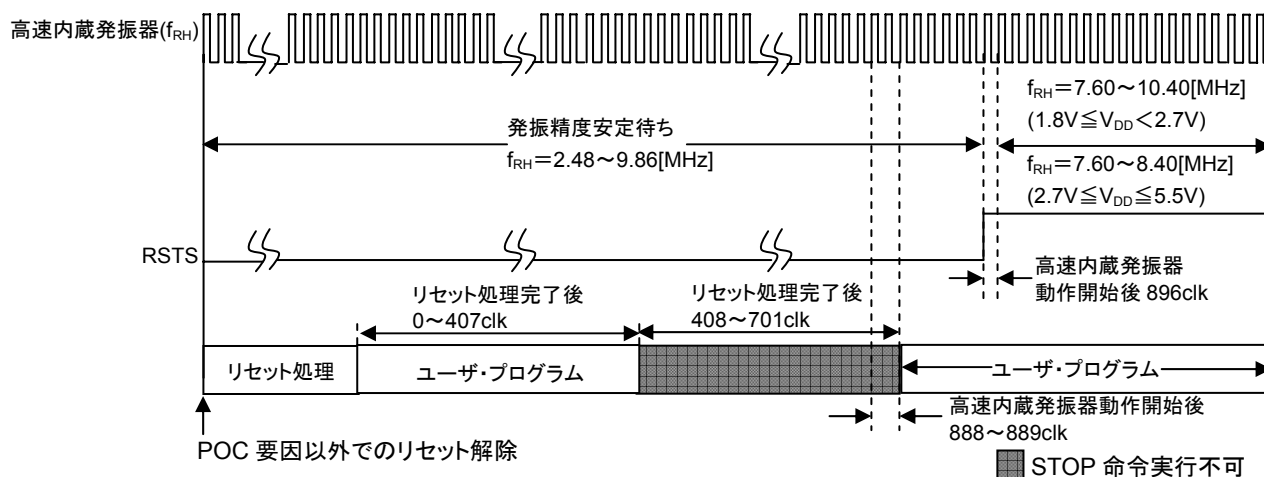


図 1-2 POC 以外でリセット解除を行った場合に制限事項の対象となる範囲

注意 上図は実際のクロック数、クロック幅とは異なり簡略化して記載しております。

現象:

高速内蔵発振器の発振安定状態への移行タイミングとSTOPモードへの移行タイミングが競合した場合、STOPモードへの移行が正常に行われなくなります。それにより下記の現象が発生します。

- ・ 割り込みによるSTOPモードからの復帰ができなくなる。
- ・ 高速内蔵発振器が停止しないため、通常のSTOPモードより消費電流の値が150~400[uA]程度大きくなる。

尚、オプション・バイトの設定によりウォッチドッグ・タイマを動作許可(WDTON=1)・低速内蔵発振器を停止不可(LSROSC=1)にしていた場合、現象発生時にウォッチドッグ・タイマがカウント・オーバーフローを起こしリセットが発生します。

対策:

ソフトウェアに下記の対策のいずれかを施すことで本現象を回避可能です。

- ① RSTS=1となっていることを確認後、STOP命令を実行する。
- ② STOP命令実行のタイミングを制限事項の対象となる範囲外に変更する。

尚、割り込み処理内でSTOP命令を実行する場合は、①の対策を施してください。

使用方法	対策	
	①	②
高速内蔵発振器動作開始(RSTOP=1→0)後にSTOP命令を実行する場合	○	○
STOPモード解除後に再度STOP命令を実行する場合	○	○
POC以外でリセット解除後にSTOP命令を実行する場合	○	○
高速内蔵発振器の動作開始からSTOP命令実行までの期間が特定できない場合	○	×

備考)各記号はそれぞれ下記の意味を示します。

○:有効

×:無効

改善計画:

大変申し訳ございませんが、本件は制限事項とさせていただきます。

次回ユーザーズ・マニュアル改版時に本制限事項を記載致します。

● (使用制限事項):フラッシュ・メモリ・プログラミングに関する制限事項

◆対象製品

78K0/Kx2 マイクロコントローラ全製品:

78K0/Kx2 マイクロコントローラ	品名
78K0/KB2 (30、36 ピン)	uPD78F050x、uPD78F0503D、uPD78F050xA、uPD78F0503DA (Xには0~3の数字が入ります)
78K0/KC2 (38、44 ピン)	uPD78F051x、uPD78F0513D、uPD78F051xA、uPD78F0513DA (Xには1~3の数字が入ります)
78K0/KC2 (48 ピン)	uPD78F051x、uPD78F0515D、uPD78F051xA、uPD78F0515DA (Xには1~5の数字が入ります)
78K0/KD2 (52 ピン)	uPD78F052x、uPD78F0527D、uPD78F052xA、uPD78F0527DA (Xには1~7の数字が入ります)
78K0/KE2 (64 ピン)	uPD78F053x、uPD78F0537D、uPD78F053xA、uPD78F0537DA (Xには1~7の数字が入ります)
78K0/KF2 (80 ピン)	uPD78F054x、uPD78F0547D、uPD78F054xA、uPD78F0547DA (Xには4~7の数字が入ります)

◆制限事項詳細

制限事項の対象となる使用方法:

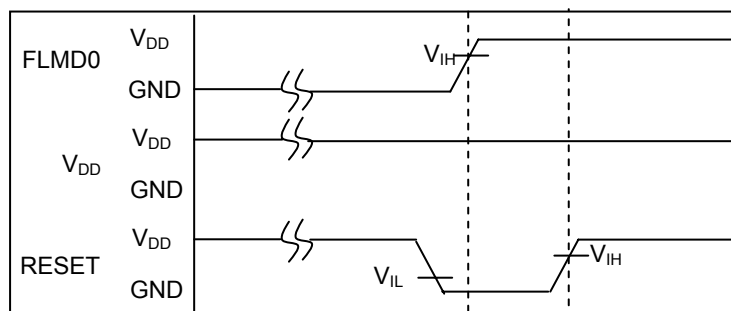
下記のいずれかの場合に対象となります。

- ・ フラッシュ・メモリ・プログラマ(PG-FP5)または MINICUBE2 で書き込みを行っているお客様で、Run After Disconnect 機能を使用している場合。
- ・ プログラマ編アプリケーション・ノート(U17739JJ2V0AN00)を参考に書き込み環境を構築しているお客様で、ユーザ・プログラム動作からフラッシュ・メモリ・プログラミング・モードへの引き込み(図 2-1 ①)を行う場合。

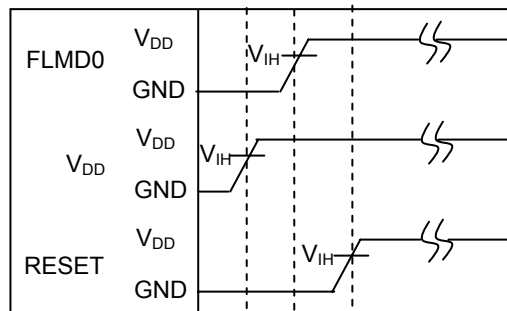
但し、上記に該当する場合でも正常に書き換え(ベリファイ)が完了した場合は、書き込み処理に問題はございません。

尚、下記の場合では本現象は発生致しません。(制限事項対象外です。)

- ・ 電源立ち上げと同時にモード引き込みを行う場合
- ・ セルフ・プログラミングを使用する場合
- ・ EEPROM エミュレーションを使用する場合



①ユーザ・プログラム動作中に引き込みを行う場合



②電源立ち上げと同時に引き込みを行う場合

図 2-1 フラッシュ・メモリ・プログラミング・モード引き込みの種類

現象

ユーザ・プログラム実行から、電源電圧を POC 検出電圧($V_{POC}=1.59[V] \pm 0.15[V]$)まで下げずにフラッシュ・メモリ・プログラミング・モードへ引き込む際の外部 RESET 端子によるリセット期間が 1950[ms]より短い場合、下記現象が発生する場合がございます。

- ・ リセット解除した瞬間に POC リセットが発生し、正常にフラッシュ・メモリ・プログラミング・モードに移行しない。そのため書き込み処理が行われず、ユーザ・プログラムが実行される。

対策:

フラッシュ・メモリ・プログラミング・モード引き込み時の外部 RESET 端子の制御において、1950[ms]以上のリセット期間を確保することで本現象を回避可能です。

改善計画:

- ・ PG-FP5 の Run After Disconnect 機能を使用しているお客様:ファーム・ウェア修正版(V2.01)以降によって規定のリセット期間を確保する仕様に変更致します。
- ・ MINICUBE2 の Run After Disconnect 機能を使用しているお客様:個別対応とさせていただきます。該当するお客様は弊社販売特約店または弊社営業にご連絡下さい。
- ・ プログラマ編アプリケーション・ノート(U17739JJ2V0AN00)を参考に書き込み環境を構築しているお客様:大変申し訳ございませんが、本件は制限事項とさせていただきます。アプリケーション・ノートの次回改版時に、フラッシュ・メモリ・プログラミング・モード設定時間のスペックを追加致します。

尚、サード・パーティ製プログラマをご使用のお客様は販売元にご連絡下さい。

● (使用制限事項):低電圧検出回路(LVI)の制限事項③

◆対象製品

78K0/Kx2 (従来規格品、32kbyte 以下製品):

78K0/Kx2 マイクロコントローラ	品名
78K0/KB2 (30、36 ピン)	uPD78F050x (X には 0~3 の数字が入ります)
78K0/KC2 (38、44 ピン)	uPD78F051x (X には 1~3 の数字が入ります)
78K0/KC2 (48 ピン)	uPD78F051x (X には 1~3 の数字が入ります)
78K0/KD2 (52 ピン)	uPD78F052x (X には 1~3 の数字が入ります)
78K0/KE2 (64 ピン)	uPD78F053x (X には 1~3 の数字が入ります)
78K0/KF2 (80 ピン)	なし

◆制限事項詳細

制限事項の対象となる使用方法

低電圧検出回路 (LVI) を電源電圧 (VDD) レベル検出によるリセット動作中 {LVION=1,LVIMD=1,LVISEL=0} に、16 ビット・タイマ/イベント・カウンタ 00 のキャプチャ/コンペア・コントロール・レジスタ 00 (CRC00) への書込み(8ビット操作命令もしくは1ビット操作命令)を行なっている場合に対象となります。

次の使用方法の場合は対象外となります。

【対象外となる使用方法】

- ・ LVI を使用していない場合
- ・ LVI を割り込みとして使用している場合
- ・ 外部 LVI リセットモードでの使用 [LVION=1,LVIMD=1,LVISEL=1] の場合
- ・ CRC00 への書込みを行っていない場合 (8 ビット操作命令もしくは 1 ビット操作命令)

現象

低電圧検出回路(LVI)によるリセット発生と、16 ビット・タイマ/イベント・カウンタ 00 のキャプチャ/コンペア・コントロール・レジスタ 00 (CRC00) への書き込みが競合した場合、LVISEL ビットが“1”になる場合があります。その結果、電圧検出が VDD から EXLVI 端子入力の電圧検出に切り替わることがあります。

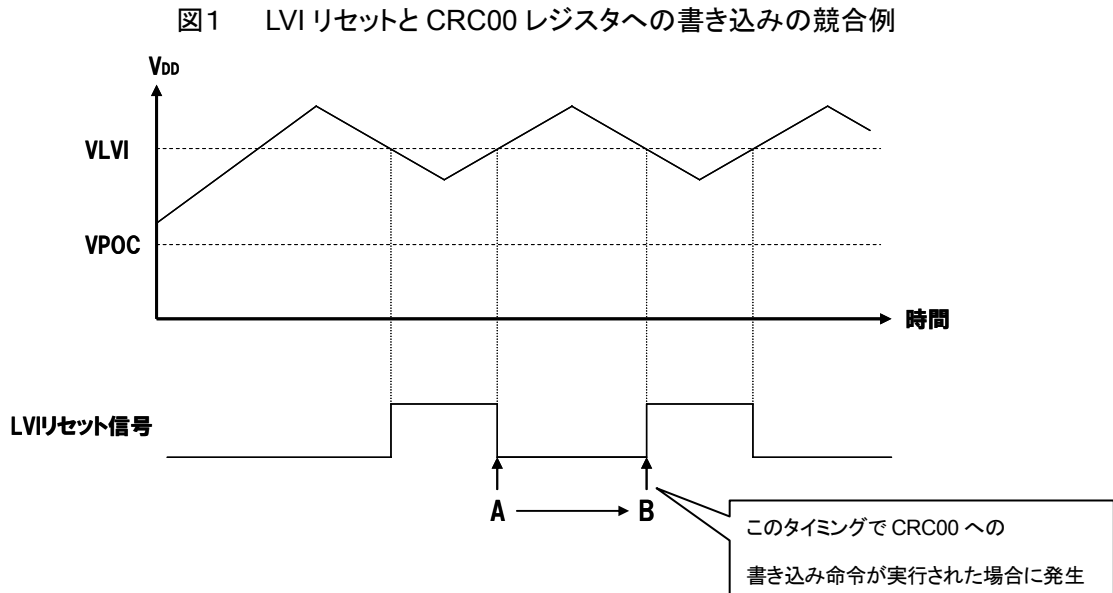
原因

リセット発生時には、内部アドレスバス/データバスの状態はそれぞれ FFFFH/FFH になります。CRC00 レジスタ(アドレス:FFBCH)への書き込み命令実行時にLVIによるリセットが発生した場合、アドレスバスの値が FFFFH に変化する過程で、一瞬“FFBEH”番地(LVIM レジスタ)を指す場合があります。これにより、LVIM レジスタに誤ってその際のデータバス値(FFH)が書き込まれます。レジスタへの書込みは 8 ビット操作命令、1 ビット操作命令どちらも対象となります。

尚、CRC00 以外の SFR および RAM への書込みは本制限事項の対象外です。

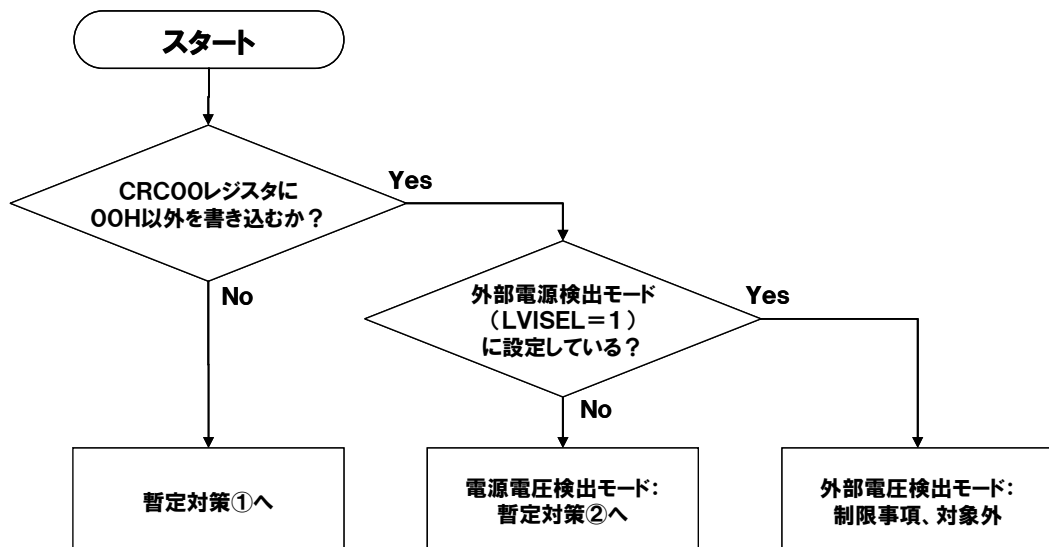
現象の発生例

LVI 検出電圧(VLVI)付近で VDD 電圧が揺れた場合、LVI リセットが繰り返し発生します。リセット解除後、CRC00 を初期設定するプログラムの場合、LVI リセット解除のタイミング(図1の A)から LVI リセット発生のタイミング(図1の B)と、リセット解除から CRC00 を初期設定するまでの時間が一致した場合、本現象が発生します。



回避策について

次のように使用条件に対して、それぞれの対策を行なうことで本現象を回避することができます。



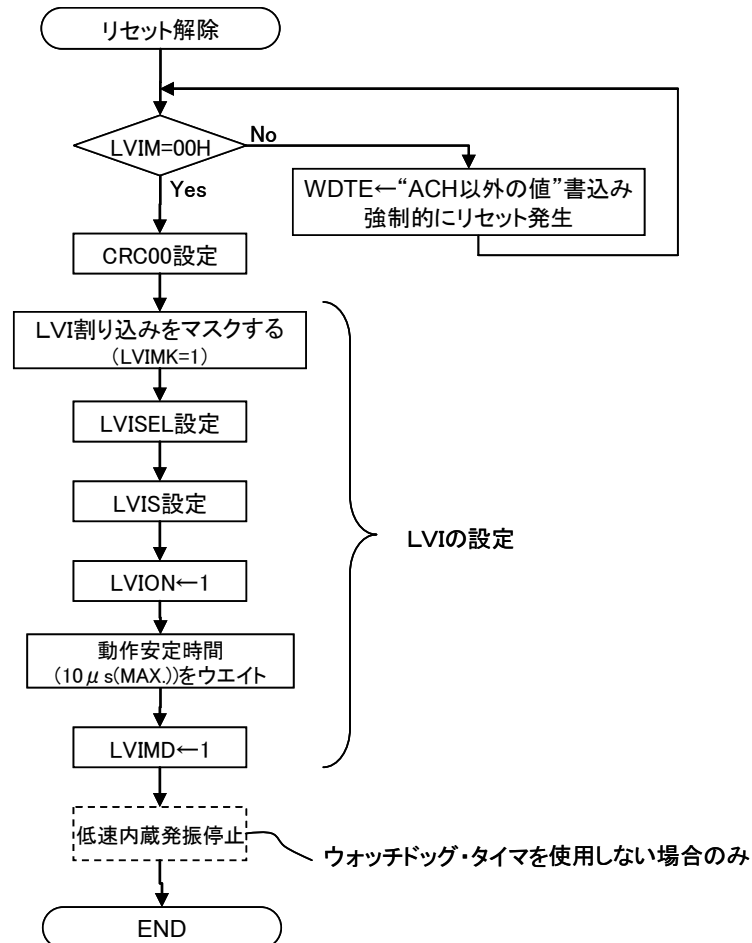
暫定対策① : CRC00 への書き込みを行なわない方法

リセットによって CRC00 の値は 00H になりますので、書き込みを行なわないでください。書き込みを行なわない場合、LVI リセットとの競合がおこらないので、現象を回避することが可能です。

暫定対策②：ウォッチドッグ・タイマによるリセットを使用する方法

リセット解除後、LVI が動作している(LVIM≠00H)時は、必ずウォッチドッグ・タイマによるリセットを発生させLVIを停止させた後、CRC00とLVIレジスタの再設定をします。ウォッチドッグ・タイマを使用する必要があります。設定手順は、次の図2のようになります。

図2 設定手順



注意 オプションバイトにて、必ずウォッチドッグ・タイマのカウンタ動作許可(WDTON=1)に設定してください。ウォッチドッグ・タイマを使用しない場合は、オプションバイトにてLSROSC=0に設定し、上記破線のようにソフトウェアにて低速内蔵発振を停止(LSRSTOP=1)に設定してください。

備考 ユーザーズ・マニュアルに記載されているLVIの設定手順では、LVIMDはLVIFで、「電源電圧(VDD)≥検出電圧(VLVI)」であることを確認してから設定するよう記載しております。これは、設定と同時にリセットが発生することを避けるためですが、本対策を実施する場合には確認しなくて構いません。

改善計画

スペック拡張品にて改善致します。改善した製品の製品名は UPD78F05xxA です。

旧品名 : uPD78F05xx

改善品名 : uPD78F05xxA

なお、旧品名の製品に関しては制限事項とさせていただきます。

— 以上 —

● (使用制限事項): 低電圧検出回路(LVI)の制限事項④

◆対象製品

78K0/Kx2 (拡張規格品、32kbyte 以下製品):

78K0/Kx2 マイクロコントローラ	品名
78K0/KB2 (30、36 ピン)	uPD78F050xA (Xには0~3の数字が入ります)
78K0/KC2 (38、44 ピン)	uPD78F051xA (Xには1~3の数字が入ります)
78K0/KC2 (48 ピン)	uPD78F051xA (Xには1~3の数字が入ります)
78K0/KD2 (52 ピン)	uPD78F052xA (Xには1~3の数字が入ります)
78K0/KE2 (64 ピン)	uPD78F053xA (Xには1~3の数字が入ります)
78K0/KF2 (80 ピン)	なし

◆制限事項詳細

制限事項の対象となる使用方法

低電圧検出回路(LVI)をリセットとして使用する設定、且つ16ビット・タイマ/イベント・カウンタ00のキャプチャ/コンペア・コントロール・レジスタ00(CRC00)への書き込みを行なっている場合(8ビット操作命令もしくは1ビット操作命令)が対象となります。

次の使用方法の場合は対象外となります。

【対象外となる使用方法】

- ・ LVI を使用していない場合
- ・ LVI を割り込みとして使用している場合
- ・ CRC00 への書き込みを行っていない場合(8ビット操作命令もしくは1ビット操作命令)

現象

低電圧検出回路(LVI)によるリセットと、16ビット・タイマ/イベント・カウンタ00のキャプチャ/コンペア・コントロール・レジスタ00(CRC00)への書き込みが競合した場合、LVIMレジスタの書き込み可能なビットが“0”になる場合があります。その結果、以下の3つの現象が発生することがあります。

- ・ LVION が 1 から 0 に変わる : LVI 動作許可から動作禁止に切り替わる。
- ・ LVIMD が 1 から 0 に変わる : LVI の動作モードがリセットモードから割り込みモードに切り替わる。
- ・ LVISEL が 1 から 0 に変わる: 検出電圧が外部入力端子(EXLVI 端子)から電源電圧(VDD)に切り替わる。

原因

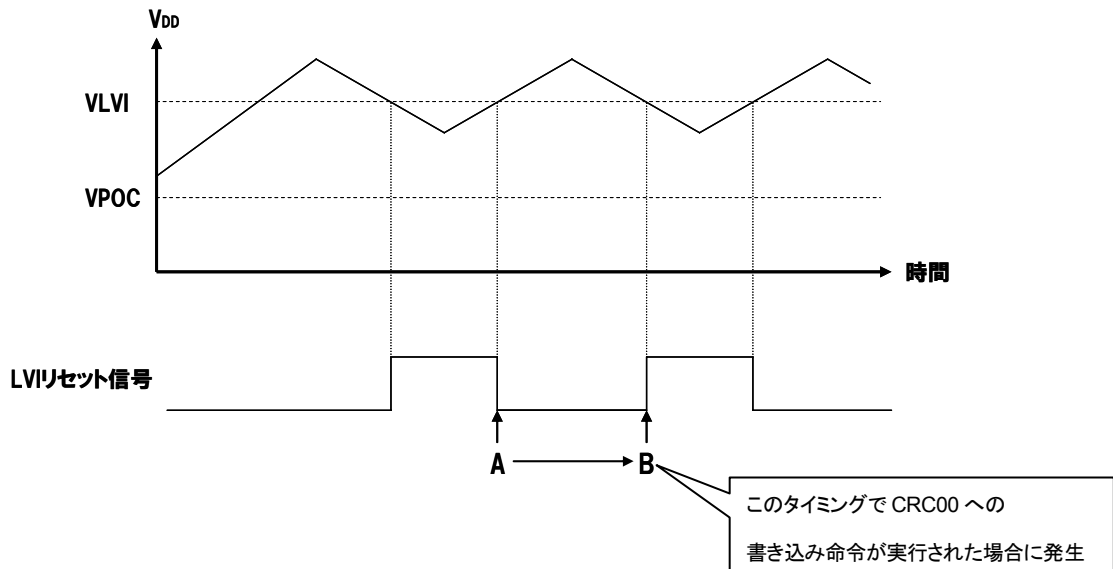
リセット発生時には、内部アドレスバス状態は FFFFH になります。CRC00 レジスタ(アドレス:FFBCH)への書き込み命令実行時にLVIによるリセットが発生した場合、アドレスバスの値が FFFFH に変化する過程で、一瞬“FFBEH”番地(LVIM レジスタ)を指す場合があります。これにより、LVIM レジスタの一部に誤って、その際のデータバス値が書き込まれてしまいます。レジスタへの書き込みは8ビット操作命令、1ビット操作命令どちらも対象となります。

尚、CRC00 以外の SFR および RAM への書き込みは本制限事項の対象外です。

現象の発生例

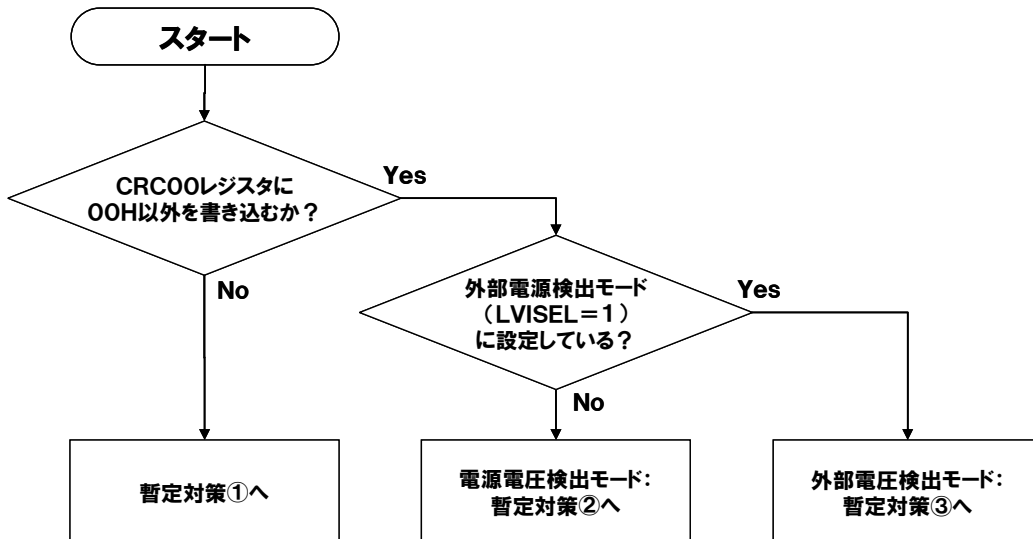
LVI 検出電圧(VLVI)付近で VDD 電圧が揺れた場合、LVI リセットが繰り返し発生します。リセット解除後、CRC00 を初期設定するプログラムの場合、LVI リセット解除のタイミング(図1の A)から LVI リセット発生のタイミング(図1の B)と、リセット解除から CRC00 を初期設定するまでの時間が一致した場合、本現象が発生します。

図1 LVI リセットと CRC00 レジスタへの書き込みの競合例



回避策について

次のように使用条件に対して、それぞれの対策を行なうことで本現象を回避することが出来ます。



暫定対策① : CRC00 への書き込みを行わない方法

リセットによって CRC00 の値は 00H になりますので、書き込みを行わないでください。書き込みを行わない場合、LVI リセットとの競合がおこらないので、現象を回避することが可能です。

暫定対策②： 次の2つの対策のどちらかを行なってください。

対策A. ウォッチドッグ・タイマによるリセットを使用する方法

リセット解除後、LVI が動作している(LVIM≠00H)時は、必ずウォッチドッグ・タイマによるリセットを発生させLVIを停止させた後、CRC00とLVIレジスタの再設定をする方法です。ウォッチドッグ・タイマを使用する必要があります。詳細は、ページ4をご参照ください。

対策B. 再設定を行なう方法(電源電圧検出モード時)

現象が発生した場合、LVIを停止して再設定を行う方法です。詳細は、ページ5をご参照ください。

暫定対策③： 次の2つの対策のどちらかを行なってください。

対策A. ウォッチドッグ・タイマによるリセットを使用する方法

リセット解除後、LVI が動作している(LVIM≠00H)時は、必ずウォッチドッグ・タイマによるリセットを発生させLVIを停止させた後、CRC00とLVIレジスタの再設定をする方法です。ウォッチドッグ・タイマを使用する必要があります。詳細は、ページ4をご参照ください。

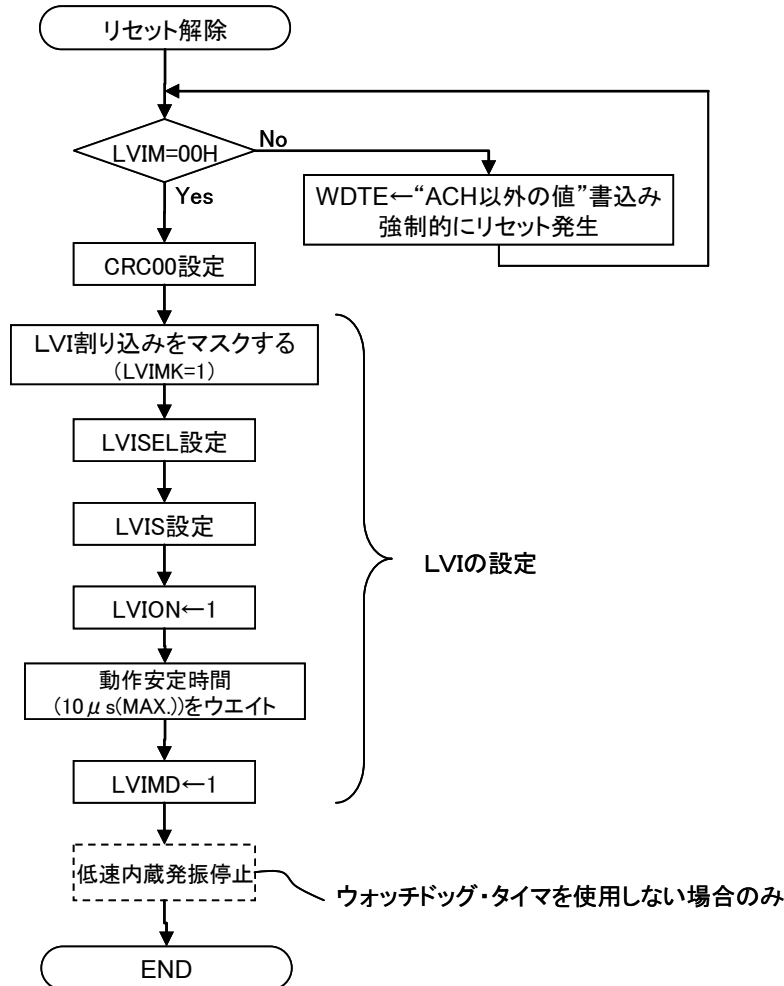
対策C. 再設定を行なう方法(外部電圧検出モード時)

現象が発生した場合、LVI を停止して再設定を行う方法です。ただし、LVI リセット発生時に“LVIS=0FHに設定”であることが必要です。詳細は、ページ6をご参照ください。

◆対策A. ウォッチドッグ・タイマによるリセットを使用する方法

リセット解除後、LVI が動作している(LVIM≠00H)時は、必ずウォッチドッグ・タイマによるリセットを発生させ LVI を停止させた後、CRC00 と LVI レジスタの再設定をします。ウォッチドッグ・タイマを使用する必要があります。設定手順は、次の図2のようになります。

図2 対策Aの設定手順



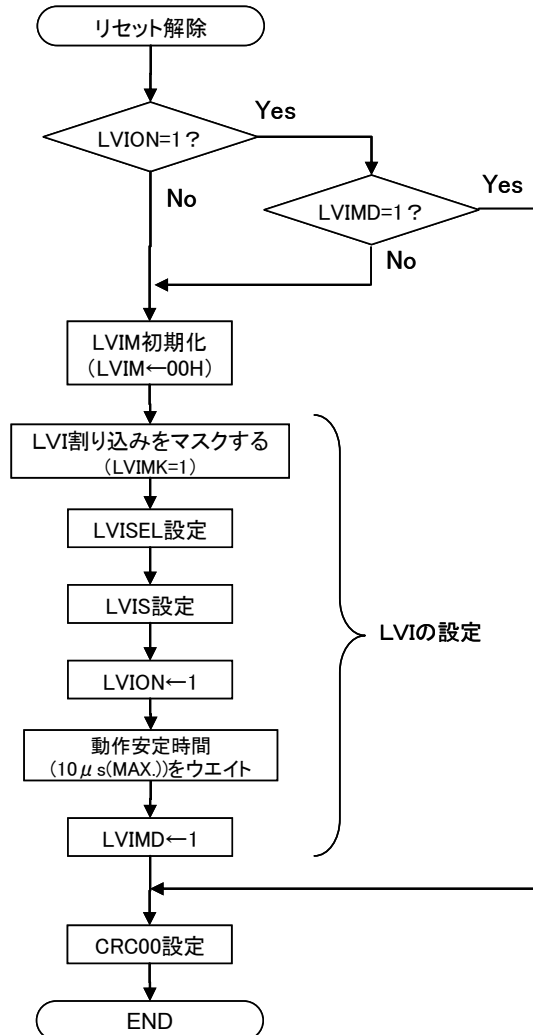
注意 オプションバイトにて、必ずウォッチドッグ・タイマのカウンタ動作許可(WDTON=1)に設定してください。ウォッチドッグ・タイマを使用しない場合は、オプションバイトにて LSROSC=0 に設定し、上記破線のようにソフトウェアにて低速内蔵発振を停止(LSRSTOP=1)に設定してください。

備考 ユーザーズ・マニュアルに記載されている LVI の設定手順では、LVIMD は LVIF で、「電源電圧(VDD) ≥ 検出電圧(VLVI)」であることを確認してから設定するよう記載しております。これは、設定と同時にリセットが発生することを避けるためですが、本対策を実施する場合には確認しなくても構いません。

◆対策B. 再設定を行なう方法(電源電圧検出モード時)

本体策では、CRC00 書込みの際に現象が発生しますが、発生した場合に LVI を停止して再設定を行う方法です。設定手順は次の図3のようになります。

図3 対策Bの設定手順

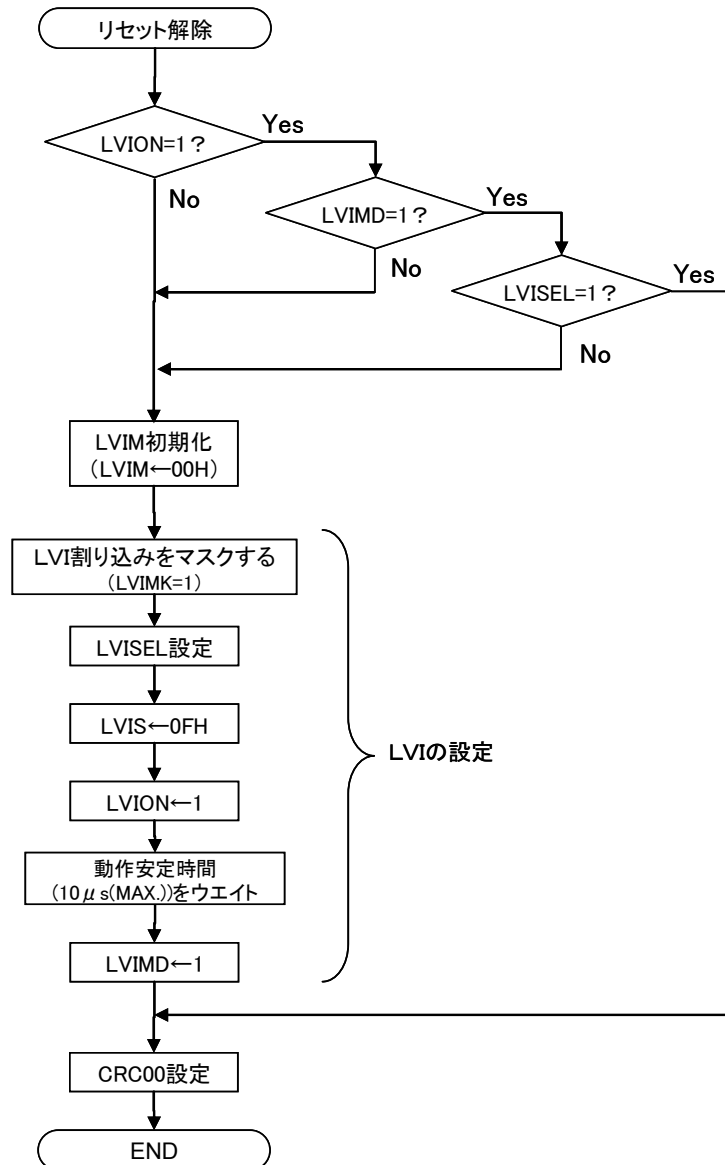


備考 ユーザーズ・マニュアルに記載されている LVI の設定手順では、LVIMD は LVIF で、「電源電圧(VDD)≥検出電圧(VLVI)」であることを確認してから設定するよう記載しております。これは、設定と同時にリセットが発生することを避けるためですが、本対策を実施する場合には確認しなくて構いません。

◆対策C. 再設定を行なう方法(外部電圧検出モード時)

本体策では、CRC00 書込みの際に現象が発生しますが、発生した場合に LVI を停止して再設定を行う方法です。設定手順は次の図4のようになります。

図4 対策C設定手順



注意 必ず LVIS=0FH に設定してください。

備考 ユーザーズ・マニュアルに記載されている LVI の設定手順では、LVIMD は LVIF で、「電源電圧 (VDD) ≥ 検出電圧 (VLVI)」であることを確認してから設定するよう記載しております。これは、設定と同時にリセットが発生することを避けるためですが、本対策を実施する場合には確認しなくても構いません。

改善計画

デバイス修正を行ない修正品を出荷します。修正されたデバイスでは暫定対策を行なう必要はございません。また、電気的特性が変わることはございません。

修正前と修正後のデバイスは製法規格にて、次のようにご確認いただけます。

製法規格

修正前 : “I”, “K”

修正後 : “E”

尚、修正されたデバイスの出荷スケジュールは以下を予定しております。出荷日程の詳細につきましては別途弊社営業にご確認ください。

ES : 2009年1月(予定)

CS,MP : 2009年3月(予定)

● (使用制限事項):低電圧検出回路(LVI)の制限事項⑤

◆対象製品

78K0/Kx2 (拡張規格品、32kbyte 以下製品):

78K0/Kx2 マイクロコントローラ	品名
78K0/KB2 (30、36 ピン)	uPD78F050xA (Xには0~3の数字が入ります)
78K0/KC2 (38、44 ピン)	uPD78F051xA (Xには1~3の数字が入ります)
78K0/KC2 (48 ピン)	uPD78F051xA (Xには1~3の数字が入ります)
78K0/KD2 (52 ピン)	uPD78F052xA (Xには1~3の数字が入ります)
78K0/KE2 (64 ピン)	uPD78F053xA (Xには1~3の数字が入ります)
78K0/KF2 (80 ピン)	なし

◆制限事項詳細

制限事項の対象となる使用方法

低電圧検出回路(LVI)をリセットとして使用している場合対象となります。

次の使用方法の場合は、対象外となります。

<対象外となる使用方法>

- ・ LVI を使用していない場合
- ・ LVI を割り込みとして使用している場合

現象

低電圧検出回路(LVI)によるリセットと、LVI の動作を設定するレジスタ(LVIM、LVIS)への書き込みが競合した場合、競合したレジスタの書き込み可能なビットが“0”になる場合があります。その結果、以下の 3 つの現象が発生することがあります。

- ・ LVION が 1 から 0 に変わる :LVI 動作許可から動作禁止に切り替わる。
- ・ LVIMD が 1 から 0 に変わる :LVI の動作モードがリセットモードから割り込みモードに切り替わる。
- ・ LVISEL が 1 から 0 に変わる:検出電圧が外部入力端子(EXLVI 端子)から電源電圧(VDD)に切り替わる。
- ・ LVIS レジスタ値が変わる :LVI の検出電圧が設定値よりも大きい値となる。

尚、LVI 以外のリセット発生時には、本現象は発生しません。

原因

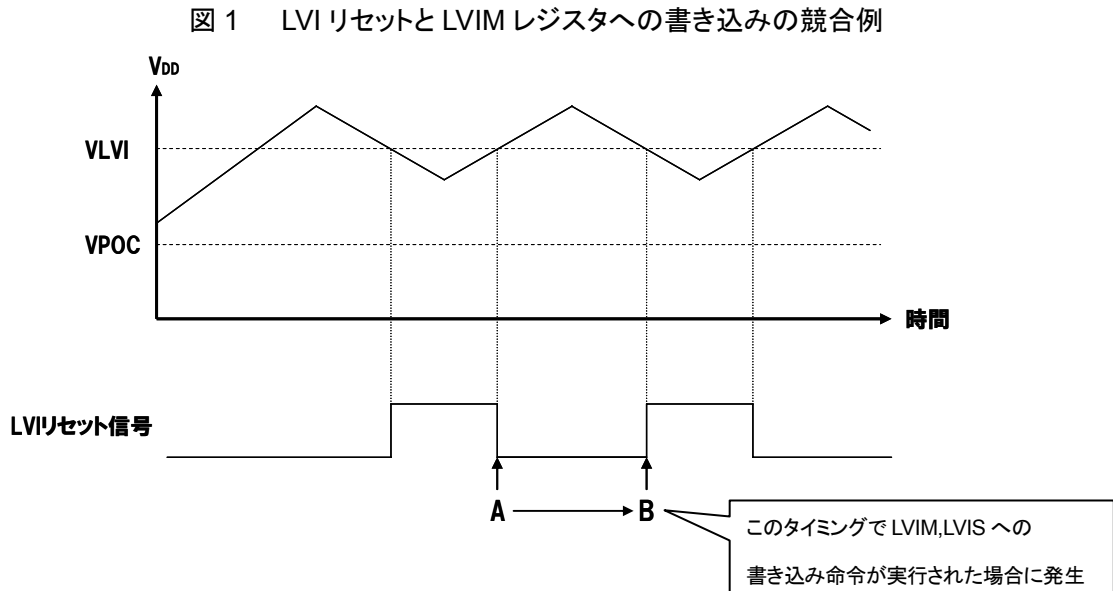
LVIM と LVIS に接続されているデータバスはリセットされると Low(“0”)になります。また、これらの2つのレジスタは LVI リセットによってレジスタ値はクリアされない仕様となっております。

レジスタに値を書き込む場合、CPU はデータバスに書き込む値をセットし書き込み信号が発生すると所定のレジスタに値が書き込まれます。しかし LVI リセットによってデータバスがリセットされたタイミングでレジスタに書き込みを行うと、データバスのリセット値である“0”が誤って書き込まれる場合がございます。レジスタへの書き込みは 8 ビット操作命令、1 ビット操作命令どちらも対象となります。

尚、LVIM、LVIS 以外のレジスタは本制限事項の対象外です。

現象の発生例

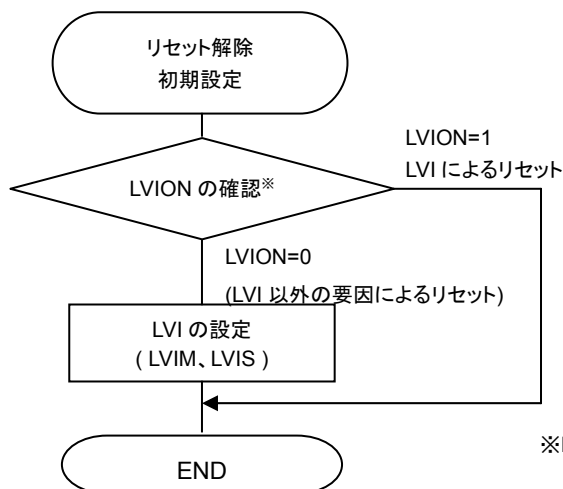
LVI 検出電圧(VLVI)付近で VDD 電圧が揺れた場合、LVI リセットが何度も発生します。リセット解除後、必ず LVIM と LVIS を初期設定するプログラムの場合、LVI リセット解除のタイミング(図 1 の A)から LVI リセット発生までのタイミング(図 1 の B)と、リセット解除から LVIM、LVIS を初期設定するまでの時間が一致した場合、本現象が発生します。



回避策

以下の2つのソフトウェアの対策、どちらかを実施することで制限事項を回避できます。

- ① LVI をリセットに設定した場合、以後 LVIM レジスタ、LVIS レジスタに書き込みを行わないでください。
- ② LVIM、LVIS レジスタへの設定を行う前に LVIM のビット7 (LVION) が“0”であることを確認してください。LVION が“1”だった場合は LVIM、LVIS への設定は行わないようにしてください。この対策により外部リセット入力、POC リセット、ウォッチドッグタイマ(WDT)リセットの場合は LVIM、LVIS の設定を行い、LVI リセットの場合は LVIM、LVIS の設定を行いません。



※LVION 以外に LVIMD を用いた確認も可能です。LVIMD は LVIM レジスタの bit1 です。

尚、リセット・コントロール・フラグ・レジスタ(RESF)は、LVI リセットと WDT リセットで RESF はクリアされない仕様の為、LVIRF と WDTRF の両方が“1”になる場合がございます。LVIRF をビット判定した場合、LVI リセットの有無は判定できますが、WDT リセットによって LVIM、LVIS がクリアされた事を判定するには命令の追加が必要となります。この為 本制限の対策には LVIM レジスタを使用してください。

改善計画

デバイス修正を行ない修正品を出荷します。修正されたデバイスでは暫定対策を行なう必要はございません。また、電気的特性が変わることはありません。

修正前と修正後のデバイスは製法規格にて、次のようにご確認いただけます。

製法規格

修正前 : “I”, “K”

修正後 : “E”

尚、修正されたデバイスの出荷スケジュールは以下を予定しております。出荷日程の詳細につきましては別途弊社営業にご確認ください。

ES : 2009年1月(予定)

CS,MP : 2009年3月(予定)

—以上—