

| | | | | |
|---------------------------------|--|--|------------|-----|
| 技術通知 78K0/Kx1+マイクロコントローラ | 発行番号 | ZBG-CC-06-0050号 | 1/1 | |
| | 発行日 | 2006年12月4日 | | |
| | 発行元 | NEC エレクトロニクス株式会社 第四システム事業本部 汎用マイコンシステム事業部 第一ソリューショングループ | | |
| 文書分類 | <input type="radio"/> 使用制限事項 | バージョン・アップ | ドキュメント誤記訂正 | その他 |
| 関連資料 | 78K0/KB1+ユーザーズ・マニュアル 78K0/KC1+ユーザーズ・マニュアル 78K0/KD1+ユーザーズ・マニュアル 78K0/KE1+ユーザーズ・マニュアル 78K0/KF1+ユーザーズ・マニュアル | 資料番号：U16846JJ3V0UD00 (第3版) 資料番号：U16961JJ3V0UD00 (第3版) 資料番号：U16962JJ3V0UD00 (第3版) 資料番号：U16899JJ3V0UD00 (第3版) 資料番号：U16819JJ3V0UD00 (第3版) | | |

1. 対象製品

- 78K0/KB1+ : μ PD78F0101H, μ PD78F0102H, μ PD78F0103H
- 78K0/KC1+ : μ PD78F0112H, μ PD78F0113H, μ PD78F0114H, μ PD78F0114HD
- 78K0/KD1+ : μ PD78F0122H, μ PD78F0123H, μ PD78F0124H, μ PD78F0124HD
- 78K0/KE1+ : μ PD78F0132H, μ PD78F0133H, μ PD78F0134H, μ PD78F0136H,
 μ PD78F0138H, μ PD78F0138HD
- 78K0/KF1+ : μ PD78F0148H, μ PD78F0148HD

2. 新たな制限事項

今回新たに下記の制限事項を追加させて頂きました。詳細は別紙4を参照してください。

低電圧検出回路(LVI)によるリセットと、低電圧検出レジスタ(LVIM)または、低電圧検出レベル選択レジスタ(LVIS)への書き込みが同時に発生した場合、レジスタの書き込み可能な bit に誤って“1”が書き込まれる場合がございます。

3. 回避策

LVIをリセットに設定した場合は、以降LVIS、LVIMレジスタに書き込みを行なわないで下さい。また、LVIS LVIMへ書き込みを行なう際はLVIMのビット7 (LVION)が“0”であることを確認してから、LVIS、LVIMの順番で設定してください。LVIONが“1”の場合には書き込みを行なわないで下さい。

4. 改善計画

大変申し訳ございませんが、使用上の注意事項とさせていただきます。

5. 制限事項一覧

添付別紙1をご参照ください。

6. 発行文書履歴

78K0/Kx1+マイクロコントローラ使用制限事項一覧 発行文書履歴

| 文書番号 | 発行日 | 記事 |
|----------------|-------------|-----------------------------|
| ZBG-CC-05-0075 | 2005年12月26日 | 78K0/Kx1+マイクロコントローラ使用制限事項の件 |
| ZBG-CC-06-0050 | 2006年12月4日 | 本通知です。 |

78K0 / Kx1 + マイクロコントローラ使用制限事項一覧

1) 使用制限事項履歴

<通常版>

| 項目 | 内容 | 78K0/KB1+ μPD78F0101H μPD78F0102H μPD78F0103H | | 78K0/KC1+ μPD78F0112H μPD78F0113H μPD78F0114H | | 78K0/KD1+ μPD78F0122H μPD78F0123H μPD78F0124H | | 78K0/KE1+ μPD78F0132H, μPD78F0133H μPD78F0134H, μPD78F0136H μPD78F0138H | | 78K0/KF1+ μPD78F0148H | |
|----|------------------|--|--|--|---|--|---|--|---|--------------------------|---|
| | | 製法規格 | | K | E | K | E | K | E | K | E |
| | | バージョン | | | | | | | | | |
| 1 | EEPROM ライト制限事項 | | | | | | | | | | × |
| 2 | ブート・スワップ機能制限事項 | × | | × | | × | | × | | × | |
| 3 | LVI リセット使用時の制限事項 | | | | | | | | | | |

<オンチップデバッグ機能内蔵版>

| 項目 | 内容 | 78K0/KC1+ μPD78F0114HD | | 78K0/KD1+ μPD78F0124HD | | 78K0/KE1+ μPD78F0138HD | | 78K0/KF1+ μPD78F0148HD | | |
|----|------------------|---------------------------|--------------------------|----------------------------|--------------------------|----------------------------|--------------------------|----------------------------|--------------------------|----------------------------|
| | | 製法規格 または バージョン | 製法規格 I の Ver1.3 以前 | 製法規格 E または Ver1.4 以降 | 製法規格 I の Ver1.3 以前 | 製法規格 E または Ver1.4 以降 | 製法規格 I の Ver1.3 以前 | 製法規格 E または Ver1.4 以降 | 製法規格 I の Ver1.3 以前 | 製法規格 E または Ver1.4 以降 |
| | | 1 | EEPROM ライト制限事項 | | × | | × | | × | |
| 2 | ブート・スワップ機能制限事項 | | × | | × | | × | | × | |
| 3 | LVI リセット使用時の制限事項 | | | | | | | | | |

注1) 製法規格はパッケージ捺印の LOT 番号で左から 5 桁目のアルファベット表記になります。

注2) バージョン番号はパッケージ捺印の“ES”の後に続く 2 文字の数字です。

- : 制限事項対象外
- : 制限事項修正済み
- ×
- : 制限事項対象 (修正予定)
- : 制限事項対象 (修正予定なし)

2) 使用制限事項の詳細

項目 1 : 詳細は別紙 2 をご参照ください。

項目 2 : 詳細は別紙 3 をご参照ください。

項目 3 : 今回の制限事項です。詳細は別紙 4 をご参照ください。

- 以上 -

項目 1 : EEPROM ライト制限事項

フラッシュ・メモリ・セルフ・プログラミングの EEPROM ライトコマンドは、1ワード(4バイト)から最大64ワード(256バイト)までを指定してフラッシュ・メモリに書き込むことができますが、制限事項対象製品は1ワード(4バイト)指定で書き込む必要があります。

2ワード以上を指定して EEPROM ライトコマンドを実行した場合、データは正常に書き込めずにライトエラーが発生します。

<対象製品>

通常品(オンチップデバッグ機能非内蔵品)

78K0/KF1+ : μ PD78F0148H 製法規格が“K”の製品

オンチップデバッグ機能内蔵品

78K0/KC1+ : μ PD78F0114HD Ver1.3 以前の ES 品(製法規格は“I”)

78K0/KD1+ : μ PD78F0124HD Ver1.3 以前の ES 品(製法規格は“I”)

78K0/KE1+ : μ PD78F0138HD Ver1.3 以前の ES 品(製法規格は“I”)

78K0/KF1+ : μ PD78F0148HD Ver1.3 以前の ES 品(製法規格は“I”)

<暫定対策>

EEPROM ライトコマンドを使用して2ワード以上の指定は行えません。この為、1ワード単位で EEPROM ライトコマンドを実行してください。

<恒久対策>

デバイスを修正いたします。修正版はバージョンが1.4以降または製法規格“K”になります。尚、この修正はフラッシュ・メモリの書き換えを制御している内部のファームウェアの修正ですのでデバイスの特性は変わりません。

修正版デバイスと未修正デバイスではバージョンもしくは製法規格が異なります。

バージョン番号は捺印で“ES”に続く2桁の数字で示されます。

N E C JAPAN
D78F0148HDGC
ES13
xxxx!xxxx

バージョン番号(この場合は Ver1.3 です。)

制限対象品

UPD78F01xxHD(品名後ろにDが付く製品)の Ver1.0、Ver1.1、Ver1.2、Ver1.3 の製品です。

製法規格はパッケージ捺印の3段目、左から5番目のアルファベットになります。(下図参照)

N E C JAPAN
D78F0148HGC
xxxx_xxxx

製法規格

制限対象品

UPD78F0148H の製法規格が “K” の製品です。

項目2：ブート・スワップ機能制限事項

ブート・スワップを行うとブート・フラグ（内部でブート領域を制御している1ビットのフラグ）が書き換わります。このブート・フラグが“1”の時、専用フラッシュ・ライター（PG-FP4 など）で書き込みを行うと誤ったアドレスにソフトウェアが書き込まれます。

<対象製品>

通常品（オンチップデバッグ機能非内蔵品）

- 78K0/KB1+：μPD78F0101H、μPD78F0102H、μPD78F0103Hの製法規格が“K”の製品
 78K0/KC1+：μPD78F0112H、μPD78F0113H、μPD78F0114Hの製法規格が“K”の製品
 78K0/KD1+：μPD78F0122H、μPD78F0123H、μPD78F0124Hの製法規格が“K”の製品
 78K0/KE1+：μPD78F0132H、μPD78F0133H、μPD78F0134H、μPD78F0136H、
 μPD78F0138H、μPD78F0138HDの製法規格が“K”の製品
 78K0/KF1+：μPD78F0148Hの製法規格が“K”の製品

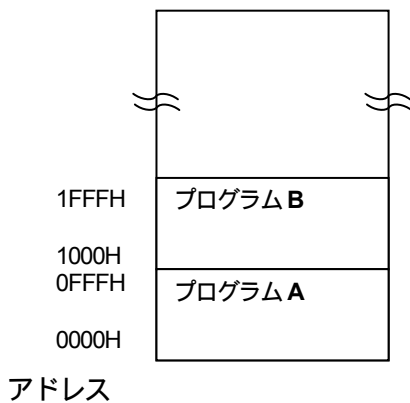
オンチップデバッグ機能内蔵品

- 78K0/KC1+：μPD78F0114HDのVer1.3以前のES品（製法規格は“1”）
 78K0/KD1+：μPD78F0124HDのVer1.3以前のES品（製法規格は“1”）
 78K0/KE1+：μPD78F0138HDのVer1.3以前のES品（製法規格は“1”）
 78K0/KF1+：μPD78F0148HDのVer1.3以前のES品（製法規格は“1”）

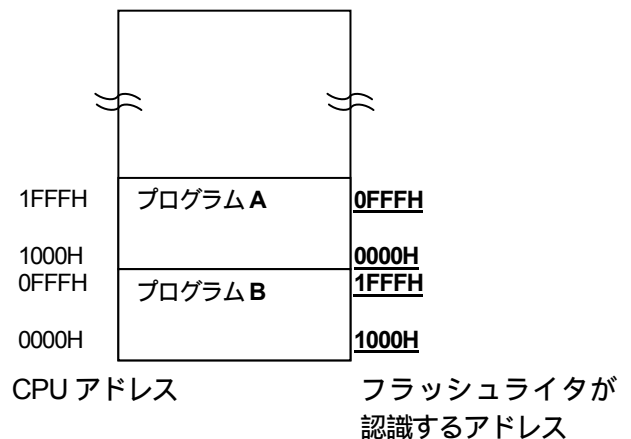
<制限事項詳細>

ブート・フラグを“0”に設定した場合と、ブート・フラグを“1”に設定した場合で、CPUが認識するアドレスは“0000H~0FFFH”と“1000H~1FFFH”が入れ替わります。しかし、専用フラッシュライターが認識するアドレス空間は入れ替わりません。この為、ブート・フラグが“1”の状態、フラッシュライターによってプログラムの書き込みを行うと、CPUが認識するアドレスとは違う箇所にプログラムを書き込んでしまいます。

(1) ブート・フラグが“0”の状態
のアドレス空間



(2) ブート・フラグが“1”の状態
のアドレス空間



改善計画

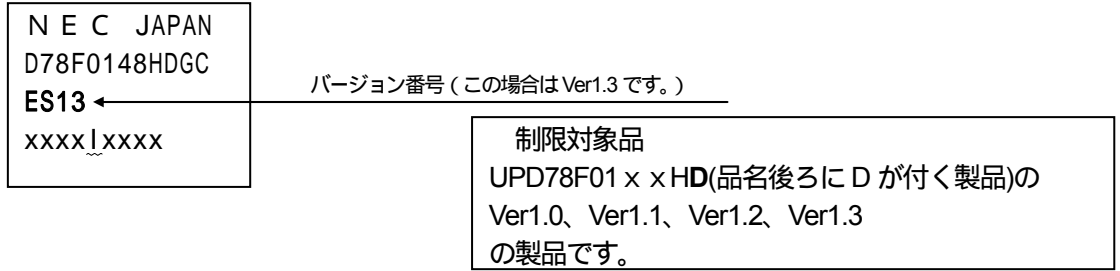
・ 暫定対策

ブート・フラグは読み出すことが出来ない為、回避方法はございません。

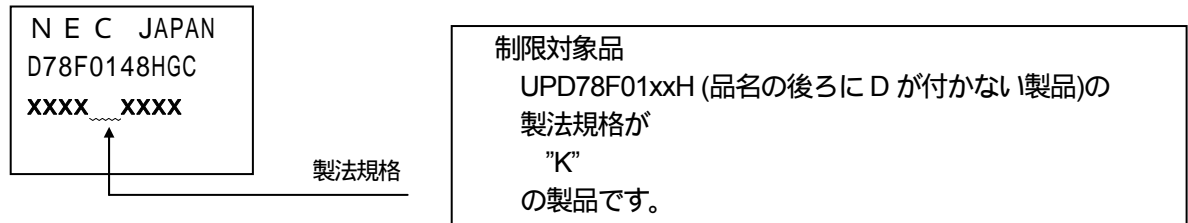
・ 恒久対策

デバイスを修正いたします。修正版はバージョンが 1.4 以降または製法規格"K"になります。尚、この修正はフラッシュ・メモリの書き換えを制御している内部のファームウェアの修正ですのでデバイスの特性は変わりません。

修正版デバイスと未修正デバイスではバージョンもしくは製法規格が異なります。
バージョン番号は捺印で“ES”に続く 2 桁の数字で示されます。



製法規格はパッケージ捺印の 3 段目、左から 5 番目のアルファベットになります。(下図参照)



- 以上 -

項目 3：LVIリセット使用時の制限事項について

対象製品

78K0/Kx1+マイクロコントローラ全て

制限事項の対象となる使用方法

低電圧検出回路(LVI)をリセットとして使用している場合対象となります。

LVIを使用していない、または割り込みとして使用している場合は対象外です。

制限事項内容

低電圧検出回路(LVI)によるリセットと、LVI の動作を設定するレジスタ(LVIM、LVIS)への書き込みが競合した場合、レジスタの書き込み可能なビットが“ 1 ”になる場合があります。その結果、以下の 2 つの現象が発生します。

- ・ LVI によるリセット機能が停止しない可能性がある。
- ・ LVI の検出電圧が設定値よりも小さい値もしくはデフォルトの値となる可能性がある。

尚、LVI 以外のリセット発生時には、本現象は発生しません。

- ・ 図 1 に LVION フラグを操作した場合に発生する例を示します。

図 1 LVION フラグを 1 から 0 にした時に発生する例



- ・ LVIS の場合、現象が発生した際、書き込まれた値が設定禁止の値であると、デフォルト値 ($4.3\text{ V} \pm 0.2\text{ V}$) が選択されます。

原因

LVIM と LVIS に接続されているバスはリセットされると High (“ 1 ”) になります。また、これらの 2 つのレジスタは LVI リセットによってレジスタ値はクリアされない仕様となっております。

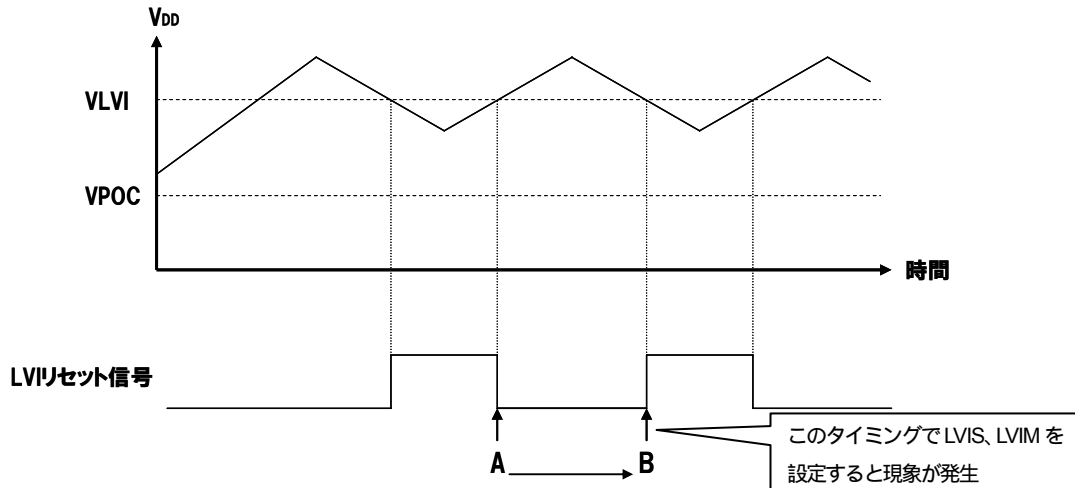
レジスタに値を書き込む場合、CPU はバスに書き込む値をセットし書き込み信号が発生すると所定のレジスタに値が書き込まれます。しかし LVI リセットによって内部バスがリセットされたタイミングでレジスタに書き込みを行うと、バスのリセット値である “ 1 ” が誤って書き込まれる場合があります。これは 1 ビット操作命令も同様です。

尚、LVIM、LVIS 以外のレジスタは本制限事項の対象外です。

現象の発生例

LVI 検出電圧(VLVI)付近で VDD 電圧が揺れた場合、LVI リセットが何度も発生します。リセット解除後、必ず LVIM と LVIS を初期設定するプログラムの場合、LVI リセット解除のタイミング(図 2 の A)から LVI リセット発生のタイミング(図 2 の B)と、リセット解除から LVIM、LVIS を初期設定するまでの時間が一致した場合、本現象が発生します。

図2 LVI リセットと LVIM レジスタへの書き込みの競合例



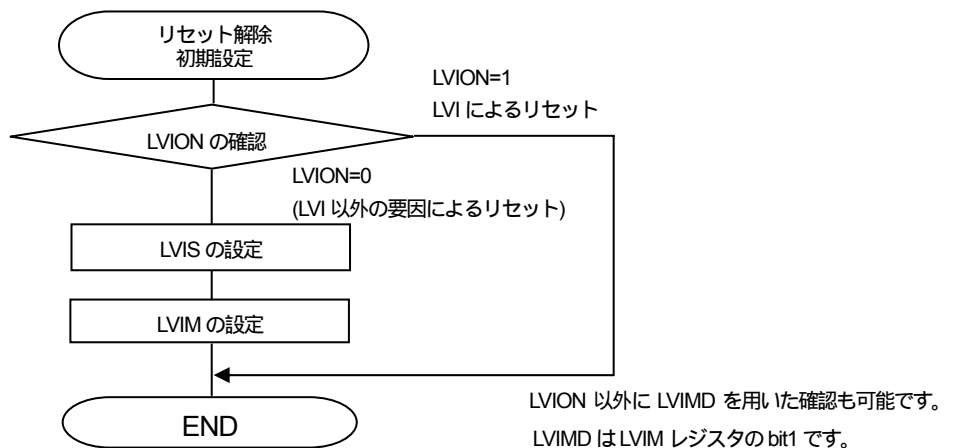
回避策

以下の2つのソフトウェアの対策を実施してください。

LVI をリセットに設定した場合、以後 LVIM レジスタ、LVIS レジスタに書き込みを行わないでください。

LVIM、LVIS レジスタへの設定を行う前に LVIM のビット 7 (LVION) が“0”であることを確認してください。LVION が“1”だった場合は LVIM、LVIS への設定は行わないようにしてください。この対策により外部リセット入力、POC リセット、ウォッチドッグタイマ(WDT)リセット、クロック・モニタ (CLM) リセットの場合は LVIM、LVIS の設定を行い、LVI リセットの場合は LVIM、LVIS の設定を行いません。

尚、リセット・コントロール・フラグ・レジスタ(RESF)は、LVI、WDT、CLM のリセットでは RESF はクリアされない仕様の為、LVIRF、WDTRF、CLMRF のそれぞれが“1”になる場合がございます。LVIRF をビット判定した場合、LVI リセットの有無は判定できますが、WDT、CLM リセットによって LVIM、LVIS がクリアされた事を判定するには命令の追加が必要となります。この為 本制限の対策には LVION を使用してください。



- 以上 -