

「この資料は設計目的以外には使用しないでください。  
また、当社に断りなく第三者へ開示することを禁じております。」

技術通知  78K0/KE1	発行番号	SBG-DT-03-0295号	1/2	
	発行日	2003年 11月 19日		
	発行元	NEC エレクトロニクス株式会社 ソリューション事業本部 第二ソリューション事業部 マイクロコンピュータグループ		
文書分類	使用制限事項	バージョン・アップ	ドキュメント誤記訂正	その他
関連資料	78K0/KE1 ユーザーズ・マニュアル		資料番号：U16228JJ2V0UD00 (第2版)	

## 1. 対象製品

μPD780131、μPD780132、μPD780133、μPD780134、μPD780136、μPD780138  
μPD78F0134(x=1~6)、μPD78F0138(x=1~6)

## 2. ドキュメント誤記訂正内容

### 1) 第5章 クロック発生回路において下記の誤記訂正事項がございます。

P.489 以降の電気的特性において CPU クロックに Ring-OSC を選択した場合、最小命令実行時間は 240KHz(Typ.)での動作のみ規定しているにも関わらず、P.122 図 5-2 プロセッサ・クロック・コントロール・レジスタ(PCC)の説明にて Ring-OSC の分周の表記がございました。

Ring-OSC の分周クロック供給による CPU 動作は一般品及び(A)品は 2 分周動作までとします。(A1)品及び(A2)品の分周動作はできません。

詳細を別紙 3 に示します。

### 2) 第10章ウォッチドッグ・タイマにおいて下記の誤記訂正事項がございます。

P.248 図 10-2 ウォッチドッグ・タイマ・モード・レジスタ(WDTM)のフォーマット 注 3「リセット解除，WDTM への書き込みは 8 ビット・メモリ操作命令で 1 回のみ行うことができます。2 回目の書き込みを実行しようとした場合、その時点で内部リセット信号が発生します。」とありますが、ウォッチドッグ・タイマの動作が停止している場合は、内部リセット信号は発生しません。

同様に P.248 図 10-3 ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)のフォーマット 注 1「WDTE に"ACH"以外の値を書き込んだ場合、内部リセット信号が発生します。」及び注 2「WDTE に 1 ビットメモリ操作命令を実行した場合、内部リセット信号が発生します。」とありますが、ウォッチドッグ・タイマの動作が停止している場合は、内部リセット信号は発生しません。

詳細を別紙 4 に示します。

### 3) その他誤記訂正事項がございます。

詳細は別紙 5 に示します。

## 3. ドキュメント改善計画

今回追加いたしました項目につきましては、ユーザーズ・マニュアルの次回改版時に反映させます

## 4. 誤記訂正事項一覧

誤記訂正事項の履歴とその詳細情報について別紙 1 に記載いたします。

## 5 . 発行文書履歴

## 7 8 K 0 / K E 1 技術文書一覧 発行文書履歴

文書番号	発行日	記事
SBG-DT-03-0005	2003年1月14日	初版発行
SBG-DT-03-0162	2003年5月28日	新規制限事項追加(項目2)
SBG-DT-03-0213	2003年7月17日	誤記訂正事項追加(項目1)
SBG-DT-03-0293	2003年11月13日	誤記訂正事項追加(項目2、項目3、項目4)
SBG-DT-03-0295	2003年11月19日	SBG-DT-03-0293 別紙文書番号誤記の為、 同内容で再発行

- 以上 -

## 78K0 / KE1 誤記訂正事項一覧

## 1) 製品履歴

	内容	78K0 / KE1 ユーザズ・マニュアル	
		第 1 版 (U16228JJ1V0UD00)	第 2 版 (U16228JJ2V0UD00)
項目 1	REGC 接続容量修正事項	×	
項目 2	Ring-OSC 分周誤記	×	×
項目 3	ウォッチドッグ・タイマ誤記	×	×
項目 4	その他の誤記	×	×

注) 各記号はそれぞれ以下の意味を示します。

- : ドキュメント誤記訂正対象外
  - : ドキュメント誤記訂正済み
  - ×
- ×
- × : ドキュメント誤記訂正対象 (修正予定)

## 2) ドキュメント修正事項の詳細

- 項目 1 : 詳細は別紙 2 をご参照ください。
- 項目 2 : 今回の誤記訂正事項です。(別紙 3 をご参照ください。)
- 項目 3 : 今回の誤記訂正事項です。(別紙 4 をご参照ください。)
- 項目 4 : 今回の誤記訂正事項です。(別紙 5 をご参照ください。)

## 誤記訂正事項 項目 1 : REGC 端子接続容量修正事項

78K0/KE1 ユーザーズ・マニュアル(暫定)の P446 第 24 章 レギュレータ にてレギュレータ安定用コンデンサの容量が  $0.1\mu\text{F}$  と記載しておりますが、 $1\mu\text{F}$  に修正いたします。

修正前) 修正後)

$0.1\mu\text{F}$   $1\mu\text{F}$

また、レギュレータ安定用コンデンサ接続時の動作電圧範囲、及び命令サイクル (最小命令実行時間)は下記の通りに修正いたします。

修正前)

項目	略号	条件		MIN	TYP	MAX	単位
命令サイクル (最小命令実行時間)	Tcy	メイン・システム・ クロック動作	X1 入力クロック、 REGC 端子に $0.1\mu\text{F}$ F を接続	<u><math>3.3\text{V}</math> VDD <math>5.5\text{V}</math></u>	0.238	16	$\mu\text{s}$
				<u><math>2.7\text{V}</math> VDD <math>3.3\text{V}</math></u>	0.4	16	$\mu\text{s}$

修正後)

項目	略号	条件		MIN	TYP	MAX	単位
命令サイクル (最小命令実行時間)	Tcy	メイン・システム・ クロック動作	X1 入力クロック、 REGC 端子に $1\mu\text{F}$ を接続	<u><math>4.0\text{V}</math> VDD <math>5.5\text{V}</math></u>	0.238	16	$\mu\text{s}$

## 修正内容詳細

下線部が今回の修正箇所です。

P38 注意 4.

修正前)

レギュレータを使用する場合、REGC 端子は  $0.1\mu\text{F}$  のコンデンサを介し・・・

修正後)

レギュレータを使用する場合は、REGC 端子は  $1\mu\text{F}$  のコンデンサを介し・・・

P43 表中の X1 入力クロックの項目

修正前)

レギュレータ端子に  $0.1\mu\text{F}$  のコンデンサを接続してください。

修正後)

レギュレータ端子に  $1\mu\text{F}$  のコンデンサを接続してください。

P48 表中 REGC の項目

修正前)

$0.1\mu\text{F}$  のコンデンサを介し、VSS に接続してください。

修正後)

$1\mu\text{F}$  のコンデンサを介し、VSS に接続してください。

P53 2.2.15 REGC

修正前)

$0.1\mu\text{F}$  のコンデンサを介し、VSS に接続してください。

修正後)

$1\mu\text{F}$  のコンデンサを介し、VSS に接続してください。

## P446 24.1 レギュレータ概要 2行目

修正前)

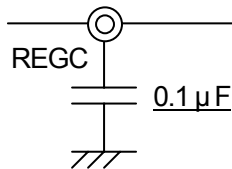
0.1 $\mu$ Fのコンデンサを介し、VSS に接続してください。

修正後)

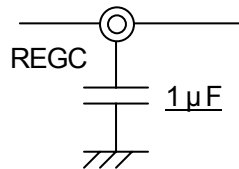
1 $\mu$ Fのコンデンサを介し、VSS に接続してください。

## P446 図 24-1 図中のコンデンサ容量

修正前)



修正後)



## P463、P464 注意の2行目

修正前)

0.1 $\mu$ Fのコンデンサを介し、Flashpro / Flashpro の GND に接続。

修正後)

1 $\mu$ Fのコンデンサを介し、Flashpro / Flashpro の GND に接続。

## P465、P466、P467、P468、P469 注意の2行目

修正前)

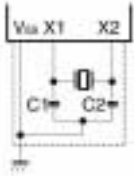
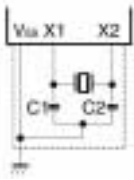
0.1 $\mu$ Fのコンデンサを介して GND に接続。

修正後)

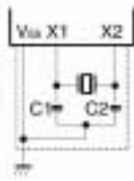
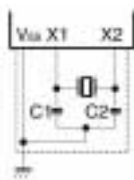
1 $\mu$ Fのコンデンサを介して GND に接続。

P487 X1 発振回路特性

修正前)

発振子	推奨回路	項目	条件	MIN	TYP	MAX	単位	
セラミック発振子		発振周波数( $f_{xp}$ ) <sup>注1</sup>	REGC 端子にコンデンサ接続時 <sup>注2</sup>	3.3V VDD 5.5V	2.0		8.38	MHz
				2.7V VDD 3.3V	2.0		5.0	
			REGC 端子をVDD に直接接続時	4.0V VDD 5.5V	2.0		10	MHz
				3.3V VDD < 4.0V	2.0		8.38	
			2.7V VDD < 3.3V	2.0		5.0		
水晶発振子		発振周波数( $f_{xp}$ ) <sup>注1</sup>	REGC 端子にコンデンサ接続時 <sup>注2</sup>	3.3V VDD 5.5V	2.0		8.38	MHz
				2.7V VDD 3.3V	2.0		5.0	
			REGC 端子をVDD に直接接続時	4.0V VDD 5.5V	2.0		10	MHz
				3.3V VDD < 4.0V	2.0		8.38	
			2.7V VDD < 3.3V	2.0		5.0		

修正後)

発振子	推奨回路	項目	条件	MIN	TYP	MAX	単位	
セラミック発振子		発振周波数( $f_{xp}$ ) <sup>注1</sup>	REGC 端子にコンデンサ接続時 <sup>注2</sup>	4.0V VDD 5.5V	2.0		8.38	MHz
			REGC 端子をVDD に直接接続時	4.0V VDD 5.5V	2.0		10	MHz
				3.3V VDD < 4.0V	2.0		8.38	
			2.7V VDD < 3.3V	2.0		5.0		
水晶発振子		発振周波数( $f_{xp}$ ) <sup>注1</sup>	REGC 端子にコンデンサ接続時 <sup>注2</sup>	4.0V VDD 5.5V	2.0		8.38	MHz
			REGC 端子をVDD に直接接続時	4.0V VDD 5.5V	2.0		10	MHz
				3.3V VDD < 4.0V	2.0		8.38	
			2.7V VDD < 3.3V	2.0		5.0		

P487 X1 発振回路特性 注2

修正前)

0.1µF のコンデンサを介し、VSS に接続している場合。

修正後)

1µF のコンデンサを介し、VSS に接続している場合。

P491 DC 特性(3/4) : uPD78F0124 の注.8

修正前)

0.1µF のコンデンサを介し、VSS に接続している場合。

修正後)

1µF のコンデンサを介し、VSS に接続している場合。

P492 DC 特性(4/4) : マスク ROM 製品 の注.8

修正前)

0.1µF のコンデンサを介し、VSS に接続している場合。

修正後)

1µF のコンデンサを介し、VSS に接続している場合。

P493 AC 特性 基本動作

修正前)

項目	略号	条件		MIN	TYP	MAX	単位		
命令サイクル (最小命令実行時間)	Tcy	メイン・システム・ クロック動作	X1 入力クロック	注1	3.3V VDD 5.5V	0.238		16	μs
					2.7V VDD 3.3V	0.4		16	μs
				注2	4.0V VDD 5.5V	0.2		16	μs
					3.3V VDD < 4.0V	0.238		16	μs
					2.7V VDD < 3.3V	0.4		16	μs
			Ring-OSC クロック	4.17	8.33	16.67	μs		
		サブ・システム・クロック動作		114	122	125	μs		

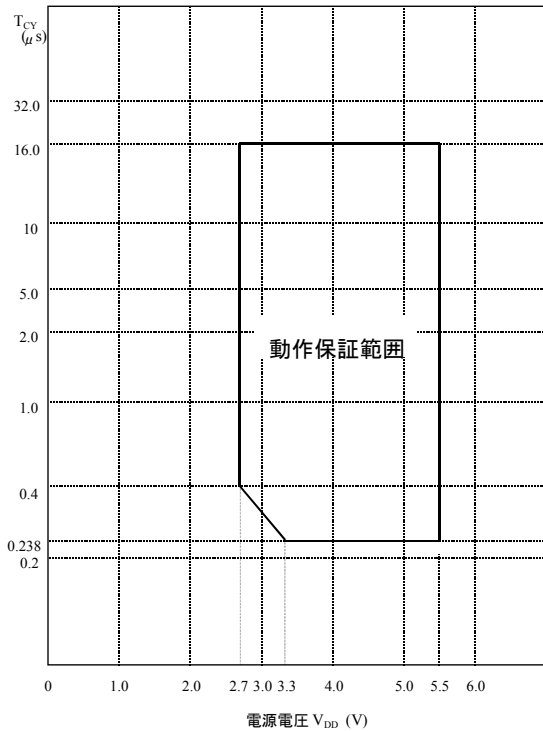
修正後)

項目	略号	条件		MIN	TYP	MAX	単位	
命令サイクル (最小命令実行時間)	Tcy	メイン・システム・ クロック動作	X1 入力クロック、 REGC 端子に 1μF を接続	4.0V VDD 5.5V	0.238		16	μs
			X1 入力クロック、 REGC 端子を VDD と接続	4.0V VDD 5.5V	0.2		16	μs
				3.3V VDD < 4.0V	0.238		16	μs
				2.7V VDD < 3.3V	0.4		16	μs
			Ring-OSC クロック	4.17	8.33	16.67	μs	
		サブ・システム・クロック動作		114	122	125	μs	

P494 Tcy vs VDD (x1 入力クロック)

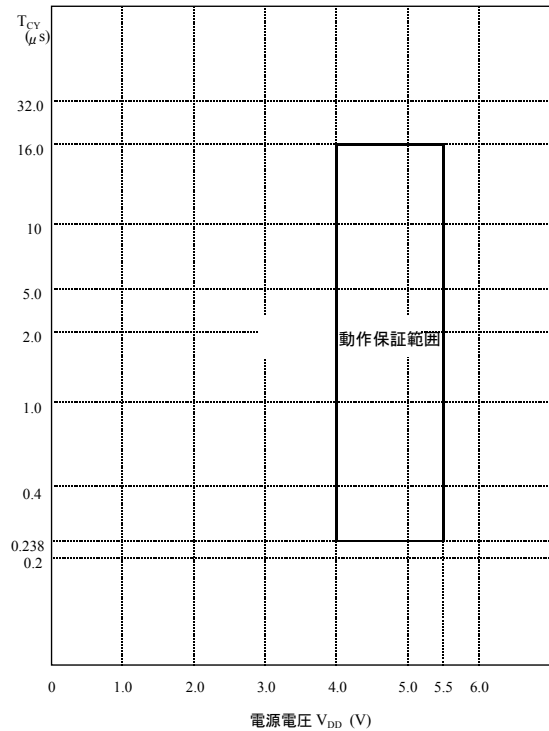
修正前)

(a) REGC 端子に 0.1 μ コンデンサをする場合



修正後)

(a) REGC 端子に 1 μF のコンデンサを接続する場合



## 項目 2 Ring-OCS 分周誤記訂正

第 5 章 クロック発生回路において下記の誤記訂正事項がございます。

P.489 以降の電気的特性において CPU クロックに Ring-OSC を選択した場合、最小命令実行時間は 240KHz(Typ.)での動作のみ規定しているにも関わらず、P.122 図 5-2 プロセッサ・クロック・コントロール・レジスタ(PCC)の説明にて Ring-OSC の分周の表記がございました。

Ring-OSC の分周クロック供給による CPU 動作は一般品及び(A)品は 2 分周動作までとします。(A1)品及び(A2)品の分周動作はできません。

## 誤記訂正事項詳細

P.122 図 5-2 プロセッサ・クロック・コントロール・レジスタ(PCC)のフォーマット誤)

CSS	PCC2	PCC1	PCC0	CPU クロック( $f_{CPU}$ ) の選択		
				MCM0=0	MCM0=1	
0	0	0	0	$f_x$	$f_R$	$f_{XP}$
	0	0	1	$f_x/2$	$f_R/2$	$f_{XP}/2$
	0	1	0	$f_x/2^2$	$f_R/2^2$	$f_{XP}/2^2$
	0	1	1	$f_x/2^3$	$f_R/2^3$	$f_{XP}/2^3$
	1	0	0	$f_x/2^4$	$f_R/2^4$	$f_{XP}/2^4$
1	0	0	0	$f_R/2$		
	0	0	1			

正)

CSS <sup>注4</sup>	PCC2	PCC1	PCC0	CPU クロック( $f_{CPU}$ ) の選択		
				MCM0=0	MCM0=1	
0	0	0	0	$f_x$	$f_R$	$f_{XP}$
	0	0	1	$f_x/2$	$f_R/2$ <sup>注5</sup>	$f_{XP}/2$
	0	1	0	$f_x/2^2$	設定禁止	$f_{XP}/2^2$
	0	1	1	$f_x/2^3$	設定禁止	$f_{XP}/2^3$
	1	0	0	$f_x/2^4$	設定禁止	$f_{XP}/2^4$
1	0	0	0	$f_R/2$		
	0	0	1			

注 5. (A1).(A2)製品では設定禁止です。

## P.123 表 5-2 CPU クロックと最小命令実行時間の関係

誤)

CPU クロック( $f_{CPU}$ )	最小命令実行時間 : $2/f_{CPU}$		
	X1 入力クロック <sup>注</sup> (10MHz 動作時)	Ring-OSC クロック <sup>注</sup> (240KHz (TYP.) 動作時)	サブシステム・クロック (32.768KHz 動作時)
$f_x$	0.2 $\mu$ s	8.3 $\mu$ s	-
$f_x/2$	0.4 $\mu$ s	16.6 $\mu$ s	-
$f_x/2^2$	0.8 $\mu$ s	33.2 $\mu$ s	-
$f_x/2^3$	1.6 $\mu$ s	66.4 $\mu$ s	-
$f_x/2^4$	3.2 $\mu$ s	132.8 $\mu$ s	-
$f_{r/2}$	-	-	122.1 $\mu$ s

注 CPU クロックの設定 (X1 入力クロック / Ring-OSC クロック) は、メイン・クロック・モード・レジスタ (MCM) で行います。(図 5 - 4 参照)

正)

CPU クロック( $f_{CPU}$ )	最小命令実行時間 : $2/f_{CPU}$		
	X1 入力クロック <sup>注1</sup> (10MHz 動作時)	Ring-OSC クロック <sup>注1</sup> (240KHz (TYP.) 動作時)	サブシステム・クロック (32.768KHz 動作時)
$f_x$	0.2 $\mu$ s	8.3 $\mu$ s	-
$f_x/2$	0.4 $\mu$ s	16.6 $\mu$ s <sup>注2</sup>	-
$f_x/2^2$	0.8 $\mu$ s	-	-
$f_x/2^3$	1.6 $\mu$ s	-	-
$f_x/2^4$	3.2 $\mu$ s	-	-
$f_{r/2}$	-	-	122.1 $\mu$ s

注 1. CPU クロックの設定 (X1 入力クロック / Ring-OSC クロック) は、メイン・クロック・モード・レジスタ (MCM) で行います。(図 5 - 4 参照)

2. (A1),(A2)製品では設定禁止です。

## P.498 AC 特性

誤)

項目	略号	条件				MIN.	TYP.	MAX.	単位
命令サイクル (最小命令実行時間)	Tcy	メイン・システム・クロック動作	X1 入力クロック	注 1	4.0 V <sub>DD</sub> 5.5V	0.238		16	$\mu$ s
				注 2	4.0 V <sub>DD</sub> 5.5V	0.2		16	$\mu$ s
					3.3 V <sub>DD</sub> 4.0V	0.238		16	$\mu$ s
					2.7 V <sub>DD</sub> 3.3V	0.4		16	$\mu$ s
		Ring-OSC クロック動作		4.17	8.33	16.67	$\mu$ s		
サブシステム・クロック動作		114	122	125	$\mu$ s				

正)

項目	略号	条件				MIN.	TYP.	MAX.	単位
命令サイクル (最小命令実行時間)	Tcy	メイン・システム・クロック動作	X1 入力クロック	注 1	4.0 V <sub>DD</sub> 5.5V	0.238		16	$\mu$ s
				注 2	4.0 V <sub>DD</sub> 5.5V	0.2		16	$\mu$ s
					3.3 V <sub>DD</sub> 4.0V	0.238		16	$\mu$ s
					2.7 V <sub>DD</sub> 3.3V	0.4		16	$\mu$ s
		Ring-OSC クロック動作		4.17		33.33	$\mu$ s		
サブシステム・クロック動作		114	122	125	$\mu$ s				

- 以上 -

### 項目3 ウォッチドッグ・タイマ誤記訂正

第10章ウォッチドッグ・タイマ において下記の誤記訂正事項がございます。

P.248 図 10-2 ウォッチドッグ・タイマ・モード・レジスタ(WDTM)のフォーマット 注3「リセット解除 ,WDTM への書き込みは8ビット・メモリ操作命令で1回のみ行うことができます。2回目の書き込みを実行しようとした場合、その時点で内部リセット信号が発生します。」とありますが、ウォッチドッグ・タイマの動作が停止している場合は、内部リセット信号は発生しません。

同様に P.248 図 10-3 ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)のフォーマット 注1「WDTE に”ACH”以外の値を書き込んだ場合、内部リセット信号が発生します。」及び注2「WDTE に1ビットメモリ操作命令を実行した場合、内部リセット信号が発生します。」とありますが、ウォッチドッグ・タイマの動作が停止している場合は、内部リセット信号は発生しません。

下記にウォッチドッグ・タイマと内部リセット信号の関係を示します。

内部リセット信号発生要因	Ring-OSC は停止不可	Ring-OSC はソフトウェアにて停止可能		
		ウォッチドッグ・タイマ動作中	ウォッチドッグ・タイマ停止	
			WCS4 に 1 をセットした場合	ウォッチドッグ・タイマのソースクロックが停止している場合
ウォッチドッグ・タイマのカウンタオーバーフロー	内部リセット信号が発生	内部リセット信号が発生	-	-
ADCM への2回目の書き込み	内部リセット信号が発生	内部リセット信号が発生	リセットは発生しません。またウォッチドッグ・タイマも再動作はしません。	再びウォッチドッグ・タイマのソースクロックが動作した時点で内部リセット信号が発生。
ADCE へのACH以外の書き込み	内部リセット信号が発生	内部リセット信号が発生	リセットは発生しません。	再びウォッチドッグ・タイマのソースクロックが動作した時点で内部リセット信号が発生。
ADCE への1ビットメモリ操作命令でのアクセス	内部リセット信号が発生	内部リセット信号が発生	リセットは発生しません。	再びウォッチドッグ・タイマのソースクロックが動作した時点で内部リセット信号が発生。

### 誤記訂正事項詳細

P.248 図 10-2 ウォッチドッグ・タイマ・モード・レジスタ(WDTM)のフォーマット 注意3

誤)

注意3. リセット解除後 ,WDTM への書き込みは8ビット・メモリ操作命令で1回のみ行うことができます。2回目の書き込みを実行しようとした場合、その時点で内部リセット信号が発生します。

正)

注意3. リセット解除後 ,WDTM への書き込みは8ビット・メモリ操作命令で1回のみ行うことができます。ウォッチドッグ・タイマ動作中に2回目の書き込みを実行しようとした場合、その時点で内部リセット信号が発生します。但し、ウォッチドッグ・タイマの動作クロックが停止している場合は、ウォッチドッグ・タイマの動作クロックが再び動作開始した時点で内部リセット信号が発生します。

P.248 図 10-2 ウォッチドッグ・タイマ・モード・レジスタ(WDTM)のフォーマット  
追加)

注意 5. マスクオプションで「Ring-OSC はソフトウェアにて停止可能」を選択し、WDCS4 に 1 をセットしてウォッチドッグ・タイマを停止させた場合、WDCS4 を再び 0 にクリアしてもウォッチドッグ・タイマは動作しません。また、内部リセット信号も発生しません。

P.248 図 10-3 ウォッチドッグ・タイマ・モード・レジスタ(WDTE)のフォーマット 注意 1 及び 2  
誤)

1. WDTE に"ACH"以外の値を書き込んだ場合、内部リセット信号が発生します。
2. WDTE に 1 ビット・メモリ操作命令を実行した場合、内部リセット信号が発生します。

正)

1. WDTE に"ACH"以外の値を書き込んだ場合、内部リセット信号が発生します。但し、ウォッチドッグ・タイマの動作クロックが停止している場合は、ウォッチドッグ・ドッグタイマの動作クロックが再び動作開始した時点で内部リセット信号が発生します。
2. WDTE に 1 ビット・メモリ操作命令を実行した場合、内部リセット信号が発生します。但し、ウォッチドッグ・タイマの動作クロックが停止している場合は、ウォッチドッグ・ドッグタイマの動作クロックが再び動作開始した時点で内部リセット信号が発生します。

- 以上 -

項目 4 その他誤記訂正事項  
下記に示す誤記訂正がございます。

### 誤記訂正事項詳細

P.207 8ビット・タイマ/イベント・カウンタ 50, 51

図 7 - 13 方形波出力動作のタイミング

誤)TMn カウント値

正)IM5n カウント値

P.224 8ビット・タイマ H0, H1

図 8 - 11 の備考 2

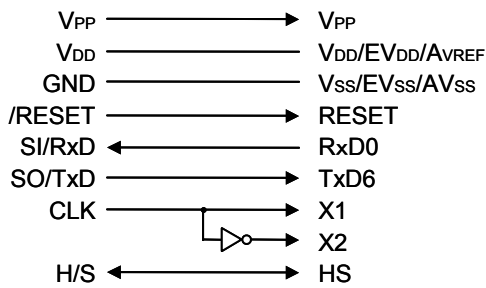
誤) 2. 00H CMP1n (M) CMP0n (N) < FFH

正) 2. 00H CMP1n(M) CMP0n(N) \_\_\_ FFH

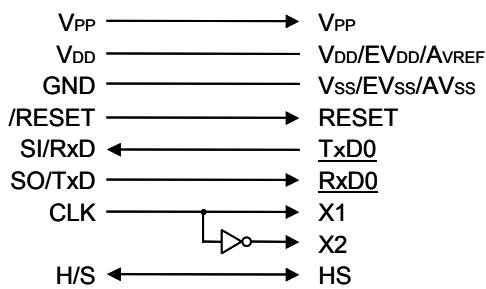
P.466 μPD78F0134、μPD78F0138

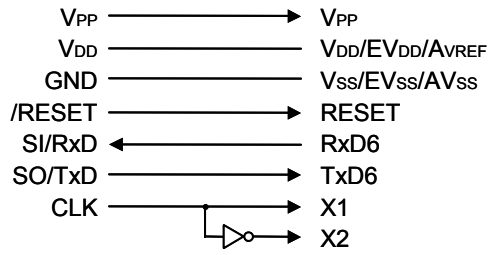
図 27 - 12 専用フラッシュ・ライタとの通信 (UART0+HS)

誤)

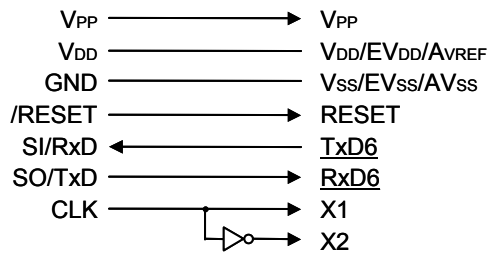


正)



P.466  $\mu$ PD78F0134、 $\mu$ PD78F0138図 26 - 13 専用フラッシュライタとの通信 (UART6)  
誤)

正)



- 以上 -