「この資料は設計目的以外には使用しないでください。
また、当社に断りなく第三者へ開示することを禁じております。」

技術通知 78K0/KD1	発行番号	ＳＢＧ－ＤＴ－０３－０２９２号	1/2
	発行日	２００３年　１１月　１４日	
	発行元	NEC エレクトロニクス株式会社 ソリューション事業本部 第二ソリューション事業部 マイクロコンピュータグループ	

文書分類	使用制限事項	バージョン・アップ	○	ドキュメント誤記訂正	その他
関連資料	78K0/KD1 ユーザーズ・マニュアル	資料番号：U16315JJ2V0UD00（第２版）			

１．対象製品

μPD780121、μPD780122、μPD780123、μPD780124
μPD78F0124Mx (x=1~6)

２．ドキュメント誤記訂正内容

１）第５章 クロック発生回路において下記の誤記訂正事項がございます。

P.429 以降の電気的特性において CPU クロックに Ring-OSC を選択した場合、最小命令実行時間は 240KHz(Typ.)での動作のみ規定しているにも関わらず、 P.103 図 5-2 プロセッサ･クロック・コントロール・レジスタ(PCC)の説明にて Ring-OSC の分周の表記がございました。

Ring-OSC の分周クロック供給による CPU 動作は一般品及び(A)品は２分周動作までとします。(A1)品及び(A2)品の分周動作はできません。

詳細を別紙３に示します。

２）第 10 章ウォッチドッグ・タイマ において下記の誤記訂正事項がございます。

P.220 図 10-2 ウォッチドッグ･タイマ･モード･レジスタ(WDTM)のフォーマット 注意 3「リセット解除，WDM への書き込みは 8 ビット･メモリ操作命令で 1 回のみ行うことができます。2 回目の書き込みを実行しようとした場合，その時点で内部リセット信号が発生します 。」とありますが、ウォッチドッグ･タイマの動作が停止している場合 は、内部リセット信号は発生しません。

同様に P.220 図 10-3 ウォッチドッグ･タイマ･イネーブル･レジスタ(WDTE)のフォーマット 注 1「WDTE に”ACH”以外の値を書き込んだ場合，内部リセット信号を発生します。」、及び注 2「WDTE に１ビットメモリ操作命令を実行した場合，内部リセット信号を発生します。」とありますが、ウォッチドッグ･タイマの動作が停止している場合は、内部リセット信号は発生しません。

詳細を別紙４に示します。

３）その他誤記訂正事項がございます。
詳細は別紙５に示します。

３．ドキュメント改善計画

今回追加いたしました項目につきましては、ユーザーズ･マニュアルの次回改版時に反映させます。

４．誤記訂正事項一覧

誤記訂正の履歴とその詳細情報について別紙１に記載いたします。

５．発行文書履歴

７８Ｋ０／ＫＤ１技術通知一覧　発行文書履歴

文書番号	発行日	記事
SBG-DT-03-0004	2003 年 1 月 14 日	初版発行
SBG-DT-03-0161	2003 年 5 月 28 日	新規制限事項追加（項目２）
SBG-DT-03-0212	2003 年 7 月 17 日	誤記訂正事項追加（項目１）
SBG-DT-03-0292	2003 年 11 月 14 日	誤記訂正事項追加（項目２、項目３、項目４）

－以上－

７８Ｋ０／ＫＤ１誤記訂正事項一覧

１）製品履歴

	内容		78K0／KD1 ユーザーズ・マニュアル	
		版数(資料番号)	第１版 (U16315JJ1V0UD00)	第２版 (U16315JJ2V0UD00)
項目１	REGC 接続容量修正事項		×	○
項目２	Ring-OSC 分周誤記		×	×
項目３	ウォッチドッグ･タイマ誤記		×	×
項目４	その他の誤記		×	×

注）各記号はそれぞれ以下の意味を示します。
－：誤記訂正対象外
○：誤記訂正済み
×：誤記訂正対象（修正予定）

２）誤記訂正事項の詳細

項目１：詳細は別紙２をご参照ください。
項目２：今回の誤記訂正事項です。（別紙３をご参照ください。）
項目３：今回の誤記訂正事項です。（別紙４をご参照ください。）
項目４：今回の誤記訂正事項です。（別紙５をご参照ください。）

●誤記訂正事項　項目１：REGC 端子接続容量修正事項

78K0/KD1 ユーザーズ･マニュアル(暫定)の P388 第 23 章 レギュレータ にてレギュレータ安定用コンデンサの容量が 0.1μF と記載しておりますが、1μF に修正いたします。

修正前）　　修正後）

0.1μF　→　1μF

また、レギュレータ安定用コンデンサ接続時の動作電圧範囲、及び命令サイクル (最小命令実行時間)は下記の通りに修正いたします。

修正前）

項　目	略 号	条　件			MIN	TYP	MAX	単位
命令サイクル（最小命令実行時間）	Tcy	メイン･システム･クロック動作	X1 入力クロック、REGC 端子に 0.1μF を接続	3.3V≦VDD≦5.5V	0.238		16	μs
				2.7V≦VDD≦3.3V	0.4		16	μs

修正後）

項　目	略 号	条　件			MIN	TYP	MAX	単位
命令サイクル（最小命令実行時間）	Tcy	メイン･システム･クロック動作	X1 入力クロック、REGC 端子に 1μF を接続	4.0V≦VDD≦5.5V	0.238		16	μs

修正内容詳細

下線部が今回の修正箇所です。

◆P32　注意 4.

修正前）

レギュレータを使用する場合、REGC 端子は 0.1μF のコンデンサを介し・・・

修正後）

レギュレータを使用する場合は、REGC 端子は 1μF のコンデンサを介し・・・

◆P37　表中の X1 入力クロックの項目

修正前）

レギュレータ端子に 0.1μF のコンデンサを接続してください。

修正後）

レギュレータ端子に 1μF のコンデンサを接続してください。

◆P40 表中 REGC の項目

修正前）

0.1μF のコンデンサを介し、VSS に接続してください。

修正後）

1μF のコンデンサを介し、VSS に接続してください。

◆P45　2.2.13　REGC

修正前）

0.1μF のコンデンサを介し、VSS に接続してください。

修正後）

1μF のコンデンサを介し、VSS に接続してください。

◆P388　23.1 **レギュレータ概要** 2 **行目**

修正前）

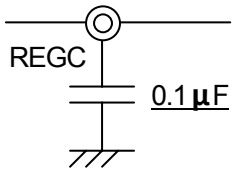
0.1μF **のコンデンサを介し、**VSS **に接続してください。**

修正後）

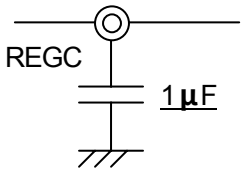
1μF **のコンデンサを介し、**VSS **に接続してください。**

◆P388　**図** 23-1 **図中のコンデンサ容量**

修正前）



修正後）



◆P394、P395　**注意の** 2 **行目**

修正前）

0.1μF **のコンデンサを介し、**Flashpro**III**／Flashpro**IVの** GND **に接続。**

修正後）

1μF **のコンデンサを介し、**Flashpro**III**／Flashpro**IVの** GND **に接続。**

◆P396、P397、P398、P399、P400　**注意の** 2 **行目**

修正前）

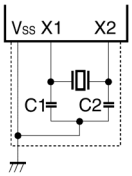
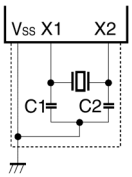
0.1μF **のコンデンサを介して** GND **に接続。**

修正後）

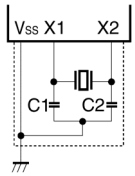
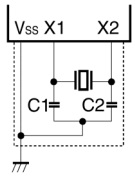
1μF **のコンデンサを介して** GND **に接続。**

◆P417　X1 発振回路特性

修正前）

発振子	推奨回路	項目	条件		MIN	TYP	MAX	単位
セラミック発振子		発振周波数(fxp)注1	REGC 端子にコンデンサ接続時注2	3.3V≦VDD≦5.5V	2.0		8.38	MHz
				2.7V≦VDD≦3.3V	2.0		5.0	
			REGC 端子を VDD に直接接続時	4.0V≦VDD≦5.5V	2.0		10	MHz
				3.3V≦VDD<4.0V	2.0		8.38	
				2.7V≦VDD<3.3V	2.0		5.0	
水晶発振子		発振周波数(fxp)注1	REGC 端子にコンデンサ接続時注2	3.3V≦VDD≦5.5V	2.0		8.38	MHz
				2.7V≦VDD≦3.3V	2.0		5.0	
			REGC 端子を VDD に直接接続時	4.0V≦VDD≦5.5V	2.0		10	MHz
				3.3V≦VDD<4.0V	2.0		8.38	
				2.7V≦VDD<3.3V	2.0		5.0	

修正後）

発振子	推奨回路	項目	条件		MIN	TYP	MAX	単位
セラミック発振子		発振周波数(fxp)注1	REGC 端子にコンデンサ接続時注2	4.0V≦VDD≦5.5V	2.0		8.38	MHz
			REGC 端子を VDD に直接接続時	4.0V≦VDD≦5.5V	2.0		10	MHz
				3.3V≦VDD<4.0V	2.0		8.38	
				2.7V≦VDD<3.3V	2.0		5.0	
水晶発振子		発振周波数(fxp)注1	REGC 端子にコンデンサ接続時注2	4.0V≦VDD≦5.5V	2.0		8.38	MHz
			REGC 端子を VDD に直接接続時	4.0V≦VDD≦5.5V	2.0		10	MHz
				3.3V≦VDD<4.0V	2.0		8.38	
				2.7V≦VDD<3.3V	2.0		5.0	

◆P417　X1 発振回路特性　注.2

修正前）

0.1μF のコンデンサを介し、VSS に接続している場合。

修正後）

1μF のコンデンサを介し、VSS に接続している場合。

◆P421　DC 特性(3/4)：uPD78F0124 の注.8

修正前）

0.1μF のコンデンサを介し、VSS に接続している場合。

修正後）

1μF のコンデンサを介し、VSS に接続している場合。

◆P422　DC 特性(4/4)：マスク ROM 製品 の注.8

修正前）

0.1μF のコンデンサを介し、VSS に接続している場合。

修正後）

1μF のコンデンサを介し、VSS に接続している場合。

◆P423　AC 特性 基本動作

修正前）

項　目	略 号	条　件				MIN	TYP	MAX	単位
命令サイクル（最小命令実行時間）	Tcy	メイン･システム･クロック動作	X1 入力クロック	注1	3.3V≦VDD≦5.5V	0.238		16	μs
					2.7V≦VDD≦3.3V	0.4		16	μs
				注2	4.0V≦VDD≦5.5V	0.2		16	μs
					3.3V≦VDD<4.0V	0.238		16	μs
					2.7V≦VDD<3.3V	0.4		16	μs
			Ring-OSC クロック			4.17	8.33	16.67	μs
		サブ･システム･クロック動作				114	122	125	μs

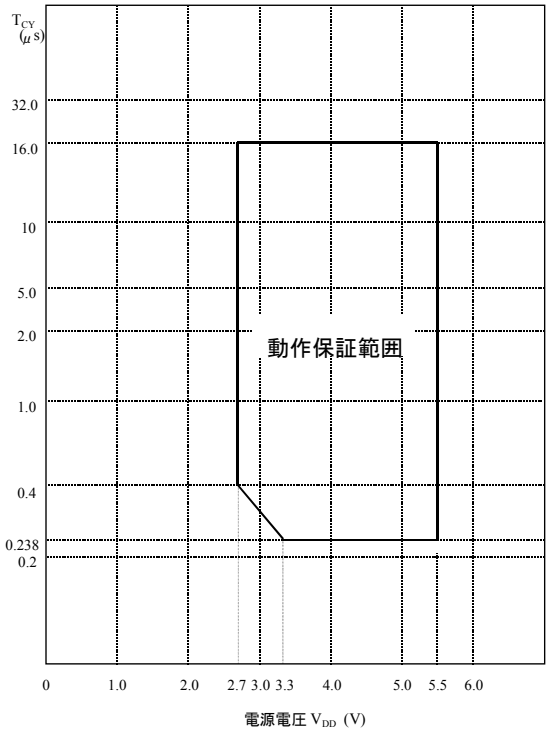
修正後）

項　目	略 号	条　件			MIN	TYP	MAX	単位
命令サイクル（最小命令実行時間）	Tcy	メイン･システム･クロック動作	X1 入力クロック、REGC 端子に 1μF を接続	4.0V≦VDD≦5.5V	0.238		16	μs
			X1 入力クロック、REGC 端子を VDD と接続	4.0V≦VDD≦5.5V	0.2		16	μs
				3.3V≦VDD<4.0V	0.238		16	μs
				2.7V≦VDD<3.3V	0.4		16	μs
			Ring-OSC クロック		4.17	8.33	16.67	μs
		サブ･システム･クロック動作			114	122	125	μs

◆P424　Tcy vs VDD (x1 入力クロック)

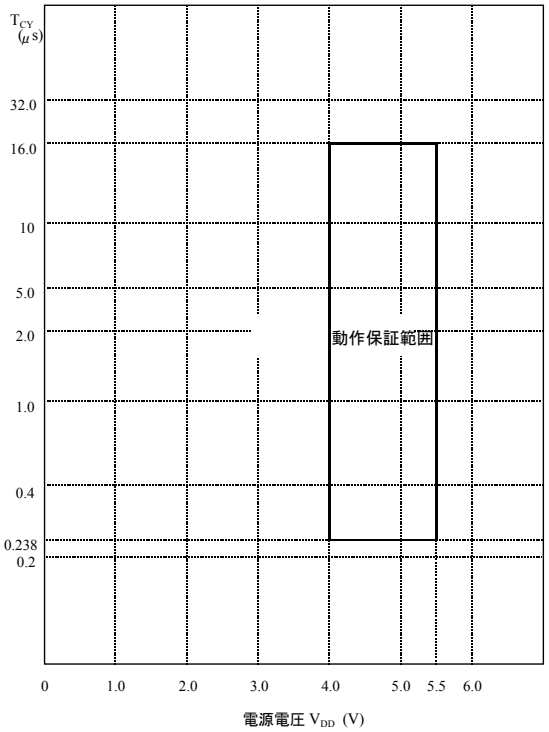
修正前）

(a) REGC 端子に 0.1μコンデンサをする場合



修正後）

(a) REGC 端子に 1μF のコンデンサを接続する場合



－以上－

●項目２ Ring-OCS **分周誤記訂正**

第５章 クロック発生回路において下記の誤記訂正事項がございます。

P.429 **以降の電気的特性において** CPU **クロックに** Ring-OSC **を選択した場合、最小命令実行時間は** 240KHz(Typ.)**での動作のみ規定しているにも関わらず、** P.103 **図** 5-2 **プロセッサ･クロック・コントロール・レジスタ**(PCC)**の説明にて** Ring-OSC **の分周の表記がございました。**

Ring-OSC **の分周クロック供給による** CPU **動作は一般品及び**(A)**品は２分周動作までとします。**(A1)**品及び**(A2)**品の分周動作はできません。**

誤記訂正事項詳細

◆P.103 **図** 5-2 **プロセッサ･クロック･コントロール・レジスタ**(PCC)**のフォーマット**

誤）

CSS	PCC2	PCC1	PCC0	CPU **クロック**(f_{CPU}) **の選択**		
					MCM0=0	MCM0=1
0	0	0	0	f_X	f_R	f_{XP}
	0	0	1	$f_X/2$	$f_R/2$	$f_{XP}/2$
	0	1	0	$f_X/2^2$	$f_R/2^2$	$f_{XP}/2^2$
	0	1	1	$f_X/2^3$	$f_R/2^3$	$f_{XP}/2^3$
	1	0	0	$f_X/2^4$	$f_R/2^4$	$f_{XP}/2^4$
1	0	0	0	$f_T/2$		
	0	0	1			

正）

CSS [注4]	PCC2	PCC1	PCC0	CPU **クロック**(f_{CPU}) **の選択**		
					MCM0=0	MCM0=1
0	0	0	0	f_X	f_R	f_{XP}
	0	0	1	$f_X/2$	$f_R/2$ [注5]	$f_{XP}/2$
	0	1	0	$f_X/2^2$	**設定禁止**	$f_{XP}/2^2$
	0	1	1	$f_X/2^3$	**設定禁止**	$f_{XP}/2^3$
	1	0	0	$f_X/2^4$	**設定禁止**	$f_{XP}/2^4$
1	0	0	0	$f_T/2$		
	0	0	1			

注 5. (A1),(A2)**製品では設定禁止です。**

◆P.104　表 5-2 CPU クロックと最小命令実行時間の関係

誤）

CPU クロック(f_{CPU})	最小命令実行時間：2/ f_{CPU}		
	X1 入力クロック注 (10MHz 動作時)	Ring-OSC クロック注 (240KHｚ(TYP.)動作時)	サブシステム･クロック (32.768KHz 動作時)
fx	0.2μs	8.3μs	－
fx/2	0.4μs	16.6μs	－
$f_x/2^2$	0.8μs	33.2μs	－
$f_x/2^3$	1.6μs	66.4μs	－
$f_x/2^4$	3.2μs	132.8μs	－
$f_T/2$	－	－	122.1μs

注　CPU クロックの設定（X1 入力クロック／Ring-OSC クロック）は、メイン・クロック・モード・レジスタ（MCM）で行います。(図５－４参照)。

正）

CPU クロック(f_{CPU})	最小命令実行時間：2/ f_{CPU}		
	X1 入力クロック注1 (10MHz 動作時)	Ring-OSC クロック注1 (240KHｚ(TYP.)動作時)	サブシステム･クロック (32.768KHz 動作時)
fx	0.2μs	8.3μs	－
fx/2	0.4μs	16.6μs 注2	－
$f_x/2^2$	0.8μs	－	－
$f_x/2^3$	1.6μs	－	－
$f_x/2^4$	3.2μs	－	－
$f_T/2$	－	－	122.1μs

注1.　CPU クロックの設定（X1 入力クロック／Ring-OSC クロック）は、メイン・クロック・モード・レジスタ（MCM）で行います。(図５－４参照)。

2.　(A1),(A2)製品では設定禁止です。

◆P.439　AC 特性

誤）

項　目	略号	条　件				MIN.	TYP.	MAX.	単位
命令サイクル (最小命令実行時間)	Tcy	メイン･システム･クロック動作	X1 入力クロック	注1	4.0≦V_{DD}≦5.5V	0.238		16	μs
				注2	4.0≦V_{DD}≦5.5V	0.2		16	μs
					3.3≦V_{DD}≦4.0V	0.238		16	μs
					2.7≦V_{DD}≦3.3V	0.4		16	μs
			Ring-OSC クロック動作			4.17	8.33	16.67	μs
		サブシステム･クロック動作				114	122	125	μs

正）

項　目	略号	条　件				MIN.	TYP.	MAX.	単位
命令サイクル (最小命令実行時間)	Tcy	メイン･システム･クロック動作	X1 入力クロック	注1	4.0≦V_{DD}≦5.5V	0.238		16	μs
				注2	4.0≦V_{DD}≦5.5V	0.2		16	μs
					3.3≦V_{DD}≦4.0V	0.238		16	μs
					2.7≦V_{DD}≦3.3V	0.4		16	μs
			Ring-OSC クロック動作			4.17		33.33	μs
		サブシステム･クロック動作				114	122	125	μs

－以上－

●項目３　ウォッチドッグ・タイマ誤記訂正

第 10 章ウォッチドッグ・タイマ において下記の誤記訂正事項がございます。

P.221 図 10-2 ウォッチドッグ･タイマ･モード･レジスタ(WDTM)のフォーマット 注 3「リセット解除，WDTM への書き込みは 8 ビット･メモリ操作命令で 1 回のみ行うことができます。2 回目の書き込みを実行しようとした場合，その時点で内部リセット信号が発生します 。」とありますが、ウォッチドッグ･タイマの動作が停止している場合は、内部リセット信号は発生しません。

同様に P.221 図 10-3 ウォッチドッグ･タイマ･イネーブル･レジスタ(WDTE)のフォーマット 注 1 「WDTE に"ACH"以外の値を書き込んだ場合，内部リセット信号を発生します。」、及び注 2「WDTE に１ビットメモリ操作命令を実行した場合，内部リセット信号を発生します。」とありますが、ウォッチドッグ･タイマの動作が停止している場合は、内部リセット信号は発生しません。

下記にウォッチドッグ・タイマと内部リセット信号の関係を示します。

内部リセット信号発生要因	Ring-OSC は停止不可	Ring-OSC はソフトウエアにて停止可能		
		ウォッチドッグ･タイマ動作中	ウォッチドッグ･タイマ停止	
			WCS4 に 1 をセットした場合	ウォッチドッグ･タイマのソースクロックが停止している場合
ウォッチドッグ･タイマのカウンタオーバフロー	内部リセット信号が発生	内部リセット信号が発生	－	－
ADCM への 2 回目の書き込み	内部リセット信号が発生	内部リセット信号が発生	リセットは発生しません。またウォッチドッグ･タイマも再動作はしません。	再びウォッチドッグ・タイマのソースクロックが動作した時点で内部リセット信号が発生。
ADCE への ACH 以外の書き込み	内部リセット信号が発生	内部リセット信号が発生	リセットは発生しません。	再びウォッチドッグ・タイマのソースクロックが動作した時点で内部リセット信号が発生。
ADCE への 1 ビットメモリ操作命令でのアクセス	内部リセット信号が発生	内部リセット信号が発生	リセットは発生しません。	再びウォッチドッグ・タイマのソースクロックが動作した時点で内部リセット信号が発生。

誤記訂正事項詳細

◆P.221　図 11-2 ウォッチドッグ･タイマ･モード･レジスタ(WDTM)のフォーマット 注意 3

誤）

注意 3.　リセット解除後，WDTM への書き込みは 8 ビット･メモリ操作命令で１回のみ行うことができます。
2 回目の書き込みを実行しようとした場合，その時点で内部リセット信号が発生します。

正）

注意 3.　リセット解除後，WDTM への書き込みは 8 ビット･メモリ操作命令で１回のみ行うことができます。
ウォッチドッグ・タイマ動作中に 2 回目の書き込みを実行しようとした場合，その時点で内部リセット信号が発生します。<u>但し、ウォッチドッグ・タイマの動作クロックが停止している場合は，ウォッチドッグ･ドッグタイマの動作クロックが再び動作開始した時点で内部リセット信号が発生します。</u>

◆P.221 図 10-2 ウォッチドッグ･タイマ･モード･レジスタ(WDTM)のフォーマット

追加）

注意 5. マスクオプションで「Ring-OSC はソフトウエアにて停止可能」を選択し、WDCS4 に１をセットしてウォッチドッグ･タイマを停止させた場合、WDCS4 を再び 0 にクリアしてもウォッチドッグ・タイマは動作しません。また、内部リセット信号も発生しません。

◆P.221 図 10-3 ウォッチドッグ･タイマ･モード･レジスタ(WDTE)のフォーマット 注意 1 及び 2

誤）

注意 1. WDTE に"ACH"以外の値を書き込んだ場合，内部リセット信号が発生します。

2. WDTE に 1 ビット･メモリ操作命令を実行した場合，内部リセット信号を発生します。

正）

注意 1. WDTE に"ACH"以外の値を書き込んだ場合，内部リセット信号が発生します。但し、ウォッチドッグ・タイマの動作クロックが停止している場合は，ウォッチドッグ･ドッグタイマの動作クロックが再び動作開始した時点で内部リセット信号が発生します。

2. WDTE に 1 ビット･メモリ操作命令を実行した場合，内部リセット信号を発生します。但し、ウォッチドッグ・タイマの動作クロックが停止している場合は，ウォッチドッグ･ドッグタイマの動作クロックが再び動作開始した時点で内部リセット信号が発生します。

－以上－

●項目４　その他誤記訂正事項
下記に示す誤記訂正がございます。

誤記訂正事項詳細

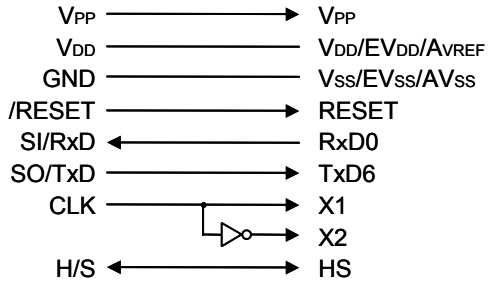
◆ P.180　8 **ビット･タイマ／イベント･カウンタ** 50，51
図 7－13 **方形波出力動作のタイミング**
誤)TMn **カウント値**

正)TM5n **カウント値**

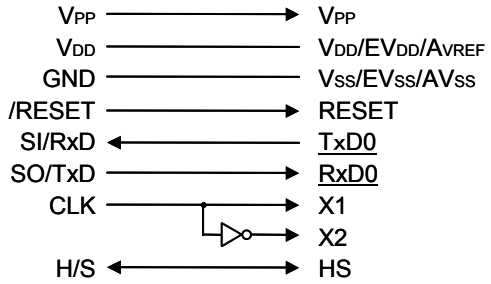
◆ P.202　8 **ビット・タイマ** H0, H1
図 9－11 **の備考** 2
誤)　2.　00H ≦ CMP1n (M) ≦ CMP0n (N) ＜ FFH

正)　2.　00H ≦ CMP1n(M) ≦ CMP0n(N) ≦ FFH

◆ P.407　μPD78F0124
図 25－11　**専用フラッシュ･ライタとの通信**　(UART0+HS)
誤)



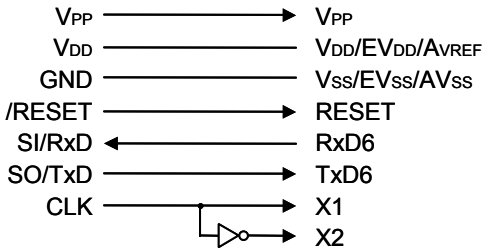
正)



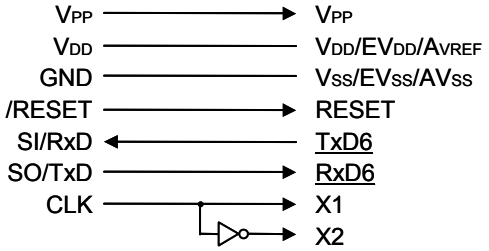
◆ P.408　μPD78F0124

図 25－12 **専用フラッシュ･ライタとの通信**　(UART6)

誤)



正)



－以上－