「この資料は設計目的以外には使用しないでください。
また、当社に断りなく第三者へ開示することを禁じております。」

技術通知 78K0/KC1	発行番号	SBG－DT－03－0288号	1/2
	発行日	2003年 11月 6日	
	発行元	NEC エレクトロニクス株式会社 ソリューション事業本部 第二ソリューション事業部 マイクロコンピュータグループ	

文書分類	使用制限事項	バージョン・アップ	○	ドキュメント修正	その他
関連資料	78K0/KC1 ユーザーズ・マニュアル	資料番号：U16227JJ2V0UD00（第2版）			

1．対象製品

μPD780111、μPD780112、μPD780113、μPD780114、μPD78F0114Mx (x=1～6)

2．ドキュメント誤記訂正内容

1）第5章 クロック発生回路において下記の誤記訂正事項がございます。

P.418 以降の電気的特性において CPU クロックに Ring-OSC を選択した場合、最小命令実行時間は 240KHz(Typ.)での動作のみ規定しているにも関わらず、 P.100 図 5-2 プロセッサ･クロック・コントロール・レジスタ(PCC)の説明にて Ring-OSC の分周の表記がございました。

Ring-OSC の分周クロック供給による CPU 動作は一般品及び(A)品は2分周動作までとします。(A1)品及び(A2)品の分周動作はできません。

詳細を別紙2に示します。

2）第 10 章ウォッチドッグ・タイマ において下記の誤記訂正事項がございます。

P.217 図 10-2 ウォッチドッグ･タイマ･モード･レジスタ(WDTM)のフォーマット 注意 3「リセット解除，WDM への書き込みは 8 ビット･メモリ操作命令で 1 回のみ行うことができます。2 回目の書き込みを実行しようとした場合，その時点で内部リセット信号が発生します 。」とありますが、ウォッチドッグ･タイマの動作が停止している場合 は、内部リセット信号は発生しません。

同様に P.217 図 10-3 ウォッチドッグ･タイマ･イネーブル･レジスタ(WDTE)のフォーマット 注 1「WDTE に"ACH"以外の値を書き込んだ場合，内部リセット信号を発生します。」、及び注 2「WDTE に1ビットメモリ操作命令を実行した場合，内部リセット信号を発生します。」とありますが、ウォッチドッグ･タイマの動作が停止している場合は、内部リセット信号は発生しません。

詳細を別紙3に示します。

3）その他誤記訂正事項がございます。

詳細は別紙4に示します。

3．ドキュメント改善計画

今回追加いたしました項目につきましては、ユーザーズ･マニュアルの次回改版時に反映させます

4．誤記訂正事項一覧

誤記訂正の履歴とその詳細情報について別紙1に記載いたします。

6．発行文書履歴

７８Ｋ0／ＫＣ１技術通知　発行文書履歴

文書番号	発行日	記事
SBG-DT-03--0003	2003 年 1 月 14 日	初版発行
SBG-DT-03--0160	2003 年 5 月 28 日	新規制限事項追加（項目２）
SBG-DT-03-0288	2003 年 11 月 6 日	誤記訂正事項 (誤記訂正事項１、２、３)

－以上－

７８Ｋ０／ＫＣ１誤記訂正事項一覧

1）誤記訂正事項履歴

	内容	78K0／KC1 ユーザーズ・マニュアル
	版数(資料番号)	第２版 U16227JJ2V0UD00 および第２版以前
項目１	Ring-OSC 分周誤記	×
項目２	ウォッチドッグ･タイマ誤記	×
項目３	その他の誤記	×

注）各記号はそれぞれ以下の意味を示します。
－：ドキュメント修正対象外
○：ドキュメント修正済み
×：ドキュメント修正対象（修正予定）

2）誤記訂正事項の詳細

項目１：今回の誤記訂正事項です。（別紙２をご参照ください。）
項目２：今回の誤記訂正事項です。（別紙３をご参照ください。）
項目３：今回の誤記訂正事項です。（別紙４をご参照ください。）

●項目１ Ring-OCS **分周誤記訂正**

第 5 **章 クロック発生回路において下記の誤記訂正事項がございます。**

P.418 **以降の電気的特性において** CPU **クロックに** Ring-OSC **を選択した場合、最小命令実行時間は** 240KHz(Typ.) **での動作のみ規定しているにも関わらず、** P.100 **図** 5-2 **プロセッサ･クロック・コントロール・レジスタ**(PCC) **の説明にて** Ring-OSC **の分周の表記がございました。**

Ring-OSC **の分周クロック供給による** CPU **動作は一般品及び**(A)**は２分周動作までとします。**(A1)**品及び**(A2)**品の分周動作はできません。**

誤記訂正事項詳細

◆P.100 **図** 5-2 **プロセッサ･クロック･コントロール・レジスタ**(PCC)**のフォーマット**

誤）

CSS	PCC2	PCC1	PCC0	CPU **クロック**(f_{CPU}) **の選択**		
					MCM0=0	MCM0=1
0	0	0	0	f_X	f_R	f_{XP}
	0	0	1	$f_X/2$	$f_R/2$	$f_{XP}/2$
	0	1	0	$f_X/2^2$	$f_R/2^2$	$f_{XP}/2^2$
	0	1	1	$f_X/2^3$	$f_R/2^3$	$f_{XP}/2^3$
	1	0	0	$f_X/2^4$	$f_R/2^4$	$f_{XP}/2^4$
1	0	0	0	$f_T/2$		
	0	0	1			

正）

CSS [注4]	PCC2	PCC1	PCC0	CPU **クロック**(f_{CPU}) **の選択**		
					MCM0=0	MCM0=1
0	0	0	0	f_X	f_R	f_{XP}
	0	0	1	$f_X/2$	$f_R/2$ [注5]	$f_{XP}/2$
	0	1	0	$f_X/2^2$	**設定禁止**	$f_{XP}/2^2$
	0	1	1	$f_X/2^3$	**設定禁止**	$f_{XP}/2^3$
	1	0	0	$f_X/2^4$	**設定禁止**	$f_{XP}/2^4$
1	0	0	0	$f_T/2$		
	0	0	1			

注 5. (A1),(A2)**製品では設定禁止です。**

◆P.101 表 5-2 CPU クロックと最小命令実行時間の関係

誤)

CPU クロック(f_{CPU})	最小命令実行時間：2/ f_{CPU}		
	X1 入力クロック注 (10MHz 動作時)	Ring-OSC クロック注 (240KHz (TYP.) 動作時)	サブシステム・クロック (32.768KHz 動作時)
f_X	0.2μs	8.3μs	－
$f_X/2$	0.4μs	16.6μs	－
$f_X/2^2$	0.8μs	33.2μs	－
$f_X/2^3$	1.6μs	66.4μs	－
$f_X/2^4$	3.2μs	132.8μs	－
$f_T/2$	－	－	122.1μs

注 CPU クロックの設定（X1 入力クロック／Ring-OSC クロック）は、メイン・クロック・モード・レジスタ（MCM）で行います。(図6－4参照)。

正)

CPU クロック(f_{CPU})	最小命令実行時間：2/ f_{CPU}		
	X1 入力クロック注1 (10MHz 動作時)	Ring-OSC クロック注1 (240KHz (TYP.) 動作時)	サブシステム・クロック (32.768KHz 動作時)
f_X	0.2μs	8.3μs	－
$f_X/2$	0.4μs	16.6μs 注2	－
$f_X/2^2$	0.8μs	－	－
$f_X/2^3$	1.6μs	－	－
$f_X/2^4$	3.2μs	－	－
$f_T/2$	－	－	122.1μs

注1. CPU クロックの設定（X1 入力クロック／Ring-OSC クロック）は、メイン・クロック・モード・レジスタ（MCM）で行います。(図6－4参照)。

2. (A1),(A2)製品では設定禁止です。

◆P.428 AC 特性

誤)

項 目	略号	条 件				MIN.	TYP.	MAX.	単位
命令サイクル (最小命令実行時間)	Tcy	メイン・システム・クロック動作	X1 入力クロック	注1	4.0≦V_{DD}≦5.5V	0.238		16	μs
				注2	4.0≦V_{DD}≦5.5V	0.2		16	μs
					3.3≦V_{DD}≦4.0V	0.238		16	μs
					2.7≦V_{DD}≦3.3V	0.4		16	μs
			Ring-OSC クロック動作			4.17	8.33	16.67	μs
		サブシステム・クロック動作				114	122	125	μs

正)

項 目	略号	条 件				MIN.	TYP.	MAX.	単位
命令サイクル (最小命令実行時間)	Tcy	メイン・システム・クロック動作	X1 入力クロック	注1	4.0≦V_{DD}≦5.5V	0.238		16	μs
				注2	4.0≦V_{DD}≦5.5V	0.2		16	μs
					3.3≦V_{DD}≦4.0V	0.238		16	μs
					2.7≦V_{DD}≦3.3V	0.4		16	μs
			Ring-OSC クロック動作			4.17		33.33	μs
		サブシステム・クロック動作				114	122	125	μs

－以上－

●項目2　ウォッチドッグ・タイマ誤記訂正

第 10 章ウォッチドッグ・タイマ において下記の誤記訂正事項がございます。

P.217 **図** 10-2 **ウォッチドッグ･タイマ･モード･レジスタ**(WDTM)**のフォーマット 注意** 3**「リセット解除，**WDTM **への書き込みは** 8 **ビット･メモリ操作命令で** 1 **回のみ行うことができます。**2 **回目の書き込みを実行しようとした場合，その時点で内部リセット信号が発生します 。」とありますが、ウォッチドッグ･タイマの動作が停止している場合は、内部リセット信号は発生しません。**

同様に P.217 **図** 10-3 **ウォッチドッグ･タイマ･イネーブル･レジスタ**(WDTE)**のフォーマット 注意** 1**「**WDTE **に**"ACH"**以外の値を書き込んだ場合，内部リセット信号を発生します。」、及び注意** 2**「**WDTE **に１ビットメモリ操作命令を実行した場合，内部リセット信号を発生します。」とありますが、ウォッチドッグ･タイマの動作が停止している場合は、内部リセット信号は発生しません。**

下記にウォッチドッグ・タイマと内部リセット信号の関係を示します。

内部リセット信号発生要因	Ring-OSC は停止不可	Ring-OSC はソフトウエアにて停止可能		
		ウォッチドッグ･タイマ動作中	ウォッチドッグ･タイマ停止	
			WCS4 に 1 をセットした場合	ウォッチドッグ･タイマのソースクロックが停止している場合
ウォッチドッグ･タイマのカウンタオーバフロー	内部リセット信号が発生	内部リセット信号が発生	－	－
ADCM への 2 回目の書き込み	内部リセット信号が発生	内部リセット信号が発生	リセットは発生しません。またウォッチドッグ･タイマも再動作はしません。	再びウォッチドッグ・タイマのソースクロックが動作した時点で内部リセット信号が発生。
ADCE への ACH 以外の書き込み	内部リセット信号が発生	内部リセット信号が発生	リセットは発生しません。	再びウォッチドッグ・タイマのソースクロックが動作した時点で内部リセット信号が発生。
ADCE への 1 ビットメモリ操作命令でのアクセス	内部リセット信号が発生	内部リセット信号が発生	リセットは発生しません。	再びウォッチドッグ・タイマのソースクロックが動作した時点で内部リセット信号が発生。

誤記訂正事項詳細

◆P.217　**図** 10-2 **ウォッチドッグ･タイマ･モード･レジスタ**(WDTM)**のフォーマット 注意** 3

誤)

注意 3.　**リセット解除後,**WDTM **への書き込みは** 8 **ビット･メモリ操作命令で１回のみ行うことができます。**
2 **回目の書き込みを実行しようとした場合，その時点で内部リセット信号が発生します。**

正)

注意 3.　**リセット解除後,**WDTM **への書き込みは** 8 **ビット･メモリ操作命令で１回のみ行うことができます。**
ウォッチドッグ・タイマ動作中に 2 **回目の書き込みを実行しようとした場合，その時点で内部リセット信号が発生します。但し、ウォッチドッグ・タイマの動作クロックが停止している場合は，ウォッチドッグ･ドッグタイマの動作クロックが再び動作開始した時点で内部リセット信号が発生します。**

◆P.217 図 10-2 ウォッチドッグ･タイマ･モード･レジスタ(WDTM)のフォーマット

追加）

注意 5. マスクオプションで「Ring-OSC はソフトウエアにて停止可能」を選択し、WDCS4 に１をセットしてウォッチドッグ･タイマを停止させた場合、WDCS4 を再び 0 にクリアしてもウォッチドッグ・タイマは動作しません。また、内部リセット信号も発生しません。

◆P.217　図 10-3 ウォッチドッグ･タイマ･モード･レジスタ(WDTE)のフォーマット 注意 1 及び 2

誤）

注意 1. WDTE に"ACH"以外の値を書き込んだ場合，内部リセット信号が発生します。

2. WDTE に 1 ビット･メモリ操作命令を実行した場合，内部リセット信号を発生します。

正）

注意 1. WDTE に"ACH"以外の値を書き込んだ場合，内部リセット信号が発生します。但し、ウォッチドッグ・タイマの動作クロックが停止している場合は，ウォッチドッグ･ドッグタイマの動作クロックが再び動作開始した時点で内部リセット信号が発生します。

2. WDTE に 1 ビット･メモリ操作命令を実行した場合，内部リセット信号を発生します。但し、ウォッチドッグ・タイマの動作クロックが停止している場合は，ウォッチドッグ･ドッグタイマの動作クロックが再び動作開始した時点で内部リセット信号が発生します。

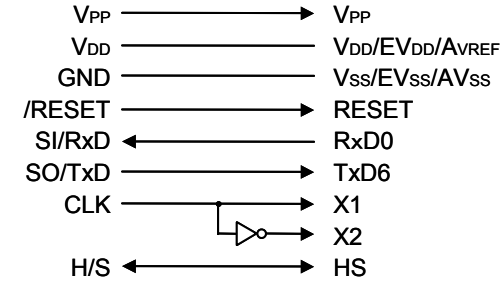
●項目３　その他誤記訂正事項
下記に示す誤記訂正がございます。

誤記訂正事項詳細

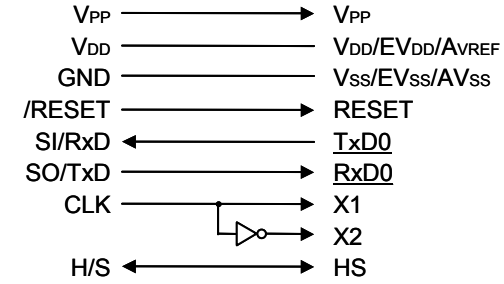
◆ P.193　8 **ビット・タイマ** H0, H1
図 8－11 **の備考** 2
誤)　2.　00H ≦ CMP1n (M) ≦ CMP0n (N) ＜ FFH

正)　2.　00H ≦ CMP1n(M) ≦ CMP0n(N) ≦ FFH

◆ P.395　μPD78F0114
図 23－11　**専用フラッシュ･ライタとの通信**　(UART0+HS)
誤)



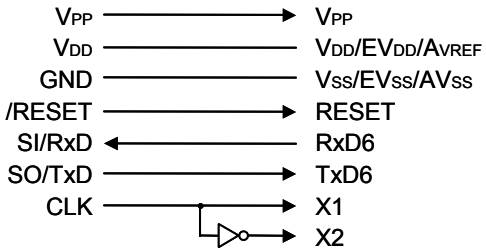
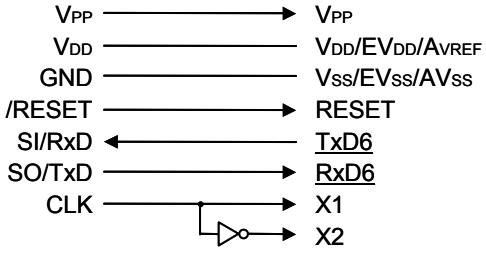
正)



◆ P.396 μPD78F0114

図23－11

誤)



正)