

「この資料は設計目的以外には使用しないでください。
また、当社に断りなく第三者へ開示することを禁じております。」

技術通知 78K0/KB1	発行番号	SBG-DT-03-0294号	1/2	
	発行日	2003年 11月 19日		
	発行元	NEC エレクトロニクス株式会社 ソリューション事業本部 第二ソリューション事業部 マイクロコンピュータグループ		
文書分類	使用制限事項	バージョン・アップ	ドキュメント誤記訂正	その他
関連資料	78K0/KB1 ユーザーズ・マニュアル		資料番号：U15836JJ4V0UD00（第4版）	

1. 対象製品

μPD780101、μPD780102、μPD780103、μPD78F0103Mx (x=1~6)

2. ドキュメント誤記訂正内容

1) 第5章 クロック発生回路において下記の誤記訂正事項がございます。

P.380 以降の電気的特性において CPU クロックに Ring-OSC を選択した場合、最小命令実行時間は 240KHz(Typ.)での動作のみ規定しているにも関わらず、P.88 図 5-2 プロセッサ・クロック・コントロール・レジスタ(PCC)の説明にて Ring-OSC の分周の表記がございました。

Ring-OSC の分周クロック供給による CPU 動作は一般品及び(A)品は2分周動作までとします。(A1)品及び(A2)品の分周動作はできません。

詳細を別紙2に示します。

2) 第9章ウォッチドッグ・タイマにおいて下記の誤記訂正事項がございます。

P.181 図 9-2 ウォッチドッグ・タイマ・モード・レジスタ(WDTM)のフォーマット 注意3「リセット解除、WDM への書き込みは8ビット・メモリ操作命令で1回のみ行うことができます。2回目の書き込みを実行しようとした場合、その時点で内部リセット信号が発生します。」とありますが、ウォッチドッグ・タイマの動作が停止している場合は、内部リセット信号は発生しません。

同様に P.182 図 9-3 ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)のフォーマット 注1「WDTE に"ACH"以外の値を書き込んだ場合、内部リセット信号を発生します。」及び注2「WDTE に1ビットメモリ操作命令を実行した場合、内部リセット信号を発生します。」とありますが、ウォッチドッグ・タイマの動作が停止している場合は、内部リセット信号は発生しません。

詳細を別紙3に示します。

3. ドキュメント改善計画

今回追加いたしました項目につきましては、ユーザーズ・マニュアルの次回改版時に反映させます

4. 誤記訂正事項一覧

誤記訂正事項の履歴とその詳細情報について別紙1に記載いたします。

5 . 発行文書履歴

7 8 K 0 / K B 1 技術通知 発行文書履歴

文書番号	発行日	記事
SBG-DT-03-0002	2003年1月14日	統合版発行
SBG-DT-03-0159	2003年5月28日	新規制限事項追加(項目6)
SBG-DT-03-0287	2003年11月6日	誤記訂正事項追加(項目1、2)
SBG-DT-03-0294	2003年11月19日	SBG-DT-03-0287 別紙文書番号誤記の為、 同内容で再発行

- 以上 -

78K0 / KB1 誤記訂正事項一覧

1) 製品履歴

	内容	78K0 / KB1 ユーザーズ・マニュアル
		第4版(U15836JJ4V0UD00) および第4版以前
項目1	Ring-OSC 分周誤記	×
項目2	ウォッチドッグ・タイマ誤記	×

注) 各記号はそれぞれ以下の意味を示します。

- : 誤記訂正対象外
- : 誤記訂正済み
- × : 誤記訂正対象 (修正予定)

2) 誤記訂正事項の詳細

項目1 : 今回の誤記訂正事項です。(別紙2をご参照ください。)

項目2 : 今回の誤記訂正事項です。(別紙3をご参照ください。)

項目 1 Ring-OCS 分周誤記訂正

第 5 章 クロック発生回路において下記の誤記訂正事項がございます。

P.542 以降の電気的特性において CPU クロックに Ring-OSC を選択した場合、最小命令実行時間は 240KHz(Typ.) での動作のみ規定しているにも関わらず、P.145 図 6-2 プロセッサ・クロック・コントロール・レジスタ(PCC) の説明にて Ring-OSC の分周の表記がございました。

Ring-OSC の分周クロック供給による CPU 動作は一般品及び(A)は 2 分周動作までとします。(A1)品及び(A2)品の分周動作はできません。

誤記訂正事項詳細

P.88 図 5-2 プロセッサ・クロック・コントロール・レジスタ(PCC)のフォーマット誤)

PCC2	PCC1	PCC0	CPU クロック(f_{CPU}) の選択		
				MCM0=0	MCM0=1
0	0	0	f_x	f_R	f_{XP}
0	0	1	$f_x/2$	$f_R/2$	$f_{XP}/2$
0	1	0	$f_x/2^2$	$f_R/2^2$	$f_{XP}/2^2$
0	1	1	$f_x/2^3$	$f_R/2^3$	$f_{XP}/2^3$
1	0	0	$f_x/2^4$	$f_R/2^4$	$f_{XP}/2^4$
上記以外			設定禁止		

正)

PCC2	PCC1	PCC0	CPU クロック(f_{CPU}) の選択		
				MCM0=0	MCM0=1
0	0	0	f_x	f_R	f_{XP}
0	0	1	$f_x/2$	$f_R/2$ 注 ¹	$f_{XP}/2$
0	1	0	$f_x/2^2$	設定禁止	$f_{XP}/2^2$
0	1	1	$f_x/2^3$	設定禁止	$f_{XP}/2^3$
1	0	0	$f_x/2^4$	設定禁止	$f_{XP}/2^4$
上記以外			設定禁止		

注 1. (A1),(A2)製品では設定禁止です。

P.89 表 5-2 CPU クロックと最小命令実行時間の関係

誤)

CPU クロック(f_{CPU})	最小命令実行時間: $2/f_{CPU}$	
	X1 入力クロック ^注 (10MHz 動作時)	Ring-OSC クロック ^注 (240KHz (TYP.) 動作時)
f_x	0.2 μ s	8.3 μ s
$f_x/2$	0.4 μ s	16.6 μ s
$f_x/2^2$	0.8 μ s	33.2 μ s
$f_x/2^3$	1.6 μ s	66.4 μ s
$f_x/2^4$	3.2 μ s	132.8 μ s

注 CPU クロックの設定 (X1 入力クロック / Ring-OSC クロック) は、メイン・クロック・モード・レジスタ (MCM) で行います。(図 6 - 4 参照)

正)

CPU クロック(f_{CPU})	最小命令実行時間: $2/f_{CPU}$	
	X1 入力クロック ^{注1} (10MHz 動作時)	Ring-OSC クロック ^{注1} (240KHz (TYP.) 動作時)
f_x	0.2 μ s	8.3 μ s
$f_x/2$	0.4 μ s	16.6 μ s ^{注2}
$f_x/2^2$	0.8 μ s	-
$f_x/2^3$	1.6 μ s	-
$f_x/2^4$	3.2 μ s	-

注1. CPU クロックの設定 (X1 入力クロック / Ring-OSC クロック) は、メイン・クロック・モード・レジスタ (MCM) で行います。(図 6 - 4 参照)

2. (A1),(A2)製品では設定禁止です。

P.389 AC 特性

誤)

項目	略号	条件		MIN.	TYP.	MAX.	単位
命令サイクル (最小命令実行時間)	Tcy	メイン・システム・クロック動作	X1 入力クロック	4.0 V _{DD} 5.5V	0.2	16	μ s
				3.3 V _{DD} 4.0V	0.238	16	μ s
				2.7 V _{DD} 3.3V	0.4	16	μ s
				Ring-OSC クロック動作	4.17	8.33	16.67

正)

項目	略号	条件		MIN.	TYP.	MAX.	単位
命令サイクル (最小命令実行時間)	Tcy	メイン・システム・クロック動作	X1 入力クロック	4.0 V _{DD} 5.5V	0.2	16	μ s
				3.3 V _{DD} 4.0V	0.238	16	μ s
				2.7 V _{DD} 3.3V	0.4	16	μ s
				Ring-OSC クロック動作	4.17		33.33

- 以上 -

項目 2 ウォッチドッグ・タイマ誤記訂正

第 9 章ウォッチドッグ・タイマ において下記の誤記訂正事項がございます。

P.182 図 9-2 ウォッチドッグ・タイマ・モード・レジスタ(WDTM)のフォーマット 注意 3「リセット解除 ,WDTM への書き込みは 8 ビット・メモリ操作命令で 1 回のみ行うことができます。2 回目の書き込みを実行しようとした場合、その時点で内部リセット信号が発生します。」とありますが、ウォッチドッグ・タイマの動作が停止している場合は、内部リセット信号は発生しません。

同様に P.182 図 9-3 ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)のフォーマット 注意 1 「WDTE に”ACH”以外の値を書き込んだ場合、内部リセット信号が発生します。」及び注意 2 「WDTE に 1 ビットメモリ操作命令を実行した場合、内部リセット信号が発生します。」とありますが、ウォッチドッグ・タイマの動作が停止している場合は、内部リセット信号は発生しません。

下記にウォッチドッグ・タイマと内部リセット信号の関係を示します。

内部リセット信号発生要因	Ring-OSC は停止不可	Ring-OSC はソフトウェアにて停止可能		
		ウォッチドッグ・タイマ動作中	ウォッチドッグ・タイマ停止	
			WCS4 に 1 をセットした場合	ウォッチドッグ・タイマのソースクロックが停止している場合
ウォッチドッグ・タイマのカウンタオーバーフロー	内部リセット信号が発生	内部リセット信号が発生	-	-
ADCM への 2 回目の書き込み	内部リセット信号が発生	内部リセット信号が発生	リセットは発生しません。またウォッチドッグ・タイマも再動作はしません。	再びウォッチドッグ・タイマのソースクロックが動作した時点で内部リセット信号が発生。
ADCE への ACH 以外の書き込み	内部リセット信号が発生	内部リセット信号が発生	リセットは発生しません。	再びウォッチドッグ・タイマのソースクロックが動作した時点で内部リセット信号が発生。
ADCE への 1 ビットメモリ操作命令でのアクセス	内部リセット信号が発生	内部リセット信号が発生	リセットは発生しません。	再びウォッチドッグ・タイマのソースクロックが動作した時点で内部リセット信号が発生。

誤記訂正事項詳細

P.183 図 9-2 ウォッチドッグ・タイマ・モード・レジスタ(WDTM)のフォーマット 注意 3

誤)

注意 3. リセット解除後 ,WDTM への書き込みは 8 ビット・メモリ操作命令で 1 回のみ行うことができます。2 回目の書き込みを実行しようとした場合、その時点で内部リセット信号が発生します。

正)

注意 3. リセット解除後 ,WDTM への書き込みは 8 ビット・メモリ操作命令で 1 回のみ行うことができます。ウォッチドッグ・タイマ動作中に 2 回目の書き込みを実行しようとした場合、その時点で内部リセット信号が発生します。但し、ウォッチドッグ・タイマの動作クロックが停止している場合は、ウォッチドッグ・タイマの動作クロックが再び動作開始した時点で内部リセット信号が発生します。

P.182 図 9-2 ウォッチドッグ・タイマ・モード・レジスタ(WDTM)のフォーマット
追加)

注意 5. マスクオプションで「Ring-OSC はソフトウェアにて停止可能」を選択し、WDCS4 に 1 をセットしてウォッチドッグ・タイマを停止させた場合、WDCS4 を再び 0 にクリアしてもウォッチドッグ・タイマは動作しません。また、内部リセット信号も発生しません。

P.182 図 9-3 ウォッチドッグ・タイマ・モード・レジスタ(WDTE)のフォーマット 注意 1 及び 2
誤)

1. WDTE に"ACH"以外の値を書き込んだ場合、内部リセット信号が発生します。
2. WDTE に 1 ビット・メモリ操作命令を実行した場合、内部リセット信号が発生します。

正)

1. WDTE に"ACH"以外の値を書き込んだ場合、内部リセット信号が発生します。但し、ウォッチドッグ・タイマの動作クロックが停止している場合は、ウォッチドッグ・ドッグタイマの動作クロックが再び動作開始した時点で内部リセット信号が発生します。
2. WDTE に 1 ビット・メモリ操作命令を実行した場合、内部リセット信号が発生します。但し、ウォッチドッグ・タイマの動作クロックが停止している場合は、ウォッチドッグ・ドッグタイマの動作クロックが再び動作開始した時点で内部リセット信号が発生します。