

この資料は、設計の目的以外には使用しないで下さい。
また、当社に断りなく第三者への開示をご遠慮願います。

技術通知 78K0/Fx2 マイクロコントローラ	発行番号	ZBG-BG-08-0002号	1/3	
	発行日	2008年7月3日		
	発行元	NEC エレクトロニクス株式会社 マイクロコンピュータ事業本部 自動車システム事業部 第一ボディソリューション開発グループ		
文書分類	<input type="radio"/> 使用制限事項	<input type="radio"/> バージョン・アップ	<input type="radio"/> ドキュメント誤記訂正	<input type="radio"/> その他
関連資料	78K0/FC2 ユーザーズ・マニュアル	資料番号：U17555JJ3V0UD00 (第3版)		
	78K0/FE2 ユーザーズ・マニュアル	資料番号：U17554JJ3V0UD00 (第3版)		
	78K0/FF2 ユーザーズ・マニュアル	資料番号：U17553JJ3V0UD00 (第3版)		

1. 対象製品

78K0/Fx2 マイクロコントローラ全製品：

【従来規格品】

78K0/FC2：μPD78F0881, μPD78F0882, μPD78F0883, μPD78F0884, μPD78F0885
μPD78F0886

78K0/FE2：μPD78F0887, μPD78F0888, μPD78F0889, μPD78F0890

78K0/FF2：μPD78F0891, μPD78F0892, μPD78F0893

2. 通知内容

78K0/Fx2 マイクロコントローラについて、下記制限事項の追加がございます。

【制限事項追加の概要】

◆ STOP 命令実行に関する制限事項

対象製品：

78K0/Fx2 マイクロコントローラ全製品

対象となる使用方法：

高速内蔵発振器 (f_{RH}) を CPU クロック (f_{CPU}) として使用しているお客様で、高速内蔵発振器が発振安定 (RSTS=1) する前に、下記のタイミングで STOP 命令を実行する場合に対象となります。

- ・ 高速内蔵発振器停止 (RSTOP=1) →動作開始時 (RSTOP=0) から高速内蔵発振器 888~889 クロックの1クロックの期間
- ・ STOP モード解除時から高速内蔵発振器 888~889 クロックの1クロックの期間
- ・ POC 以外でリセット解除を行った場合、リセット処理完了から 408~701 クロックの期間 (POC 以外のリセットとは、WDT リセット、LVI リセット、外部リセット端子入力によるリセット)

尚、割り込み処理内で STOP 命令を実行する場合、STOP 命令実行のタイミングが特定できないため、上記に該当する場合があります。

高速内蔵発振器が発振安定後に STOP 命令を実行する場合は、問題ございません。

制限事項内容：

高速内蔵発振器が発振安定状態となるタイミング (RSTS=0→1) と STOP モードへの移行が競合する場合、STOP モードへの移行が正常に行われず、割り込みによる解除が出来なくなります。尚、オプション・バ이트の設定によりウォッチドッグ・タイマを動作許可 (WDTON=1)・低速内蔵発振器を停止不可 (LSROSC=1) にしていた場合、現象発生時にウォッチドッグ・タイマがカウント・オーバフローを起こしリセットが発生します。

詳細は別紙 8 をご参照下さい。

対策：

ソフトウェアに下記の対策のいずれかを施すことで本現象を回避可能です。

RSTS=1となっていることを確認後、STOP 命令を実行する。

STOP 命令実行のタイミングを制限事項の対象となる範囲から変更する。

尚、割り込み処理内で STOP 命令を実行する場合は、 の対策を施してください。

改善計画：

大変申し訳ございませんが、本件は制限事項とさせていただきます。

フラッシュ・メモリ・プログラミングに関する制限事項

対象製品：

78K0/Fx2 マイクロコントローラ全製品

対象となる使用方法：

下記のいずれかの場合に対象となります。

- ・フラッシュ・メモリ・プログラマ (PG - FP5) または MINICUBE2 で書き込みを行っているお客様で、Run After Disconnect 機能を使用している場合。
- ・プログラマ編アプリケーション・ノート (U17739JJ3V0AN00) を参考に書き込み環境を構築しているお客様で、ユーザ・プログラム動作からフラッシュ・メモリ・プログラミング・モードへの引き込みを行う場合。

但し、上記に該当する場合でも正常に書き換え (ベリファイ) が完了した場合は、書き込み処理に問題はございません。

尚、下記の場合では本現象は発生致しません。(制限事項対象外です。)

- ・電源立ち上げと同時にモード引き込みを行う場合
- ・セルフ・プログラミングを使用する場合
- ・EEPROM エミュレーションを使用する場合

制限事項内容：

ユーザ・プログラム実行からフラッシュ・メモリ・プログラミング・モードへ引き込む際のリセット期間が 1950[ms]より短い場合、リセット解除した瞬間に POC リセットが発生し、正常にフラッシュ・メモリ・プログラミング・モードに移行しない場合がございます。そのため、書き込み処理が行われず、ユーザ・プログラムが実行されます。

詳細は別紙 9 をご参照下さい。

対策：

フラッシュ・メモリ・プログラミング・モード引き込み時の外部 $\overline{\text{RESET}}$ 端子の制御において、1950[ms]以上のリセット期間を確保することで本現象を回避可能です。

改善計画：

- PG - FP5 の Run After Disconnect 機能を使用しているお客様：PG - FP5 用ファーム・ウェア V2.01 以降で改善されております。
- MINICUBE2 の Run After Disconnect 機能を使用しているお客様：個別対応とさせていただきます。該当するお客様は弊社販売特約店または弊社営業にご連絡下さい。
- プログラマ編アプリケーション・ノート（U17739JJ3V0AN00）を参考に書き込み環境を構築しているお客様：大変申し訳ございませんが、本件は制限事項とさせていただきます。
アプリケーション・ノートの次回改版時に、フラッシュ・メモリ・プログラミング・モード設定時間のスペックを追加致します。

尚、サード・パーティ製プログラマをご使用のお客様は弊社販売特約店にご連絡下さい。

本製品について、上記制限事項を含め過去にご報告致しました制限事項一覧を別紙 1 に示します。

3 . 発行文書履歴

78K0/Fx2 技術通知 発行文書履歴

文書番号	発行日	記事
ZBG - BG - 06 - 0031	2006 年 12 月 4 日	初版発行
ZBG - BG - 08 - 0002	2008 年 7 月 3 日	本通知です

- 以上 -

78K0 / Fx2 マイクロコントローラ使用制限事項一覧

1) 使用制限事項

項目		FC2 : μ PD78F0881/F0882/F0883/ F0884/F0885/F0886 FE2 : μ PD78F0887/F0888/F0889/ F0890 FF2 : μ PD78F0891/F0892/F0893	FC2 : μ PD78F0881A/F0882A/F0883A/ F0884A/F0885A/F0886A FE2 : μ PD78F0887A/F0888A/F0889A/ F0890A FF2 : μ PD78F0891A/F0892A/F0893A
1	低電圧検出機能(LVI)制限事項		
2	低電圧検出機能(LVI)制限事項		
3	aFCAN 制限事項		
7	STOP 命令実行制限事項		
8	フラッシュ・メモリ・プログラミング制 限事項		

備考) 各記号はそれぞれ以下の意味を示します。

- : 制限事項対象外
- : 制限事項修正済み
- : 制限事項対象 (修正予定なし)
- x : 制限事項対象

2) 使用制限事項の詳細

項目 1 : 詳細は別紙 2 をご参照ください。

項目 2 : 詳細は別紙 3 をご参照ください。

項目 3 : 詳細は別紙 4 をご参照ください。

項目 7 : 詳細は別紙 8 をご参照ください。

項目 8 : 詳細は別紙 9 をご参照ください。

78K0/Fx2マイクロコントローラ機能追加事項一覧

1) 兼用機能追加事項

項目	内容	78K0/FC2		78K0/FE2	78K0/FF2
		μPD78F0881/F0882/ F0883	μPD78 F0884/F0885/ F0886		
	製法 規格		I K以降		
4	P90にA/D兼用機能を追加		×		

備考) 各記号はそれぞれ以下の意味を示します。

- : 対象外
 - : 機能追加対応済み
 - ×
- × : 機能追加未対応

2) 兼用機能追加事項の詳細

項目4 : 詳細は別紙5をご参照ください。

78K0/Fx2マイクロコントローラ誤記訂正事項一覧

1) 誤記訂正事項、スペック追加事項履歴

項目	内容	78K0/FC2	78K0/FE2	78K0/FF2
		第3版以前	第3版以前	第3版以前
5	セルフ・プログラミング 割り込み応答時間 誤記	×	×	×
6	周辺ハードウェアス ペックの追加	×	×	×

備考) 記号は以下の意味を示します。

- ×
- × : 誤記訂正対象 (訂正予定)

2) 誤記訂正事項、スペック追加事項の詳細

項目5 : 詳細は別紙6をご参照ください。

項目6 : 詳細は別紙7をご参照ください。

項目1 (使用制限事項) : 低電圧検出回路(LVI)の制限事項

対象製品

78K0/FC2 : μ PD78F0881, μ PD78F0882, μ PD78F0883, μ PD78F0884, μ PD78F0885
 μ PD78F0886
 78K0/FE2 : μ PD78F0887, μ PD78F0888, μ PD78F0889, μ PD78F0890
 78K0/FF2 : μ PD78F0891, μ PD78F0892, μ PD78F0893

制限事項の対象となる使用方法

低電圧検出回路(LVI)をリセットとして使用している場合対象となります。
 LVI を使用していない、または割り込みとして使用している場合は対象外です。

現象

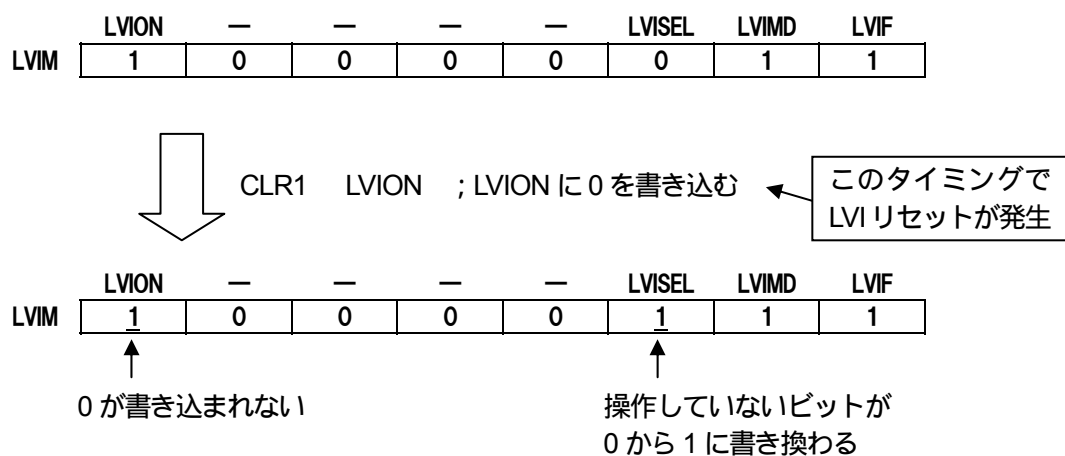
低電圧検出回路(LVI)によるリセットと、LVI の動作を設定するレジスタ(LVIM、LVIS)への書き込みが競合した場合、競合したレジスタの書き込み可能なビットが“1”になる場合があります。その結果、以下の2つの現象が発生します。

- ・ 電圧検出が V_{DD} から EXLVI 端子入力の電圧検出に切り替わる。
- ・ LVI の検出電圧が設定値よりも小さい値となる。

尚、LVI 以外のリセット発生時には、本現象は発生しません。

図1にLVION フラグを操作した場合に発生する例を示します。

図1 LVION フラグを1から0にした時に発生する例



原因

LVIM と LVIS に接続されているバスはリセットされると High (“1”) になります。また、これらの2つのレジスタはLVI リセットによってレジスタ値はクリアされない仕様となっております。

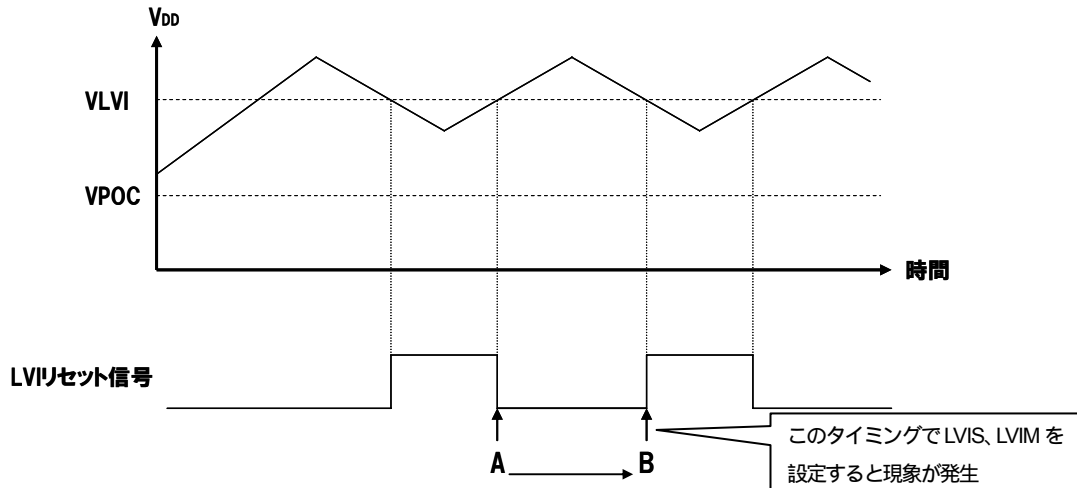
レジスタに値を書き込む場合、CPU はバスに書き込む値をセットし書き込み信号が発生すると所定のレジスタに値が書き込まれます。しかしLVI リセットによって内部バスがリセットされたタイミングでレジスタに書き込みを行うと、バスのリセット値である“1”が誤って書き込まれる場合があります。これは1ビット操作命令も同様です。

尚、LVIM、LVIS 以外のレジスタは本制限事項の対象外です。

現象の発生例

LVI 検出電圧(VLVI)付近で VDD 電圧が揺れた場合、LVI リセットが何度も発生します。リセット解除後、必ず LVIM と LVIS を初期設定するプログラムの場合、LVI リセット解除のタイミング(図 2 の A)から LVI リセット発生のタイミング(図 2 の B)と、リセット解除から LVIM、LVIS を初期設定するまでの時間が一致した場合、本現象が発生します。

図2 LVI リセットと LVIM レジスタへの書き込みの競合例



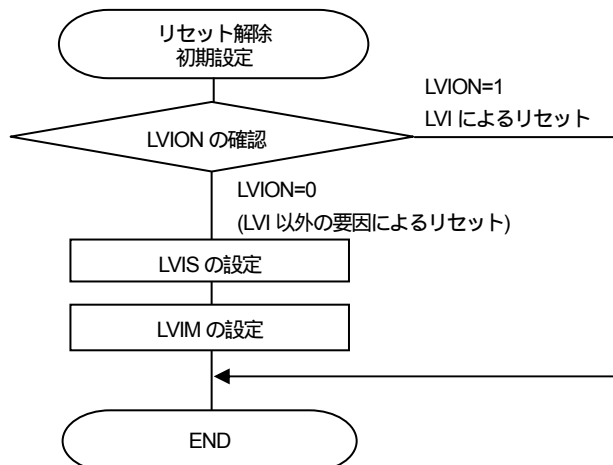
改善計画 暫定対策

以下の2つのソフトウェアの対策を実施することで制限事項を回避できます。

LVI をリセットに設定した場合、以後 LVIM レジスタ、LVIS レジスタに書き込みを行わないでください。

LVIM、LVIS レジスタへの設定を行う前に LVIM のビット 7 (LVION) が "0" であることを確認して、LVIS、LVIM の順で設定してください。LVION が "1" だった場合は LVIM、LVIS への設定は行わないようにしてください。この対策により外部リセット入力、POC リセット、ウォッチドッグタイマ(WDT) リセットの場合は LVIM、LVIS の設定を行い、LVI リセットの場合は LVIM、LVIS の設定を行いません。

尚、リセット・コントロール・フラグ・レジスタ(RESF)は、LVI リセットと WDT リセットで RESF はクリアされない仕様の為、LVIRF と WDTRF の両方が "1" になる場合がございます。LVIRF をビット判定した場合、LVI リセットの有無は判定できますが、WDT リセットによって LVIM、LVIS がクリアされた事を判定するには命令の追加が必要となります。この為 本制限の対策には LVION を使用してください。



LVIONの代わりにLVIMDを確認しても構いません。LVIMDはLVIMレジスタのbit1です。

恒久対策

スペック拡張品にて改善いたします。スペック拡張品の製品名は以下になります。

現品名：uPD78F08xx

新品名：uPD78F08xxA

なお、現品名の製品に関しては制限事項とさせていただきます。改善品（uPD78F08xxA）の詳細については“ 8 ビットマイクロコントローラ 78K0/Fx2 スペック拡張品リリースについて ” (ZBB-BG-06-0097)をご参照ください。

- 以上 -

項目2 (使用制限事項) : 低電圧検出回路(LVI)制限事項**対象製品**

78K0/Fx2 マイクロコントローラ全製品

制限事項の対象となる使用方法

低電圧検出機能(LVI)を割り込みと使用し、動作中に停止している場合対象となります。

LVI を使用していない、LVI をリセットとして使用している、LVI を停止しない場合は対象外となります。

現象

低電圧検出回路(LVI)を割り込みモード(LVIMD=0)として使用し、電源電圧(VDD) 検出電圧(VLVI)の時(LVISEL=1 の場合外部入力端子からの入力電圧(EXLVI) 検出電圧(VEXLVI))に LVI 動作禁止(LVION=0)とすると割り込み要求フラグ LVIF=1 となり、割り込みが許可状態になっている場合、割り込みが発生いたしません。

改善計画

大変申し訳ございませんが、本件は制限事項とさせていただきます。

電源電圧(VDD) 検出電圧(VLVI)の時(LVISEL=1 の場合外部入力端子からの入力電圧(EXLVI) 検出電圧(VEXLVI))に LVI を動作許可(LVION=1)から動作禁止(LVION=0)にする場合、LVION=0 とする前に LVI の割り込みをマスク(LVIMK=1)してください。

また、動作禁止(LVION=0)とした後に LVIF をクリア(LVIF=0)してください。

- 以上 -

項目3 (使用制限事項) : aFCAN 制限事項

対象製品

78K0/Fx2 マイクロコントローラ全製品

制限事項の対象となる使用方法

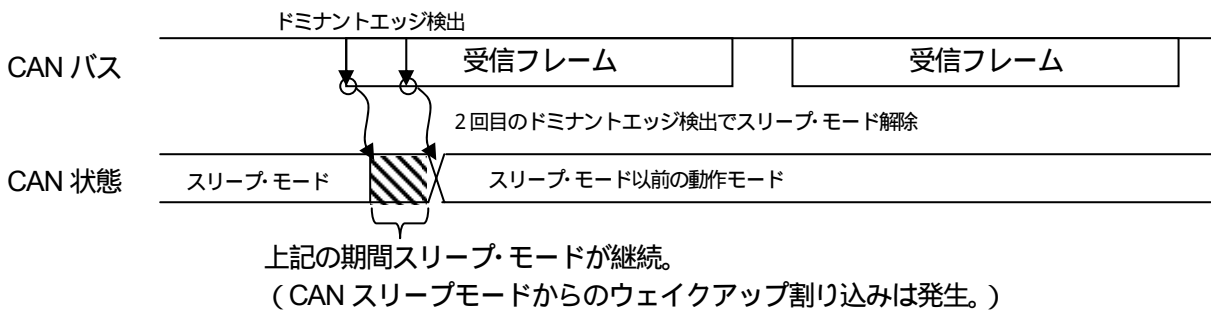
CAN スリープ・モード中かつ、周辺回路へのクロック供給が行なわれている場合。

CAN 状態	CAN スリープ・モード
CPU 状態	・通常動作, HALT, サブクロック動作、またはサブ HALT モードで、かつ周辺に供給しているクロックが発振している場合

ただし、CANスリープ・モードを周辺回路の動作クロックが供給されていない状態で使用する場合は、上記の現象は発生しません。(CANスリープ・モードを使用しない場合も上記の現象は発生しません。)

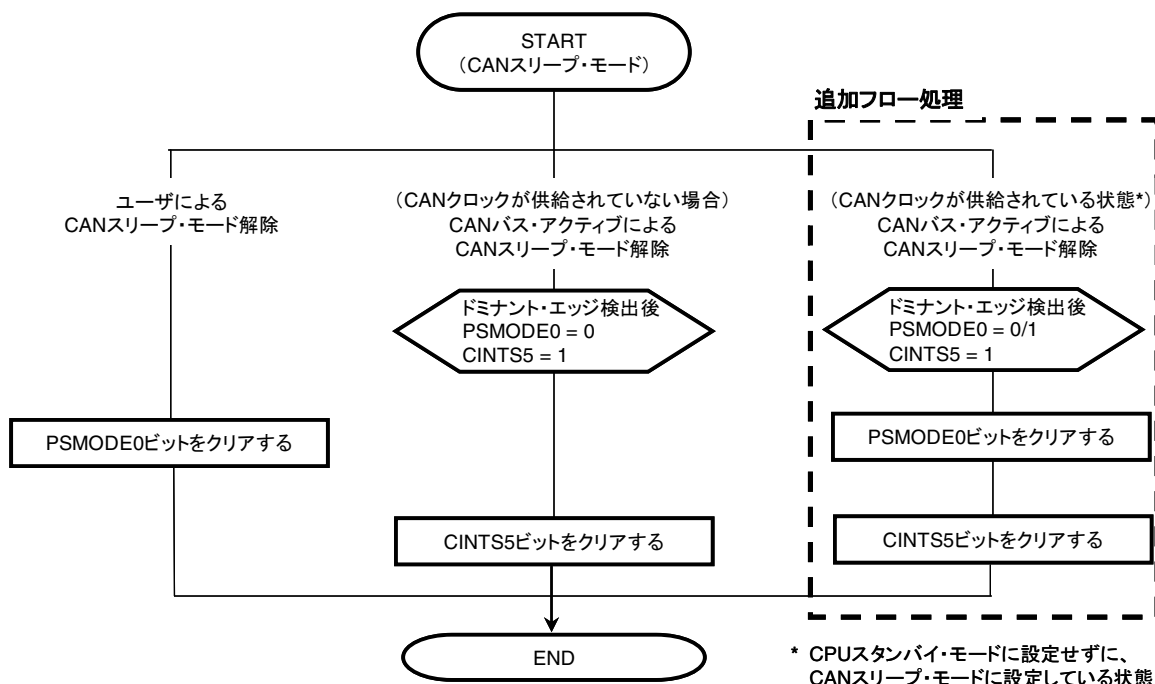
現象

CAN バス変化による SLEEP モードの自動解除が次の CAN バス立下りまで遅れます。CAN スリープ・モード状態から、CAN 受信端子(CRXD)のドミナントエッジ(レセプブからドミナントへのCANバス変化)を検出して、その時点で SLEEP モードが自動解除されず、次のドミナントエッジ到来時に自動解除される場合があります。



改善計画

大変申し訳ございませんが、本件は制限事項とさせていただきます。以下のフローのように、CAN スリープ・モードを使用する場合、ウェイク・アップ割り込みが発生した後に、ソフトウェアにより CAN スリープ・モードを解除 (PSMODE0 ビットのクリア)して下さい。



項目4 (兼用機能追加事項) : P90 に A/D 兼用機能を追加**対象製品**

78K0/FC2 : μ PD78F0884, μ PD78F0885, μ PD78F0886

上記のうち製法規格が“K”以降の製品

兼用機能追加内容

従来兼用機能を持っていなかった P90 端子に A/D コンバータの機能を追加致します。
兼用機能追加後は P90 に ANI8 端子が追加されます。また、兼用機能が追加されることにより、A/D コンバータを制御するレジスタに設定可能な bit が追加されます。追加された bit については次回マニュアル改版時に追加致します。

補足

すでに以下の版で兼用機能については記載済みです。

78K0/FC2 ユーザーズ・マニュアル (U17555JJ3V0UD00 (第3版))

- 以上 -

項目5 (誤記訂正) : セルフ・プログラミング割込み応答時間の誤記

対象製品

78K0/FC2 : μ PD78F0881, μ PD78F0882, μ PD78F0883, μ PD78F0884, μ PD78F0885
 μ PD78F0886

78K0/FE2 : μ PD78F0887, μ PD78F0888, μ PD78F0889, μ PD78F0890

78K0/FF2 : μ PD78F0891, μ PD78F0892, μ PD78F0893

誤記内容

フラッシュメモリ・セルフプログラミングの割り込み応答時間の記述に誤記があり、ユーザズ・マニュアル記載の割り込み応答時間よりも実動作が長くなる場合があります。

また、C コンパイラの使用モデルとクロック発生回路の設定と応答時間の違いについての記載を追加します。

<誤>

高速内蔵発振器を使用した場合の割り込み応答時間 MAX 値 (us)

ライブラリ名	エントリRAMの配置がショートダイレクト アドレッシング外	エントリRAMの配置がショートダイレクト アドレッシング内
ブロック・ブランク・チェック・ライブラリ	1300.5	727.5
ブロック・イレース・ライブラリ	1393.5	820.5
ワード・ライト・ライブラリ	1289.5	716.5
ブロック・ベリファイ・ライブラリ	1324.5	751.5
セット・インフォメーション・ライブラリ	852.5	279.5
EEPROM ライト・ライブラリ	1395.5	822.5

高速システム・クロックを使用した場合の割り込み応答時間 MAX 値 (us)

ライブラリ名	エントリRAMの配置がショートダイレクト アドレッシング外	エントリRAMの配置がショートダイレクト アドレッシング内
ブロック・ブランク・チェック・ライブラリ	$28 / f_{XH} + 698$	$28 / f_{XH} + 462$
ブロック・イレース・ライブラリ	$28 / f_{XH} + 745$	$28 / f_{XH} + 509$
ワード・ライト・ライブラリ	$28 / f_{XH} + 693$	$28 / f_{XH} + 457$
ブロック・ベリファイ・ライブラリ	$28 / f_{XH} + 709$	$28 / f_{XH} + 473$
セット・インフォメーション・ライブラリ	$28 / f_{XH} + 454$	$28 / f_{XH} + 218$
EEPROM ライト・ライブラリ	$28 / f_{XH} + 783$	$28 / f_{XH} + 547$

備考: f_{XH} は高速システム・クロックです。

< 正 >

高速内蔵発振器を使用した場合の割り込み応答時間 MAX 値 [us] (ノーマルモデル, RSTS=1)

ライブラリ名	エン트리RAMの配置がショートダイレクト アドレッシング外	エン트리RAMの配置がショートダイレクト アドレッシング内
ブロック・ブランク・チェック・ライブラリ	933.6	668.6
ブロック・イレース・ライブラリ	1026.6	763.6
ワード・ライト・ライブラリ	2505.8	1942.8
ブロック・ペリファイ・ライブラリ	958.6	693.6
セット・インフォメーション・ライブラリ	476.5	211.5
EEPROM ライト・ライブラリ	2760.8	2168.8

備考 RSTS は高速内蔵発振器のステータスを表すレジスタです。(RSTS=1:高速内蔵発振器安定動作)

高速内蔵発振器を使用した場合の割り込み応答時間 MAX 値 [us] (スタティックモデル, RSTS=1)

ライブラリ名	エン트리RAMの配置がショートダイレクト アドレッシング外	エン트리RAMの配置がショートダイレクト アドレッシング内
ブロック・ブランク・チェック・ライブラリ	927.9	662.9
ブロック・イレース・ライブラリ	1020.9	757.9
ワード・ライト・ライブラリ	2497.8	1934.8
ブロック・ペリファイ・ライブラリ	952.9	687.9
セット・インフォメーション・ライブラリ	475.5	210.5
EEPROM ライト・ライブラリ	2759.5	2167.5

備考 RSTS は高速内蔵発振器のステータスを表すレジスタです。(RSTS=1:高速内蔵発振器安定動作)

高速システム・クロックを使用した場合の割り込み応答時間 MAX 値 [us] (ノーマルモデル, RSTOP=0, RSTS=1)

ライブラリ名	エン트리RAMの配置がショートダイレクト アドレッシング外	エン트리RAMの配置がショートダイレクト アドレッシング内
ブロック・ブランク・チェック・ライブラリ	179/fcpu+507	179/fcpu+407
ブロック・イレース・ライブラリ	179/fcpu+559	179/fcpu+460
ワード・ライト・ライブラリ	333/fcpu+1589	333/fcpu+1298
ブロック・ペリファイ・ライブラリ	179/fcpu+518	179/fcpu+418
セット・インフォメーション・ライブラリ	80/fcpu+370	80/fcpu+165
EEPROM ライト・ライブラリ	29/fcpu+1759	29/fcpu+1468
	333/fcpu+834	333/fcpu+512

備考 1. f_{CPU} は高速システム・クロック。EEPROM ライト・ライブラリの最大時間はクロックによって異なります。使用するクロックを代入・計算後、大きい方を MAX 値としてお使い下さい。

2. RSTOP は高速内蔵発振器の発振/停止を設定するレジスタです。(RSTOP=0:高速内蔵発振器発振)

3. RSTS は高速内蔵発振器のステータスを表すレジスタです。(RSTS=1:高速内蔵発振器安定動作)

高速システム・クロックを使用した場合の割り込み応答時間 MAX 値 [us] (ノーマルモデル, RSTOP=1)

ライブラリ名	エン트리RAMの配置がショートダイレクト アドレッシング外	エン트리RAMの配置がショートダイレクト アドレッシング内
ブロック・ブランク・チェック・ライブラリ	179/fcpu+1650	179/fcpu+714
ブロック・イレース・ライブラリ	179/fcpu+1702	179/fcpu+767
ワード・ライト・ライブラリ	333/fcpu+2732	333/fcpu+1605
ブロック・ペリファイ・ライブラリ	179/fcpu+1661	179/fcpu+725
セット・インフォメーション・ライブラリ	80/fcpu+1513	80/fcpu+472
EEPROM ライト・ライブラリ	29/fcpu+1759	29/fcpu+1468
	333/fcpu+2061	333/fcpu+873

備考 1. f_{CPU} は高速システム・クロック。EEPROM ライト・ライブラリの最大時間はクロックによって異なります。使用するクロックを代入・計算後、大きい方を MAX 値としてお使い下さい。

2. RSTOP は高速内蔵発振器の発振/停止を設定するレジスタです。(RSTOP=1:高速内蔵発振器停止)

高速システム・クロックを使用した場合の割り込み応答時間 MAX 値 [us] (スタティックモデル、RSTOP =0, RSTS=1)

ライブラリ名	エントリRAMの配置がショートダイレクト アドレッシング外	エントリRAMの配置がショートダイレクト アドレッシング内
ブロック・ブランク・チェック・ライブラリ	136/fcpu+507	136/fcpu+407
ブロック・イレース・ライブラリ	136/fcpu+559	136/fcpu+460
ワード・ライト・ライブラリ	272/fcpu+1589	272/fcpu+1298
ブロック・ベリファイ・ライブラリ	136/fcpu+518	136/fcpu+418
セット・インフォメーション・ライブラリ	72/fcpu+370	72/fcpu+165
EEPROM ライト・ライブラリ	19/fcpu+1759	19/fcpu+1468
	268/fcpu+834	268/fcpu+512

備考 1. f_{CPU} は高速システム・クロック。EEPROM ライト・ライブラリの最大時間はクロックによって異なります。使用するクロックを代入・計算後、大きい方を MAX 値としてお使い下さい。

2. RSTOP は高速内蔵発振器の発振/停止を設定するレジスタです。(RSTOP=0:高速内蔵発振器発振)

3. RSTS は高速内蔵発振器のステータスを表すレジスタです。(RSTS=1:高速内蔵発振器安定動作)

高速システム・クロックを使用した場合の割り込み応答時間 MAX 値 [us] (スタティックモデル、RSTOP =1)

ライブラリ名	エントリRAMの配置がショートダイレクト アドレッシング外	エントリRAMの配置がショートダイレクト アドレッシング内
ブロック・ブランク・チェック・ライブラリ	136/fcpu+1650	136/fcpu+714
ブロック・イレース・ライブラリ	136/fcpu+1702	136/fcpu+767
ワード・ライト・ライブラリ	272/fcpu+2732	272/fcpu+1605
ブロック・ベリファイ・ライブラリ	136/fcpu+1661	136/fcpu+725
セット・インフォメーション・ライブラリ	72/fcpu+1513	72/fcpu+472
EEPROM ライト・ライブラリ	19/fcpu+1759	19/fcpu+1468
	268/fcpu+2061	268/fcpu+873

備考 1. f_{CPU} は高速システム・クロック。EEPROM ライト・ライブラリの最大時間はクロックによって異なります。使用するクロックを代入・計算後、大きい方を MAX 値としてお使い下さい。

2. RSTOP は高速内蔵発振器の発振/停止を設定するレジスタです。(RSTOP=1:高速内蔵発振器停止)

ユーザーズ・マニュアル改善計画

ユーザーズ・マニュアルにつきましては次回改版時に訂正いたします。

- 以上 -

項目6 (スペックの追加) : 周辺ハードウェア・クロック周波数(f_{PRS})スペックの追加

対象製品

78K0/Fx2 マイクロコントローラ全製品

スペック追加内容

周辺ハードウェア・クロックについてACスペックに記載されていない項目がございました。

CPU クロック(f_{CPU})のスペックと同様に、周辺ハードウェア・クロック(f_{PRS})にも以下に示すように動作電圧による制限がございます。

周辺ハードウェア・クロック周波数

項目	略号	条件	MIN		MAX	単位
周辺ハードウェア・ クロック周波数	f_{PRS}	XSEL=1	$4.0V \leq V_{DD} \leq 5.5V$		20	MHz
			$2.7V \leq V_{DD} < 4.0V$		10	
			$1.8V \leq V_{DD} < 2.7V$		5	
	XSEL=0	$2.7V \leq V_{DD} \leq 5.5V$	7.6		8.4	MHz
		$1.8V \leq V_{DD} < 2.7V$ ^注	7.6		10.4	

注 内蔵高速発振回路の原発振です。実際に周辺回路を動作させる場合は、各周辺機能で分周してお使いください。

ユーザズ・マニュアル改善計画

ユーザズ・マニュアルにつきましては次回改版時に訂正いたします。

- 以上 -

項目7 (使用制限事項): STOP 命令実行制限事項

対象製品

78K0/Fx2 マイクロコントローラ全製品

制限事項の対象となる使用方法:

高速内蔵発振器 (f_{RH}) を CPU クロック (f_{CPU}) として使用しているお客様で、高速内蔵発振器が発振安定 ($RSTS = 1$) する前に、下記のタイミングで STOP 命令を実行する場合に対象となります。

- ・ 高速内蔵発振器停止 ($RSTOP = 1$) 動作開始時 ($RSTOP = 0$) から高速内蔵発振器 888 ~ 889 クロックの1クロックの期間
- ・ STOP モード解除時から高速内蔵発振器 888 ~ 889 クロックの1クロックの期間
- ・ POC 以外でリセット解除を行った場合、リセット処理完了から 408 ~ 701 クロックの期間 (POC 以外のリセットとは、WDT リセット、LVI リセット、外部リセット端子入力によるリセット)

尚、割り込み処理内で STOP 命令を実行する場合、STOP 命令実行のタイミングが特定できないため、上記に該当する場合があります。

高速内蔵発振器の発振安定後に STOP 命令を実行する場合は、問題ございません。

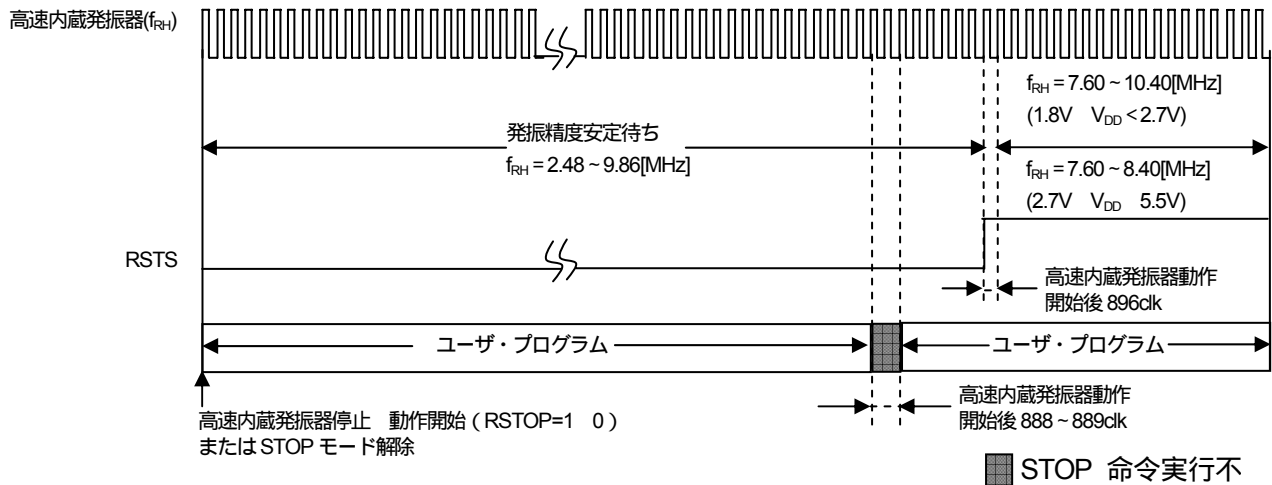


図 1 - 1 高速内蔵発振器停止 動作開始時または STOP モード解除後に制限事項の対象となる範囲

注意 上図は実際のクロック数、クロック幅とは異なり簡略化して記載しております。

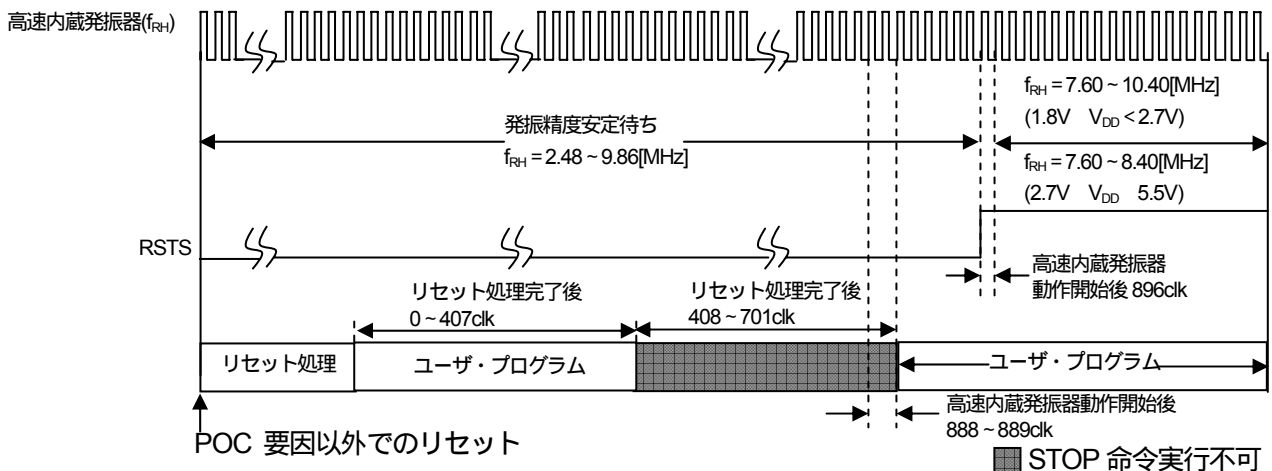


図 1 - 2 POC 以外でリセット解除を行った場合に制限事項の対象となる範囲

注意 上図は実際のクロック数、クロック幅とは異なり簡略化して記載しております。

現象：

高速内蔵発振器が発振安定状態となるタイミング(RSTS=0 1)とSTOPモードへの移行が競合する場合、STOPモードへの移行が正常に行われず、下記の現象が発生します。

- ・ 割り込みによるSTOPモードからの復帰ができなくなる。
- ・ 高速内蔵発振器が停止しないため、通常のSTOPモードより消費電流の値が150~400[uA]程度大きくなる。

尚、オプション・バイトの設定によりウォッチドッグ・タイマを動作許可(WDTON=1)・低速内蔵発振器を停止不可(LSROSC=1)にしていた場合、現象発生時にウォッチドッグ・タイマがカウント・オーバーフローを起こしリセットが発生します。

対策：

ソフトウェアに下記の対策のいずれかを施すことで本現象を回避可能です。

RSTS=1となっていることを確認後、STOP命令を実行する。

STOP命令実行のタイミングを制限事項の対象となる範囲外に変更する。

尚、割り込み処理内でSTOP命令を実行する場合は、 の対策を施してください。

使用方法	対策	
高速内蔵発振器動作開始(RSTOP=1 0)後にSTOP命令を実行する場合		
STOPモード解除後に再度STOP命令を実行する場合		
POC以外でリセット解除後にSTOP命令を実行する場合		
高速内蔵発振器の動作開始からSTOP命令実行までの期間が特定できない場合		×

備考)各記号はそれぞれ下記の意味を示します。

：有効

×：無効

改善計画：

大変申し訳ございませんが、本件は制限事項とさせていただきます。

次回ユーザーズ・マニュアル改版時に本制限事項を記載致します。

以上

項目8 (使用制限事項): フラッシュ・メモリ・プログラミング制限事項

対象製品

78K0/Fx2 マイクロコントローラ全製品

制限事項の対象となる使用方法:

下記のいずれかの場合に対象となります。

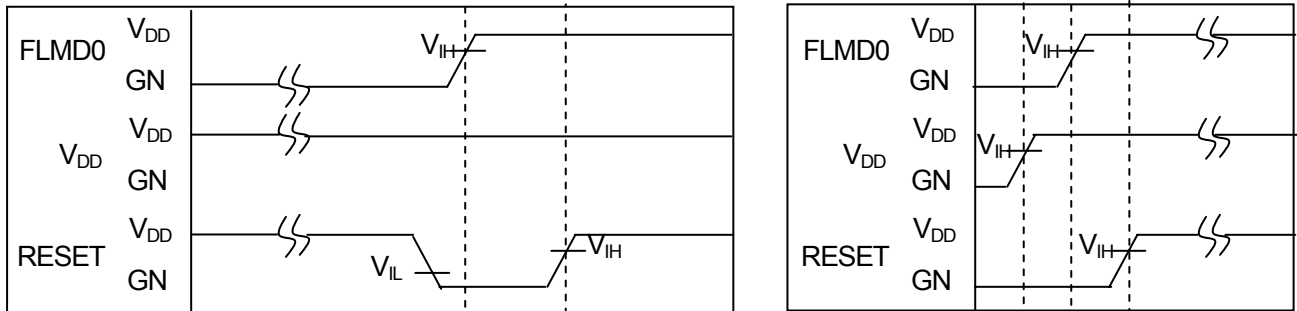
- ・フラッシュ・メモリ・プログラマ (PG - FP5) または MINICUBE2 で書き込みを行っているお客様で、Run After Disconnect 機能を使用している場合。
- ・プログラマ編アプリケーション・ノート (U17739JJ3V0AN00) を参考に書き込み環境を構築しているお客様で、ユーザ・プログラム動作からフラッシュ・メモリ・プログラミング・モードへの引き込みを行う場合。

但し、上記に該当する場合でも正常に書き換え (ベリファイ) が完了した場合は、書き込み処理に問題はございません。

尚、下記の場合では本現象は発生致しません。(制限事項対象外です。)

- ・電源立ち上げと同時にモード引き込みを行う場合
- ・セルフ・プログラミングを使用する場合
- ・EEPROM エミュレーションを使用する場合

現象



ユーザー・プログラム動作中に引き込みを行う場合

電源立ち上げと同時に引き込みを行う

図2-1 フラッシュ・メモリ・プログラミング・モード引き込みの種類

ユーザ・プログラム実行から、電源電圧を POC 検出電圧 ($V_{POC} = 1.59[V] \pm 0.15[V]$) まで下げずにフラッシュ・メモリ・プログラミング・モードへ引き込む際の外部 RESET 端子によるリセット期間が 1950[ms]より短い場合、下記現象が発生する場合がございます。

- ・リセット解除した瞬間に POC リセットが発生し、正常にフラッシュ・メモリ・プログラミング・モードに移行しない。そのため書き込み処理が行われず、ユーザ・プログラムが実行される。

対策:

フラッシュ・メモリ・プログラミング・モード引き込み時の外部 RESET 端子の制御において、1950[ms]以上のリセット期間を確保することで本現象を回避可能です。

改善計画:

- ・PG - FP5 の Run After Disconnect 機能を使用しているお客様: PG - FP5 用ファーム・ウェア V2.01 以降で改善されております。
- ・MINICUBE2 の Run After Disconnect 機能を使用しているお客様: 個別対応とさせていただきます。該当のお客様は弊社販売特約店または弊社営業にご連絡下さい。
- ・プログラマ編アプリケーション・ノート (U17739JJ3V0AN00) を参考に書き込み環境を構築しているお客様: 大変申し訳ございませんが、本件は制限事項とさせていただきます。アプリケーション・ノートの次回改版時に、フラッシュ・メモリ・プログラミング・モード設定時間のスペックを追加致します。

尚、サード・パーティ製プログラマをご使用のお客様は弊社販売特約店にご連絡下さい。

以上