

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

MESC TECHNICAL NEWS

No. M7700-119-9911

7752グループ ユーザーズマニュアル 追加情報 (REV.C)

1996年8月発行の『7752グループ ユーザーズマニュアル』(印刷番号:HU-067A)に、一部内容の訂正がありましたのでお知らせいたします。本マニュアルをご使用の際は、留意のほど宜しくお願いいたします。

添付の正誤表(REV.C)には、同マニュアルの正誤表(REV.B)(ニュースNo.M7700-85-9801)の内容も記載しています (REV.Cで追加した内容は、左端の 印で示しています)。

なお、機種展開、電気的特性及びツール製品などに関しては、マニュアル発行後に変更があった場合も、追加情報には記載しません。これらは、以下に示す資料の最新版を参照してください。

マイコン機種展開

三菱マイクロコンピュータ 総合カタログ (製本版または三菱マイコン技術情報ホームページ)

電気的特性

データシート (製本版または三菱マイコン技術情報ホームページ)

開発サポートツール

ツール総合カタログ (製本版)

データシート (三菱ツールホームページ)

三菱マイクロコンピュータ開発サポートツール アクセサリガイド

(製本版または三菱ツールホームページ)

ホームページアドレス

三菱マイコン技術情報 <http://www.infomicom.mesc.co.jp>


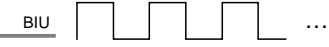
三菱ツール <http://www.tool-spt.mesc.co.jp>

添付：『7752グループ ユーザーズマニュアル』正誤表(REV.C) 5枚

7752グループ ユーザーズマニュアル(印刷番号HU-067A) 正誤表(REV.C) No.1

訂正箇所	誤	正																		
1-7ペ - ジ 図1.4.1	<p style="text-align: center;">(5V) CNVSS</p> 	<p style="text-align: center;">CNVSS ((5V)を削除)</p> 																		
2-8ペ - ジ 2.1.9 (2) 2~3行目	<p>...します。10進演算モード時の加算命令 (ADC命令) では、このフラグの内容は無効です。</p>	<p>...します。10進演算モード時の加算命令 (ADC命令) 及び減算命令 (SBC命令) では、このフラグの内容は無効です。</p>																		
2-27ペ - ジ 図2.5.4 3-11ページ 図3.2.1 14-8ページ 図14.1.4 16-26ページ 5E16番地	<p>プロセッサモードレジスタ0【5E16番地】</p> <table border="1" data-bbox="331 548 874 772"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>機能</th> </tr> </thead> <tbody> <tr> <td>4</td> <td>割り込み優先順位判定時間選択ビット</td> <td>b5 b4 00: 0の7サイクル 01: 1の4サイクル 10: 2の2サイクル 11: 選択禁止</td> </tr> <tr> <td>5</td> <td></td> <td></td> </tr> </tbody> </table>	ビット	ビット名	機能	4	割り込み優先順位判定時間選択ビット	b5 b4 00: 0の7サイクル 01: 1の4サイクル 10: 2の2サイクル 11: 選択禁止	5			<p>プロセッサモードレジスタ0【5E16番地】</p> <table border="1" data-bbox="906 548 1465 772"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>機能</th> </tr> </thead> <tbody> <tr> <td>4</td> <td>割り込み優先順位判定時間選択ビット</td> <td>b5 b4 00: BIUの7サイクル 01: BIUの4サイクル 10: BIUの2サイクル 11: 選択禁止</td> </tr> <tr> <td>5</td> <td></td> <td></td> </tr> </tbody> </table>	ビット	ビット名	機能	4	割り込み優先順位判定時間選択ビット	b5 b4 00: BIUの7サイクル 01: BIUの4サイクル 10: BIUの2サイクル 11: 選択禁止	5		
ビット	ビット名	機能																		
4	割り込み優先順位判定時間選択ビット	b5 b4 00: 0の7サイクル 01: 1の4サイクル 10: 2の2サイクル 11: 選択禁止																		
5																				
ビット	ビット名	機能																		
4	割り込み優先順位判定時間選択ビット	b5 b4 00: BIUの7サイクル 01: BIUの4サイクル 10: BIUの2サイクル 11: 選択禁止																		
5																				
3-8ペ - ジ 図3.1.6	<p>番地 リセット直後の状態</p> <p>6916 ... </p>	<p>番地 リセット直後の状態</p> <p>6916 ... </p>																		
4-7ペ - ジ 表4.3.1	<table border="1" data-bbox="331 996 874 1131"> <thead> <tr> <th>解除後の動作</th> <th>割り込み要求発生による解除時</th> <th>監視タイマで一定時間計測後、内部クロックを供給</th> <th>Pf2 x 7サイクル後から、内部クロックを供給</th> </tr> </thead> <tbody> <tr> <td></td> <td></td> <td></td> <td></td> </tr> </tbody> </table>	解除後の動作	割り込み要求発生による解除時	監視タイマで一定時間計測後、内部クロックを供給	Pf2 x 7サイクル後から、内部クロックを供給					<table border="1" data-bbox="906 996 1465 1131"> <thead> <tr> <th>解除後の動作</th> <th>割り込み要求発生による解除時</th> <th>監視タイマで一定時間計測後、CPU、BIUを供給</th> <th>Pf2 x 7サイクル後から、CPU、BIUを供給</th> </tr> </thead> <tbody> <tr> <td></td> <td></td> <td></td> <td></td> </tr> </tbody> </table>	解除後の動作	割り込み要求発生による解除時	監視タイマで一定時間計測後、CPU、BIUを供給	Pf2 x 7サイクル後から、CPU、BIUを供給						
解除後の動作	割り込み要求発生による解除時	監視タイマで一定時間計測後、内部クロックを供給	Pf2 x 7サイクル後から、内部クロックを供給																	
解除後の動作	割り込み要求発生による解除時	監視タイマで一定時間計測後、CPU、BIUを供給	Pf2 x 7サイクル後から、CPU、BIUを供給																	
4-9ページ 下から3行目	<p>に受け付けられます。受け付ける必要のない割り込みについては、...</p>	<p>に受け付けられます (ただし、INT割り込みのレベルセンス使用時、割り込み要求は保持されないため、監視タイマの最上位ビットが“0”になった時点で、INT端子が無効レベルになっていると受け付けられません)。受け付ける必要のない割り込みについては、...</p>																		
5-9ペ - ジ 表5.3.2 16-37ページ 表2	<p>注5 . CNVSS端子にVSSレベルを印加している場合、リセットからソフトウェアによってプロセッサモードを切り替えるまで (1端子においては、端子の機能を切り替えるまで) は、これらの端子は...</p>	<p>注5 . CNVSS端子にVSSレベルを印加している場合、リセットからソフトウェアによってプロセッサモードを切り替えるまでは、これらの端子は...</p>																		
6-5ペ - ジ 表6.2.2	<table border="1" data-bbox="375 1624 821 1825"> <thead> <tr> <th>割り込み要求発生要因</th> </tr> </thead> <tbody> <tr> <td>DIV命令(除算命令)実行時、... (「7700ファミリソフトウェアマニュアル」参照)</td> </tr> <tr> <td>BRK命令実行時に発生 (「7700ファミリソフトウェアマニュアル」参照)</td> </tr> </tbody> </table>	割り込み要求発生要因	DIV命令(除算命令)実行時、... (「7700ファミリソフトウェアマニュアル」参照)	BRK命令実行時に発生 (「7700ファミリソフトウェアマニュアル」参照)	<table border="1" data-bbox="941 1624 1388 1825"> <thead> <tr> <th>割り込み要求発生要因</th> </tr> </thead> <tbody> <tr> <td>DIV命令(除算命令)実行時、... (「7751シリーズソフトウェアマニュアル」参照)</td> </tr> <tr> <td>BRK命令実行時に発生 (「7751シリーズソフトウェアマニュアル」参照)</td> </tr> </tbody> </table>	割り込み要求発生要因	DIV命令(除算命令)実行時、... (「7751シリーズソフトウェアマニュアル」参照)	BRK命令実行時に発生 (「7751シリーズソフトウェアマニュアル」参照)												
割り込み要求発生要因																				
DIV命令(除算命令)実行時、... (「7700ファミリソフトウェアマニュアル」参照)																				
BRK命令実行時に発生 (「7700ファミリソフトウェアマニュアル」参照)																				
割り込み要求発生要因																				
DIV命令(除算命令)実行時、... (「7751シリーズソフトウェアマニュアル」参照)																				
BRK命令実行時に発生 (「7751シリーズソフトウェアマニュアル」参照)																				
6-14ペ - ジ 6.6 3行目	<p>...、通常「__の2サイクル」を選択してください。</p>	<p>...、通常「__BIUの2サイクル」を選択してください。</p>																		

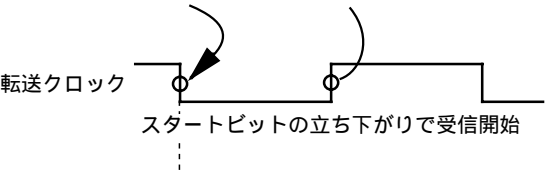
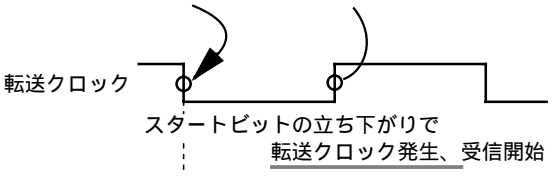
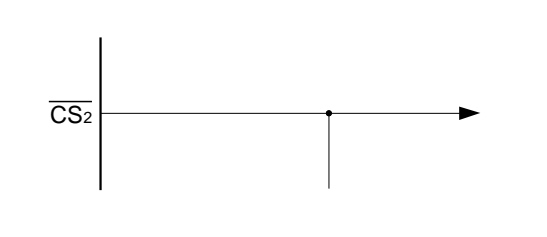
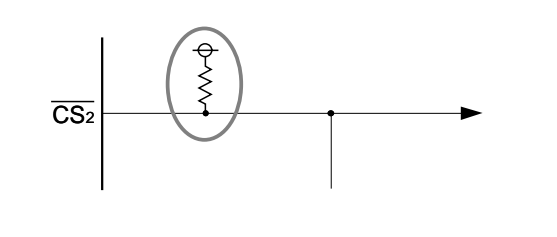
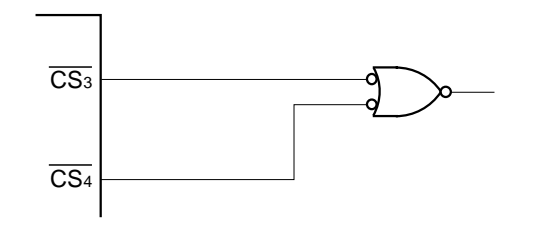
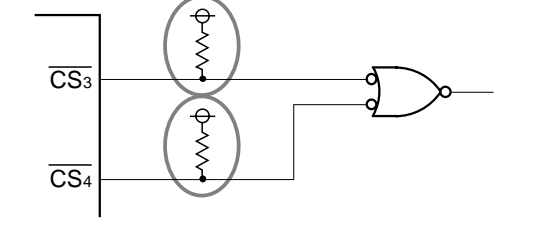
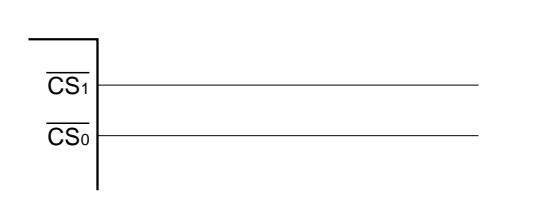
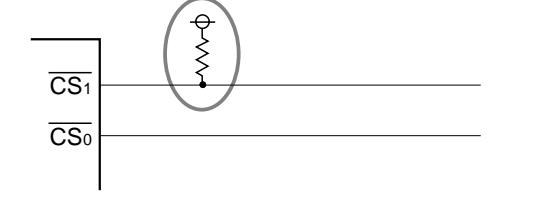
7752グループ ユーザーズマニュアル(印刷番号HU-067A) 正誤表(REV.C) No.2

訂正箇所	誤	正																								
6-14ペ - ジ 図6.6.1	(1)割り込み優先順位判定時間選択ビット b7 b0 □ □ □ □ プロセッサモードレジスタ【5E ₁₆ 番地】 ..b5、b4 <table border="1" data-bbox="416 412 863 584"> <tr><td colspan="2">割り込み優先順位判定時間選択ビット</td></tr> <tr><td>0 0</td><td>__の7サイクル「下図(2)の(a)」</td></tr> <tr><td>0 1</td><td>__の4サイクル「下図(2)の(b)」</td></tr> <tr><td>1 0</td><td>__の2サイクル「下図(2)の(c)」</td></tr> </table> (2)割り込み優先順位判定時間  注 . 「__の2サイクル」を選択した場合は...	割り込み優先順位判定時間選択ビット		0 0	__の7サイクル「下図(2)の(a)」	0 1	__の4サイクル「下図(2)の(b)」	1 0	__の2サイクル「下図(2)の(c)」	(1)割り込み優先順位判定時間選択ビット b7 b0 □ □ □ □ プロセッサモードレジスタ0【5E ₁₆ 番地】 ..b5、b4 <table border="1" data-bbox="991 412 1437 584"> <tr><td colspan="2">割り込み優先順位判定時間選択ビット</td></tr> <tr><td>0 0</td><td>__BIUの7サイクル「下図(2)の(a)」</td></tr> <tr><td>0 1</td><td>__BIUの4サイクル「下図(2)の(b)」</td></tr> <tr><td>1 0</td><td>__BIUの2サイクル「下図(2)の(c)」</td></tr> </table> (2)割り込み優先順位判定時間  注 . 「__BIUの2サイクル」を選択した場合は...	割り込み優先順位判定時間選択ビット		0 0	__BIUの7サイクル「下図(2)の(a)」	0 1	__BIUの4サイクル「下図(2)の(b)」	1 0	__BIUの2サイクル「下図(2)の(c)」								
割り込み優先順位判定時間選択ビット																										
0 0	__の7サイクル「下図(2)の(a)」																									
0 1	__の4サイクル「下図(2)の(b)」																									
1 0	__の2サイクル「下図(2)の(c)」																									
割り込み優先順位判定時間選択ビット																										
0 0	__BIUの7サイクル「下図(2)の(a)」																									
0 1	__BIUの4サイクル「下図(2)の(b)」																									
1 0	__BIUの2サイクル「下図(2)の(c)」																									
6-22ペ - ジ 図6.10.2下段 11-12ページ 図11.2.8	<table border="1" data-bbox="347 860 863 936"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>機 能</th> </tr> </thead> <tbody> <tr><td> </td><td> </td><td> </td></tr> <tr><td> </td><td> </td><td> </td></tr> <tr><td> </td><td> </td><td> </td></tr> </tbody> </table>	ビット	ビット名	機 能										<table border="1" data-bbox="922 860 1437 936"> <thead> <tr> <th>ビット</th> <th>対応する端子名</th> <th>機 能</th> </tr> </thead> <tbody> <tr><td> </td><td> </td><td> </td></tr> <tr><td> </td><td> </td><td> </td></tr> <tr><td> </td><td> </td><td> </td></tr> </tbody> </table>	ビット	対応する端子名	機 能									
ビット	ビット名	機 能																								
ビット	対応する端子名	機 能																								
6-25ペ - ジ [割り込み使用上の注意] 2行目	...が変更されるまでに、__の2～7サイクルの時間を要します。...	...が変更されるまでに、__BIUの2～7サイクルの時間を要します。...																								
6-25ペ - ジ 表6.11.1	<table border="1" data-bbox="347 1167 863 1346"> <thead> <tr> <th> </th> <th>割り込み優先レベルの変更に必要な時間</th> <th> </th> </tr> </thead> <tbody> <tr><td> </td><td>内部クロック__の7サイクル</td><td> </td></tr> <tr><td> </td><td>内部クロック__の4サイクル</td><td> </td></tr> <tr><td> </td><td>内部クロック__の2サイクル</td><td> </td></tr> </tbody> </table>		割り込み優先レベルの変更に必要な時間			内部クロック__の7サイクル			内部クロック__の4サイクル			内部クロック__の2サイクル		<table border="1" data-bbox="922 1167 1437 1346"> <thead> <tr> <th> </th> <th>割り込み優先レベルの変更に必要な時間</th> <th> </th> </tr> </thead> <tbody> <tr><td> </td><td>内部クロック__BIUの7サイクル</td><td> </td></tr> <tr><td> </td><td>内部クロック__BIUの4サイクル</td><td> </td></tr> <tr><td> </td><td>内部クロック__BIUの2サイクル</td><td> </td></tr> </tbody> </table>		割り込み優先レベルの変更に必要な時間			内部クロック__BIUの7サイクル			内部クロック__BIUの4サイクル			内部クロック__BIUの2サイクル	
	割り込み優先レベルの変更に必要な時間																									
	内部クロック__の7サイクル																									
	内部クロック__の4サイクル																									
	内部クロック__の2サイクル																									
	割り込み優先レベルの変更に必要な時間																									
	内部クロック__BIUの7サイクル																									
	内部クロック__BIUの4サイクル																									
	内部クロック__BIUの2サイクル																									
8-26ペ - ジ 8.4.3 (1) 4行目	信号を出力します (図8.3.6参照)。	信号を出力します (図8.3.7参照)。																								
8-40ペ - ジ 図8.6.1 中段 16-21ページ 上段	《16ビットパルス幅変調器として動作しているとき》 <table border="1" data-bbox="336 1570 879 1765"> <thead> <tr> <th>ビット</th> <th>機 能</th> </tr> </thead> <tbody> <tr> <td>15～0</td> <td>“0000₁₆”～“FFFE₁₆”を設定可能 設定値を n とすると、TAiOUT端子から出力するPWMパルスの“H”レベル幅は $\frac{n}{Pfi}$ となる (PWMパルスの周期は $\frac{2^{16}-1}{Pfi}$)</td> </tr> </tbody> </table>	ビット	機 能	15～0	“0000 ₁₆ ”～“FFFE ₁₆ ”を設定可能 設定値を n とすると、TAiOUT端子から出力するPWMパルスの“H”レベル幅は $\frac{n}{Pfi}$ となる (PWMパルスの周期は $\frac{2^{16}-1}{Pfi}$)	《16ビットパルス幅変調器として動作しているとき》 <table border="1" data-bbox="911 1570 1453 1765"> <thead> <tr> <th>ビット</th> <th>機 能</th> </tr> </thead> <tbody> <tr> <td>15～0</td> <td>“0000₁₆”～“FFFE₁₆”を設定可能 設定値を n とすると、TAiOUT端子から出力するPWMパルスの“H”レベル幅は $\frac{n}{Pfi}$ となる (PWMパルスの周期は $\frac{2^{16}-1}{Pfi}$)</td> </tr> </tbody> </table>	ビット	機 能	15～0	“0000 ₁₆ ”～“FFFE ₁₆ ”を設定可能 設定値を n とすると、TAiOUT端子から出力するPWMパルスの“H”レベル幅は $\frac{n}{Pfi}$ となる (PWMパルスの周期は $\frac{2^{16}-1}{Pfi}$)																
ビット	機 能																									
15～0	“0000 ₁₆ ”～“FFFE ₁₆ ”を設定可能 設定値を n とすると、TAiOUT端子から出力するPWMパルスの“H”レベル幅は $\frac{n}{Pfi}$ となる (PWMパルスの周期は $\frac{2^{16}-1}{Pfi}$)																									
ビット	機 能																									
15～0	“0000 ₁₆ ”～“FFFE ₁₆ ”を設定可能 設定値を n とすると、TAiOUT端子から出力するPWMパルスの“H”レベル幅は $\frac{n}{Pfi}$ となる (PWMパルスの周期は $\frac{2^{16}-1}{Pfi}$)																									
8-44ペ - ジ 下から2行目 ~最終行	注2 ...TAiOUT端子は設定したPWMパルスの“H”レベル幅と同じ幅の“L”レベルを出力し、...	注2 ...TAiOUT端子は(1 / fi) × (m+1) × (n+1)の期間“L”レベルを出力し、...																								

7752グループ ユーザーズマニュアル (印刷番号HU-067A) 正誤表(REV.C) No.3

訂正箇所	誤	正
8-46ページ 図8.6.7		
9-26ページ 下から4行目、 下から3行目 と2行目の間	5. カウント開始後に測定モード選択ビットの <u>設定</u> を行うと... “1” になります。	5. カウント開始後に測定モード選択ビットの <u>変更</u> を行うと... “1” になります。 測定モード選択ビットに以前と同じ値を書き 込んだ場合は、割り込み要求ビットは変化 しません。
10-8ページ 最終行	...ビット (ビット2) を “0” にしたとき、この フラグは0になります。	...ビット (ビット2) を “0” にしたとき、 <u>又は</u> <u>シリアル/Oモード選択ビットを “000₂” にした</u> <u>とき、このフラグは “0” になります。</u>
10-14ページ 10.2.7 5行目と 6行目の間	クロックが転送クロックになります。 図10.2.11にUARTi転送速度レジスタ...	クロックが転送クロックになります。 なお、31 ₁₆ 番地、39 ₁₆ 番地に書き込むと、送受信 中か停止中かに関わらずタイマとリロードレジスタ の両方に書き込まれます。したがって、これらの 番地に書き込む場合は、送受信停止中に書き込んで ください。 図10.2.11にUARTi転送速度レジスタ...
10-19ページ 下から6行目	前の... (「図10.3.5送信完了の検出」参照)	前の... (「図10.3.4送信完了の検出」参照)
10-26ページ 10.3.4 2行目 10-32ページ 10.3.6 2行目 10-43ページ 10.4.4 1行目	...クロックの1サイクル後に...	...クロックの <u>最大1</u> サイクル後に...
10-49ページ 10.4.6 1行目	...、STを検出すると、受信を開始します。	...、STを検出すると、 <u>転送クロックが発生して</u> 受信を開始します。

7752グループ ユーザーズマニュアル (印刷番号HU-067A) 正誤表(REV.C) No.4

訂正箇所	誤	正																																
10-50ペ - ジ 図10.4.12	 <p>転送クロック</p> <p>スタートビットの立ち下がりで受信開始</p>	 <p>転送クロック</p> <p>スタートビットの立ち下がりで 転送クロック発生、受信開始</p>																																
13-7ページ 下から2行目、 最終行	<p>2. STP命令(「4.3 ストップモード」参照)を実行すると監視タイマは停止します。監視タイマをプログラムの暴走検知に使用するシステムでは、マスクオプションで“STP命令無効”を選択してください。</p>	<p>2. STP命令(「4.3 ストップモード」参照)を実行すると監視タイマは停止します。<u>プログラムが暴走し、偶然STP命令のコード(DB16)を実行してしまうと、監視タイマが停止しますので、監視タイマをプログラムの暴走検知に使用するシステムでは、マスクオプションで“STP命令無効”を選択することをお奨めします。</u></p>																																
15-10ペ - ジ 図15.1.8 15-11ページ 図15.1.9 15-12ページ 図15.1.10 15-13ページ 図15.1.11	 <p>CS₂</p>	 <p>CS₂</p>																																
15-16ペ - ジ 図15.1.16 15-18ページ 図15.1.18	 <p>CS₃</p> <p>CS₄</p>	 <p>CS₃</p> <p>CS₄</p>																																
15-20ペ - ジ 図15.1.20 15-22ページ 図15.1.22	 <p>CS₁</p> <p>CS₀</p>	 <p>CS₁</p> <p>CS₀</p>																																
16-40ペ - ジ	<table border="1" data-bbox="414 1568 782 1892"> <tr> <td colspan="2" rowspan="2">D₃ ~ D₀</td> <td>0000</td> <td rowspan="2">1011</td> </tr> <tr> <td>0</td> <td>B</td> </tr> <tr> <td colspan="2" rowspan="2">D₇ ~ D₄</td> <td>0000</td> <td>0</td> </tr> <tr> <td>1001</td> <td>9</td> </tr> <tr> <td colspan="2"></td> <td>1010</td> <td>A</td> </tr> </table> <p>EXTZ B</p>	D ₃ ~ D ₀		0000	1011	0	B	D ₇ ~ D ₄		0000	0	1001	9			1010	A	<table border="1" data-bbox="989 1568 1356 1892"> <tr> <td colspan="2" rowspan="2">D₃ ~ D₀</td> <td>0000</td> <td rowspan="2">1011</td> </tr> <tr> <td>0</td> <td>B</td> </tr> <tr> <td colspan="2" rowspan="2">D₇ ~ D₄</td> <td>0000</td> <td>0</td> </tr> <tr> <td>1001</td> <td>9</td> </tr> <tr> <td colspan="2"></td> <td>1010</td> <td>A</td> </tr> </table> <p>EXTZ B</p>	D ₃ ~ D ₀		0000	1011	0	B	D ₇ ~ D ₄		0000	0	1001	9			1010	A
D ₃ ~ D ₀				0000		1011																												
		0	B																															
D ₇ ~ D ₄		0000	0																															
		1001	9																															
		1010	A																															
D ₃ ~ D ₀		0000	1011																															
		0		B																														
D ₇ ~ D ₄		0000	0																															
		1001	9																															
		1010	A																															

7752グループ ユーザーズマニュアル(印刷番号HU-067A) 正誤表(REV.C) No.5

訂正箇所	誤	正
16-41ペ - ジ		
16-70ページ 5. ポートの 処理 7、8行目、 8行目の後	<p>ソフトウェア 入力モード時は、...確認する。 出力モード時は、...再設定を行う。 一定周期でポートPi方向レジスタの再設定を行う。</p>	<p>ソフトウェア 入力モード時は、...確認する。 出力モード時は、...再設定(注)を行う。 一定周期でポートPi方向レジスタの再設定(注)を行う。</p> <div style="border: 1px solid black; border-radius: 10px; padding: 5px; width: fit-content; margin: 10px auto;"> <p>注．再設定には、LDM命令、又はSTA命令を使用してください。</p> </div>
16-72ページ Qの最終行	割り込み優先順位判定時間は、 <u> </u> の2サイクル	割り込み優先順位判定時間は、 <u>BIU</u> の2サイクル
16-119ペ - ジ 最終行	...5.3 - 5 = <u>-</u> 0.3mV(0.06LSB)です。	...5.3 - 5 = 0.3mV(0.06LSB)です。