

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

MESC TECHNICAL NEWS

No. M7700-116-9911

7733/35/36グループ ユーザーズマニュアル 追加情報 (REV.C)

1996年7月発行の『7733/35/36グループ ユーザーズマニュアル』
(印刷番号:HU-066A)に、一部内容の訂正がありましたのでお知らせいたします。
本マニュアルをご使用の際は、留意のほど宜しくお願いいたします。

添付の正誤表(REV.C)には、同マニュアルの正誤表(REV.B)(ニュースNo.M7700-81-9801)の内容も記載しています (REV.Cで追加した内容は、左端の 印で示しています)。

また、7733/35/36は、テクニカルニュースNo.7700-86-9804でお知らせした通り、仕様変更がありました。仕様変更にともなうマニュアルの変更点を (1 / 3) ~ (3 / 3) に示します。仕様変更については、テクニカルニュースNo.7700-86-9804を参照してください。

なお、機種展開、電気的特性及びツール製品などに関しては、マニュアル発行後に変更があった場合も、追加情報には記載しません。これらは、以下に示す資料の最新版を参照してください。

マイコン機種展開

三菱マイクロコンピュータ 総合カタログ (製本版または三菱マイコン技術情報ホームページ)

電気的特性

データシート (製本版または三菱マイコン技術情報ホームページ)

開発サポートツール

ツール総合カタログ (製本版)

データシート (三菱ツールホームページ)

三菱マイクロコンピュータ開発サポートツール アクセサリガイド

(製本版または三菱ツールホームページ)

ホームページアドレス

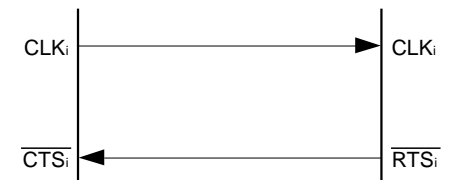
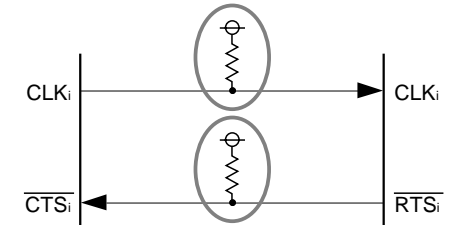

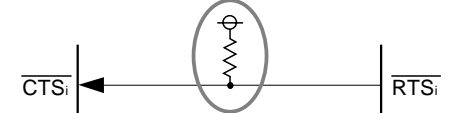
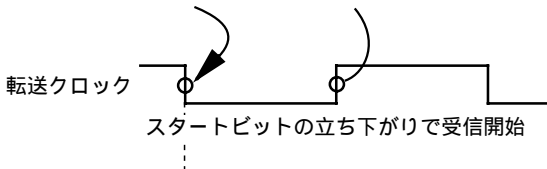
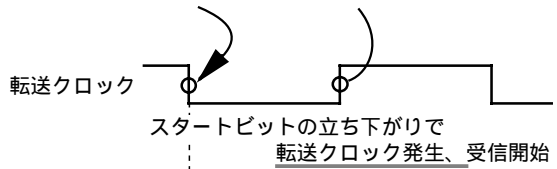
三菱マイコン技術情報 <http://www.infocom.mesc.co.jp>

三菱ツール <http://www.tool-spt.mesc.co.jp>

添付：『7733/35/36グループ ユーザーズマニュアル』正誤表(REV.C) 6枚
『7733/35/36グループ ユーザーズマニュアル』変更点 3枚

訂正箇所	誤	正								
第1部 2-8ページ 2.1.9 (2) 2~3行目	...します。10進演算モード時の加算命令 (ADC 命令) では、このフラグの内容は無効です。	...します。10進演算モード時の加算命令 (ADC 命令) 及び減算命令 (SBC命令) では、このフラグの内容は無効です。								
第1部 2-21ページ 図2.4.1 21-30ページ 63 ₁₆ 番地	設定方法 注：必ずこの手順で設定してください。	設定方法 注：必ずこの手順で設定してください。 上記手順 と の間で割り込みが発生すると、書き込みが無効になります。 このようなタイミングで割り込みが発生する可能性のある場合は、書き込みの後、このビットの内容を読み出して、正しく書き込まれたかどうか確認してください。								
第1部 6-10ページ 図6.3.1 上段 21-18ページ 上段	<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 20%;">ビット</th> <th style="width: 80%;">機能</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">3</td> <td> b4b3 00: } ゲート機能なし 10: } (TAiOUT端子は... </td> </tr> </tbody> </table>	ビット	機能	3	b4b3 00: } ゲート機能なし 10: } (TAiOUT端子は...	<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 20%;">ビット</th> <th style="width: 80%;">機能</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">3</td> <td> b4b3 00: } ゲート機能なし 10: } (TAiIN端子は... </td> </tr> </tbody> </table>	ビット	機能	3	b4b3 00: } ゲート機能なし 10: } (TAiIN端子は...
ビット	機能									
3	b4b3 00: } ゲート機能なし 10: } (TAiOUT端子は...									
ビット	機能									
3	b4b3 00: } ゲート機能なし 10: } (TAiIN端子は...									
第1部 6-23ページ 図6.4.3	<div style="border: 1px solid black; padding: 5px;"> <p>分周比の設定</p> <p>0000₁₆ ~ FFFF₁₆(n)を設定可能</p> <p>カウンタは、...分周します。</p> </div>	<div style="border: 1px solid black; padding: 5px;"> <p>分周比の設定</p> <p>0000₁₆ ~ FFFF₁₆(n)を設定可能 (注)</p> <p>カウンタは、...分周します。</p> <p>注. タイマA2, A3, A4フリーランカウンタ選択時は無効です。</p> </div>								
第1部 6-27ページ 図6.4.7	<p>アップ/ダウン切り替え要因に...場合</p>	<p>アップ/ダウン切り替え要因に...場合 注. カウント開始時、カウンタの内容は不定です。</p>								
第1部 6-40ページ 図6.5.6	外部トリガ (TAiIN端子の入力信号の立ち上がり) 選択時	外部トリガ (TAiIN端子の入力信号の立ち下がり) 選択時								
第1部 6-47ページ 6.6.4 下から2行目 ~最終行	注2...TAiOUT端子は設定したPWMパルスの“H”レベル幅と同じ幅の“L”レベルを出力し、...	注2...TAiOUT端子は(1/fi) x (m+1) x (n+1)の期間“L”レベルを出力し、...								

訂正箇所	誤	正												
第1部 6-49ページ 図6.6.6	<p>カウントソース</p> <p>TA_{in}端子の 入力信号 “H” “L”</p> <p>8ビットプリス ケーラのアンダ フロー信号 “H” “L”</p> <p>TA_{out}端子からの PWMパルス出力 “H” “L”</p> <p>タイマA_i割り込み 要求ビット “1” “0”</p>	<p>カウントソース</p> <p>TA_{in}端子の 入力信号 “H” “L”</p> <p>8ビットプリス ケーラのアンダ フロー信号 “H” “L”</p> <p>TA_{out}端子からの PWMパルス出力 “H” “L”</p> <p>タイマA_i割り込み 要求ビット “1” “0”</p>												
第1部 7-33ペ - ジ 下から4行目、 下から3行目 と2行目の間	5. カウント開始後に測定モード選択ビットの <u>設定</u> を行うと... “1” になります。 6. TBI _{in} 端子の...	5. カウント開始後に測定モード選択ビットの <u>変更</u> を行うと... “1” になります。 測定モード選択ビットに以前と同じ値を書き 込んだ場合は、割り込み要求ビットは変化し ません。 6. TBI _{in} 端子の...												
第1部 7-36ペ - ジ 図7.6.2 17-55ページ 図17.5.3	<p>サブクロック : f(X_{CIN})</p> <p>メインクロック : f(X_{IN})</p> <p>システムクロック</p>	<p>サブクロック : f(X_{CIN})</p> <p>メインクロック : f(X_{IN})</p> <p>システムクロック</p>												
第1部 8-17ペ - ジ 8.2.7 6行目と7行目 の間	クロックが転送クロックになります。 図8.2.13にBRGiの構成を...	クロックが転送クロックになります。 なお、31 ₁₆ 番地、39 ₁₆ 番地、65 ₁₆ 番地に書き 込むと、送受信中が停止中かに関わらずタイマと リロードレジスタの両方に書き込まれます。 したがって、これらの番地に書き込む場合は、 送受信停止中に書き込んでください。 図8.2.13にBRGiの構成を...												
第1部 8-17ペ - ジ 図8.2.13 21-13ページ 下段	<table border="1" data-bbox="367 1635 829 1736"> <tr> <td>機能</td> <td>リセット時</td> <td>RW</td> </tr> <tr> <td>...</td> <td>不定</td> <td><u>RO</u></td> </tr> </table>	機能	リセット時	RW	...	不定	<u>RO</u>	<table border="1" data-bbox="941 1635 1404 1736"> <tr> <td>機能</td> <td>リセット時</td> <td>RW</td> </tr> <tr> <td>...</td> <td>不定</td> <td><u>WO</u></td> </tr> </table>	機能	リセット時	RW	...	不定	<u>WO</u>
機能	リセット時	RW												
...	不定	<u>RO</u>												
機能	リセット時	RW												
...	不定	<u>WO</u>												
第1部 8-19ペ - ジ 下から3行目	... “1” になります。その後、各割り込み要求が...	... “1” になります。 <u>ただし、オーバランエラーの 場合は変化しません。</u> その後、各割り込み要求が...												

訂正箇所	誤	正																												
第1部 8-32ページ 8.3.4 2行目 8-39ページ 8.3.6 2行目 8-53ページ 8.4.4 1行目	...クロックの1サイクル後に...	...クロックの <u>最大</u> 1サイクル後に...																												
第1部 8-40ページ 図8.3.13																														
第1部 8-42ページ 8.3.7 5~6行目	...また、UARTi受信割り込み要求ビットは“1”になりません。	...また、UARTi受信割り込み要求ビットは <u>変化</u> しません。																												
第1部 8-43ページ 下から2行目	4... 1バイトのデータの受信完了ごとに...	4... 1バイトのデータの受信ごとに...																												
第1部 8-43ページ 最終行の後	4. 連続して...ダミーデータを設定してください。	4. 連続して...ダミーデータを設定してください。 5. UART2では、送信、受信割り込みを分けずにどちらか一方の割り込みが発生した場合、送受信割り込み要求が発生します。 したがって、UART2で送信と受信を同時に実行させるシステムでは、UART2送受信割り込みを使用せず、それぞれ、送信バッファ空フラグ、受信完了フラグをソフトウェアでポーリングする方法で使用してください。																												
第1部 8-46ページ 表8.4.4	<table border="1" data-bbox="327 1355 877 1556"> <thead> <tr> <th rowspan="2">転送速度 (bps)</th> <th colspan="2">システムクロック : 24.576MHz時</th> <th colspan="2">システムクロック : 25MHz時</th> </tr> <tr> <th>BRGiの設定値:n</th> <th>実時間 (bps)</th> <th>BRGiの設定値:n</th> <th>実時間 (bps)</th> </tr> </thead> <tbody> <tr> <td>14400</td> <td>52(3F₁₆)</td> <td></td> <td>53(40₁₆)</td> <td></td> </tr> </tbody> </table>	転送速度 (bps)	システムクロック : 24.576MHz時		システムクロック : 25MHz時		BRGiの設定値:n	実時間 (bps)	BRGiの設定値:n	実時間 (bps)	14400	52(3F ₁₆)		53(40 ₁₆)		<table border="1" data-bbox="901 1355 1460 1556"> <thead> <tr> <th rowspan="2">転送速度 (bps)</th> <th colspan="2">システムクロック : 24.576MHz時</th> <th colspan="2">システムクロック : 25MHz時</th> </tr> <tr> <th>BRGiの設定値:n</th> <th>実時間 (bps)</th> <th>BRGiの設定値:n</th> <th>実時間 (bps)</th> </tr> </thead> <tbody> <tr> <td>14400</td> <td>52(34₁₆)</td> <td></td> <td>53(35₁₆)</td> <td></td> </tr> </tbody> </table>	転送速度 (bps)	システムクロック : 24.576MHz時		システムクロック : 25MHz時		BRGiの設定値:n	実時間 (bps)	BRGiの設定値:n	実時間 (bps)	14400	52(34 ₁₆)		53(35 ₁₆)	
転送速度 (bps)	システムクロック : 24.576MHz時		システムクロック : 25MHz時																											
	BRGiの設定値:n	実時間 (bps)	BRGiの設定値:n	実時間 (bps)																										
14400	52(3F ₁₆)		53(40 ₁₆)																											
転送速度 (bps)	システムクロック : 24.576MHz時		システムクロック : 25MHz時																											
	BRGiの設定値:n	実時間 (bps)	BRGiの設定値:n	実時間 (bps)																										
14400	52(34 ₁₆)		53(35 ₁₆)																											
第1部 8-59ページ 8.4.6 1行目	...、STを検出すると、受信を開始します。	...、STを検出すると、 <u>転送クロックが発生して</u> 受信を開始します。																												
第1部 8-59ページ 図8.4.11																														
第1部 8-60ページ 図8.4.12	 <p>転送クロック</p> <p>スタートビットの立ち下がりでの受信開始</p>	 <p>転送クロック</p> <p>スタートビットの立ち下がりでの転送クロック発生、受信開始</p>																												

7733/35/36グループ ユーザーズマニュアル(印刷番号HU-066A) 正誤表(REV.C) No.4

訂正箇所	誤	正																		
<p>第1部 10-9ページ 図10.2.3 11-5ページ 図11.2.4 14-9ページ 図14.3.4 21-36ページ 下右</p> <p>第2部 10-3ページ 図10.2.3 11-3ページ 図11.2.4 14-3ページ 図14.3.4 21-9ページ 下右</p> <p>第3部 20-10ページ 下右</p>	<p>(図の下)</p>	<p>(図の下)</p> <div style="border: 1px solid black; padding: 5px;"> <p>注．上記手順の間で割り込みが発生すると、書き込みが無効になります。 このようなタイミングで割り込みが発生する可能性のある場合は、書き込みの後、このビットの内容を読み出して、正しく書き込まれたかどうか確認してください。</p> </div>																		
<p>第1部 10-10ページ 下から3行目 ～2行目、 最終行</p>	<p>4．STP命令(「第11章 ストップモード、ウェイトモード」参照)を実行すると、監視タイマは停止します。プログラムの暴走検知に監視タイマを使用するシステムでは、マスクオプションで“STP命令無効”を選択してください。</p>	<p>4．STP命令(「第11章 ストップモード、ウェイトモード」参照)を実行すると、監視タイマは停止します。<u>プログラムが暴走し、偶然STP命令のコード(DB16)を実行してしまうと、監視タイマが停止しますので、プログラムの暴走検知に監視タイマを使用するシステムでは、マスクオプションで“STP命令無効”を選択することをお奨めします。</u></p>																		
<p>第1部 11-9ページ 下から5行目</p>	<p>に受け付けられます。受け付ける必要のない割り込みについては、...</p>	<p>に受け付けられます(ただし、<u>INT割り込みのレベルセンス使用時、割り込み要求は保持されないため、監視タイマの最上位ビットが“0”になった時点で、INT端子が無効レベルになっていると受け付けられません</u>)。受け付ける必要のない割り込みについては、...</p>																		
<p>第1部 11-17ページ 表11.4.3</p>	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 15%;"></td> <td colspan="2" style="text-align: center;">割り込み要求を発生する各機能の使用条件</td> </tr> <tr> <td style="text-align: center;">割り込み</td> <td style="text-align: center;">f₂ ~ f₅₁₂を停止する</td> <td style="text-align: center;">f₂ ~ f₅₁₂を停止しない</td> </tr> <tr> <td style="text-align: center;">A-D変換 割り込み</td> <td colspan="2" style="text-align: center;">使用できない</td> </tr> </table>		割り込み要求を発生する各機能の使用条件		割り込み	f ₂ ~ f ₅₁₂ を停止する	f ₂ ~ f ₅₁₂ を停止しない	A-D変換 割り込み	使用できない		<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 15%;"></td> <td colspan="2" style="text-align: center;">割り込み要求を発生する各機能の使用条件</td> </tr> <tr> <td style="text-align: center;">割り込み</td> <td style="text-align: center;">f₂ ~ f₅₁₂を停止する</td> <td style="text-align: center;">f₂ ~ f₅₁₂を停止しない</td> </tr> <tr> <td style="text-align: center;">A-D変換 割り込み</td> <td style="text-align: center;">使用できない</td> <td style="text-align: center;">単発モード、単掃引モードで使用可</td> </tr> </table>		割り込み要求を発生する各機能の使用条件		割り込み	f ₂ ~ f ₅₁₂ を停止する	f ₂ ~ f ₅₁₂ を停止しない	A-D変換 割り込み	使用できない	単発モード、単掃引モードで使用可
	割り込み要求を発生する各機能の使用条件																			
割り込み	f ₂ ~ f ₅₁₂ を停止する	f ₂ ~ f ₅₁₂ を停止しない																		
A-D変換 割り込み	使用できない																			
	割り込み要求を発生する各機能の使用条件																			
割り込み	f ₂ ~ f ₅₁₂ を停止する	f ₂ ~ f ₅₁₂ を停止しない																		
A-D変換 割り込み	使用できない	単発モード、単掃引モードで使用可																		
<p>第1部 17-43ページ (4) 1、2行目</p>	<p>1．STP命令を実行すると監視タイマは停止します。監視タイマを使用するシステムでは、マスクオプションで“STP命令無効”を選択してください。</p>	<p>1．STP命令を実行すると監視タイマは停止します。<u>プログラムが暴走し、偶然STP命令のコード(DB16)を実行してしまうと、監視タイマが停止しますので、監視タイマを使用するシステムでは、マスクオプションで“STP命令無効”を選択することをお奨めします。</u></p>																		

訂正箇所	誤	正
第1部 19-2ページ 最終行、 最終行の後	これらの機種は、PROMを内蔵していることを除いて、マスクROM版と同じ機能を持ちます。	これらの機種は、PROMを内蔵していること及び下記の点を除いて、マスクROM版と同じ機能を持ちます。 ・発振回路制御レジスタ1(6F ₁₆ 番地)のビット3のリセット時の状態は“1”です。 ・発振回路制御レジスタ1(6F ₁₆ 番地)のビット3は必ず“1”のまま请使用ください。
第1部 21-75ページ 下から2行目、 最終行、 最終行の後	<ソフトウェア> 入力モード時は、...確認する。 出力モード時は、...再設定を行う。 一定周期でポートPi方向レジスタの再設定を行う。	<ソフトウェア> 入力モード時は、...確認する。 出力モード時は、...再設定(注1)を行う。 一定周期でポートPi方向レジスタの再設定(注1、2)を行う。 注1. 再設定には、LDM命令、又はSTA命令を使用してください。 2. ポートP4~P8、P9、P10の方向レジスタの再設定は、以下の手順で行ってください。 (1) SEI命令などで割り込みを禁止する。 (2) 1A ₁₆ 、1B ₁₆ 番地にダミー書き込みを行う(再設定する方向レジスタが偶数番地の場合1A ₁₆ 番地、奇数番地の場合1B ₁₆ 番地)。 (3) 目的の方向レジスタを再設定する。 (注2の詳細及びプログラム例は、テクニカルニュースNo.M7700-104-9906を参照ください。)
第1部 21-85ページ A (2) (3)	A (2) 発振回路制御レジスタ1... ... ・ビット0~ビット2への書き込みの場合 データ“01010101 ₂ ”書き込み(LDM命令) ↓ データ“0000XX ₂ ”書き込み(LDM命令) ← 次の命令 ↓ ビット0~ビット2設定 (3) メモリ配置制御レジスタ... データ“01010101 ₂ ”書き込み(LDM命令) ↓ データ“0001XX ₂ ”書き込み(LDM命令) ← 次の命令 ↓ ビット0~ビット2設定	A (2) 発振回路制御レジスタ1... ... ・ビット0~ビット2への書き込みの場合 データ“01010101 ₂ ”書き込み(LDM命令) ↓ データ“0001XX ₂ ”書き込み(LDM命令) ← 次の命令 ↓ ビット0~ビット2設定 注. 上記手順の間で割り込みが発生すると、書き込みが無効になります。 このようなタイミングで割り込みが発生する可能性のある場合は、書き込みの後、このビットの内容を読み出して、正しく書き込まれたかどうか確認してください。 (3) メモリ配置制御レジスタ... データ“01010101 ₂ ”書き込み(LDM命令) ↓ データ“0000XX ₂ ”書き込み(LDM命令) ← 次の命令 ↓ ビット0~ビット2設定 注. 上記手順の間で割り込みが発生すると、書き込みが無効になります。 このようなタイミングで割り込みが発生する可能性のある場合は、書き込みの後、このビットの内容を読み出して、正しく書き込まれたかどうか確認してください。

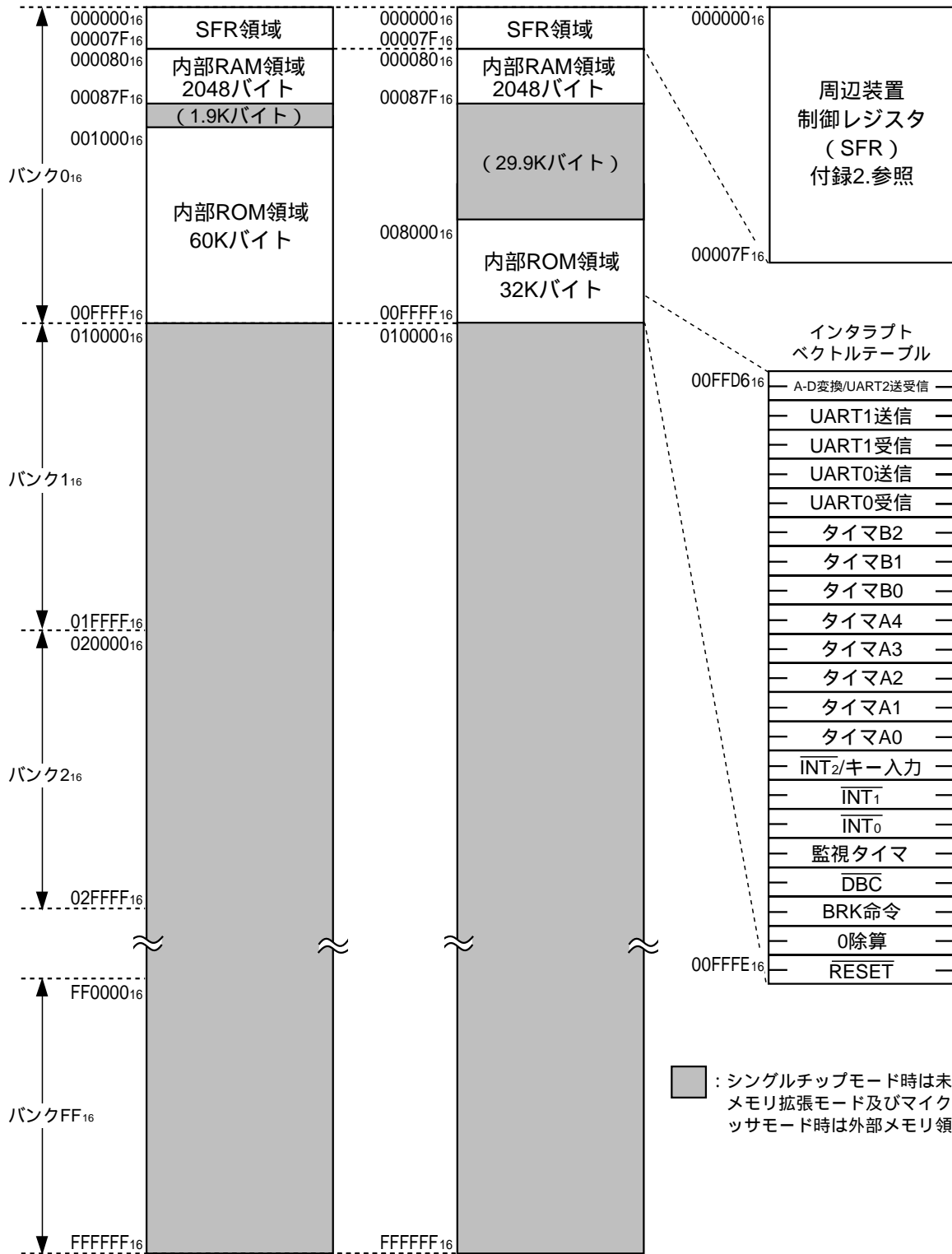
訂正箇所	誤	正
第2部 17-14ページ 表17.1.5		
第2部 19-2ページ 19.1 1行目、 2行目と 3行目の間	<p>EPROMモードについては、<u>図19.1.1、及び</u> <u>図19.1.2だけが...</u>ください。</p> <p>「第1部...」...第1部の19-3ページ参照</p>	<p>EPROMモードについては、<u>図19.1.1、図19.1.2</u> <u>及び下記の点だけが...</u>ください。</p> <div style="border: 1px solid black; padding: 5px;"> <p>・発振回路制御レジスタ1(6F₁₆番地)のビット3の リセット時の状態は“1”ですが、このビットは リセット解除後シングルチップモードにおいて、 必ず“0”に変更してください。この書き込み は、<u>図14.3.4</u>の手順に従って行ってください。</p> </div> <p>「第1部...」...第1部の19-3ページ参照</p>
第3部 1-12ページ 図1.4.1		
第3部 3-6ページ 図3.2.1 中段	<ul style="list-style-type: none"> ポートP83/TxD0,... ポートP50/...TA4OUT,<u>P75/AN5/ADTRG</u> ... 注1... <u>2. アナログ* 入力はP75のみに存在</u> <p>アナログ入力 (注2)</p>	<ul style="list-style-type: none"> ポートP83/TxD0,... ポートP50/...TA4OUT (P75削除) ... 注1... (注2. 削除) <p>(アナログ入力削除)</p>
第3部 3-7ページ 図3.2.2 1段目	<ul style="list-style-type: none"> ポートP70/AN0 ~ <u>P74/AN4, P76/AN6/XCOUT,</u> <u>P77/AN7/XCIN</u> (注1) サブクロック 発振回路 <p>注1. サブクロック発振回路は、 P76, P77にのみ存在</p>	<ul style="list-style-type: none"> ポートP70/AN0 ~ P77/AN7/XCIN (注2) サブクロック 発振回路 <p>注2. サブクロック発振回路は、 P76, P77にのみ存在</p>
第3部 3-7ページ 図3.2.2 3、4段目	<p>出力制御</p>	<p>出力制御</p>

7733/35/36グループ ユーザーズマニュアル (印刷番号HU-066A) 変更点 No.1

訂正箇所	旧仕様	新仕様																																																						
第1部 2-21ペ - ジ 図2.4.1 21-30ペ - ジ	<table border="1" style="width: 100%; text-align: center;"> <thead> <tr> <th colspan="2">機 能</th> </tr> </thead> <tbody> <tr> <td>b2 b1 b0</td> <td>ROM容量 (番地)</td> </tr> <tr> <td>0 0 0</td> <td>: 124K(001000₁₆ ~ 01FFFF₁₆)</td> </tr> <tr> <td>0 0 1</td> <td>: 120K(002000₁₆ ~ 01FFFF₁₆)</td> </tr> <tr> <td>0 1 0</td> <td>: 選択禁止</td> </tr> <tr> <td>0 1 1</td> <td>: 選択禁止</td> </tr> <tr> <td>1 0 0</td> <td>: 選択禁止</td> </tr> <tr> <td>1 0 1</td> <td>: 選択禁止</td> </tr> <tr> <td>1 1 0</td> <td>: 96K(008000₁₆ ~ 01FFFF₁₆)</td> </tr> <tr> <td>1 1 1</td> <td>: 32K(008000₁₆ ~ 00FFFF₁₆)</td> </tr> </tbody> </table> <p>注1. 下記...</p> <p>2. このビットの変更は、変更前、変更後とも内部ROMになる領域 (例: 008000₁₆ ~ 00FFFF₁₆) で行ってください。また、必ず下記「設定方法」に示す手順で変更してください。</p> <p>3. M37733S4BFP、M37733S4LHP、M37735S4BFP、M37735S4LHPについては、この番地は書き込み禁止です。</p>	機 能		b2 b1 b0	ROM容量 (番地)	0 0 0	: 124K(001000 ₁₆ ~ 01FFFF ₁₆)	0 0 1	: 120K(002000 ₁₆ ~ 01FFFF ₁₆)	0 1 0	: 選択禁止	0 1 1	: 選択禁止	1 0 0	: 選択禁止	1 0 1	: 選択禁止	1 1 0	: 96K(008000 ₁₆ ~ 01FFFF ₁₆)	1 1 1	: 32K(008000 ₁₆ ~ 00FFFF ₁₆)	<table border="1" style="width: 100%; text-align: center;"> <thead> <tr> <th colspan="3">機 能</th> </tr> </thead> <tbody> <tr> <td>b2 b1 b0</td> <td>ROM容量</td> <td>RAM容量</td> </tr> <tr> <td>0 0 0</td> <td>: 124Kバイト、</td> <td>3968バイト</td> </tr> <tr> <td>0 0 1</td> <td>: 120Kバイト、</td> <td>3968バイト</td> </tr> <tr> <td>0 1 0</td> <td>: 60Kバイト、</td> <td>2048バイト</td> </tr> <tr> <td>0 1 1</td> <td>: 選択禁止</td> <td></td> </tr> <tr> <td>1 0 0</td> <td>: 32Kバイト、</td> <td>2048バイト</td> </tr> <tr> <td>1 0 1</td> <td>: 16Kバイト、</td> <td>2048バイト</td> </tr> <tr> <td>1 1 0</td> <td>: 96Kバイト、</td> <td>3968バイト</td> </tr> <tr> <td>1 1 1</td> <td>: 選択禁止</td> <td></td> </tr> </tbody> </table> <p>注1. 下記...</p> <p>2. このビットの変更は、変更前、変更後とも内部ROMになる領域 (例: 00C000₁₆ ~ 00FFFF₁₆) で行ってください。また、必ず下記「設定方法」に示す手順で変更してください。</p> <p>3. この図は、M37733MHBXXXFPの場合です。その他の機種は最新データシートを参照してください。</p>	機 能			b2 b1 b0	ROM容量	RAM容量	0 0 0	: 124Kバイト、	3968バイト	0 0 1	: 120Kバイト、	3968バイト	0 1 0	: 60Kバイト、	2048バイト	0 1 1	: 選択禁止		1 0 0	: 32Kバイト、	2048バイト	1 0 1	: 16Kバイト、	2048バイト	1 1 0	: 96Kバイト、	3968バイト	1 1 1	: 選択禁止					
機 能																																																								
b2 b1 b0	ROM容量 (番地)																																																							
0 0 0	: 124K(001000 ₁₆ ~ 01FFFF ₁₆)																																																							
0 0 1	: 120K(002000 ₁₆ ~ 01FFFF ₁₆)																																																							
0 1 0	: 選択禁止																																																							
0 1 1	: 選択禁止																																																							
1 0 0	: 選択禁止																																																							
1 0 1	: 選択禁止																																																							
1 1 0	: 96K(008000 ₁₆ ~ 01FFFF ₁₆)																																																							
1 1 1	: 32K(008000 ₁₆ ~ 00FFFF ₁₆)																																																							
機 能																																																								
b2 b1 b0	ROM容量	RAM容量																																																						
0 0 0	: 124Kバイト、	3968バイト																																																						
0 0 1	: 120Kバイト、	3968バイト																																																						
0 1 0	: 60Kバイト、	2048バイト																																																						
0 1 1	: 選択禁止																																																							
1 0 0	: 32Kバイト、	2048バイト																																																						
1 0 1	: 16Kバイト、	2048バイト																																																						
1 1 0	: 96Kバイト、	3968バイト																																																						
1 1 1	: 選択禁止																																																							
第1部 2-23ペ - ジ 図2.4.3 21-3ページ 図2 第2部 21-4ページ 図2 第3部 20-4ページ 図2	省 略	(2 / 3) (3 / 3) 参照																																																						
第1部 19-4ペ - ジ 表19.1.3	<table border="1" style="width: 100%; text-align: center;"> <thead> <tr> <th colspan="3">メモリ配置選択ビットの内容</th> <th rowspan="2">プログラム領域</th> </tr> <tr> <th>b2</th> <th>b1</th> <th>b0</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>01000₁₆ ~ 1FFFF₁₆</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>02000₁₆ ~ 1FFFF₁₆</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>08000₁₆ ~ 1FFFF₁₆</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>08000₁₆ ~ 0FFFF₁₆</td> </tr> </tbody> </table>	メモリ配置選択ビットの内容			プログラム領域	b2	b1	b0	0	0	0	01000 ₁₆ ~ 1FFFF ₁₆	0	0	1	02000 ₁₆ ~ 1FFFF ₁₆	1	1	0	08000 ₁₆ ~ 1FFFF ₁₆	1	1	1	08000 ₁₆ ~ 0FFFF ₁₆	<table border="1" style="width: 100%; text-align: center;"> <thead> <tr> <th colspan="3">メモリ配置選択ビットの内容</th> <th rowspan="2">プログラム領域</th> </tr> <tr> <th>b2</th> <th>b1</th> <th>b0</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>01000₁₆ ~ 1FFFF₁₆</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>02000₁₆ ~ 1FFFF₁₆</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>01000₁₆ ~ 0FFFF₁₆</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>08000₁₆ ~ 0FFFF₁₆</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>0C000₁₆ ~ 0FFFF₁₆</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>08000₁₆ ~ 1FFFF₁₆</td> </tr> </tbody> </table>	メモリ配置選択ビットの内容			プログラム領域	b2	b1	b0	0	0	0	01000 ₁₆ ~ 1FFFF ₁₆	0	0	1	02000 ₁₆ ~ 1FFFF ₁₆	0	1	0	01000 ₁₆ ~ 0FFFF ₁₆	1	0	0	08000 ₁₆ ~ 0FFFF ₁₆	1	0	1	0C000 ₁₆ ~ 0FFFF ₁₆	1	1	0	08000 ₁₆ ~ 1FFFF ₁₆
メモリ配置選択ビットの内容			プログラム領域																																																					
b2	b1	b0																																																						
0	0	0	01000 ₁₆ ~ 1FFFF ₁₆																																																					
0	0	1	02000 ₁₆ ~ 1FFFF ₁₆																																																					
1	1	0	08000 ₁₆ ~ 1FFFF ₁₆																																																					
1	1	1	08000 ₁₆ ~ 0FFFF ₁₆																																																					
メモリ配置選択ビットの内容			プログラム領域																																																					
b2	b1	b0																																																						
0	0	0	01000 ₁₆ ~ 1FFFF ₁₆																																																					
0	0	1	02000 ₁₆ ~ 1FFFF ₁₆																																																					
0	1	0	01000 ₁₆ ~ 0FFFF ₁₆																																																					
1	0	0	08000 ₁₆ ~ 0FFFF ₁₆																																																					
1	0	1	0C000 ₁₆ ~ 0FFFF ₁₆																																																					
1	1	0	08000 ₁₆ ~ 1FFFF ₁₆																																																					
第1部 21-87ペ - ジ A 4行目	008000 ₁₆ ~ 00FFFF ₁₆ 番地) で...	00C000 ₁₆ ~ 00FFFF ₁₆ 番地) で...																																																						

新仕様

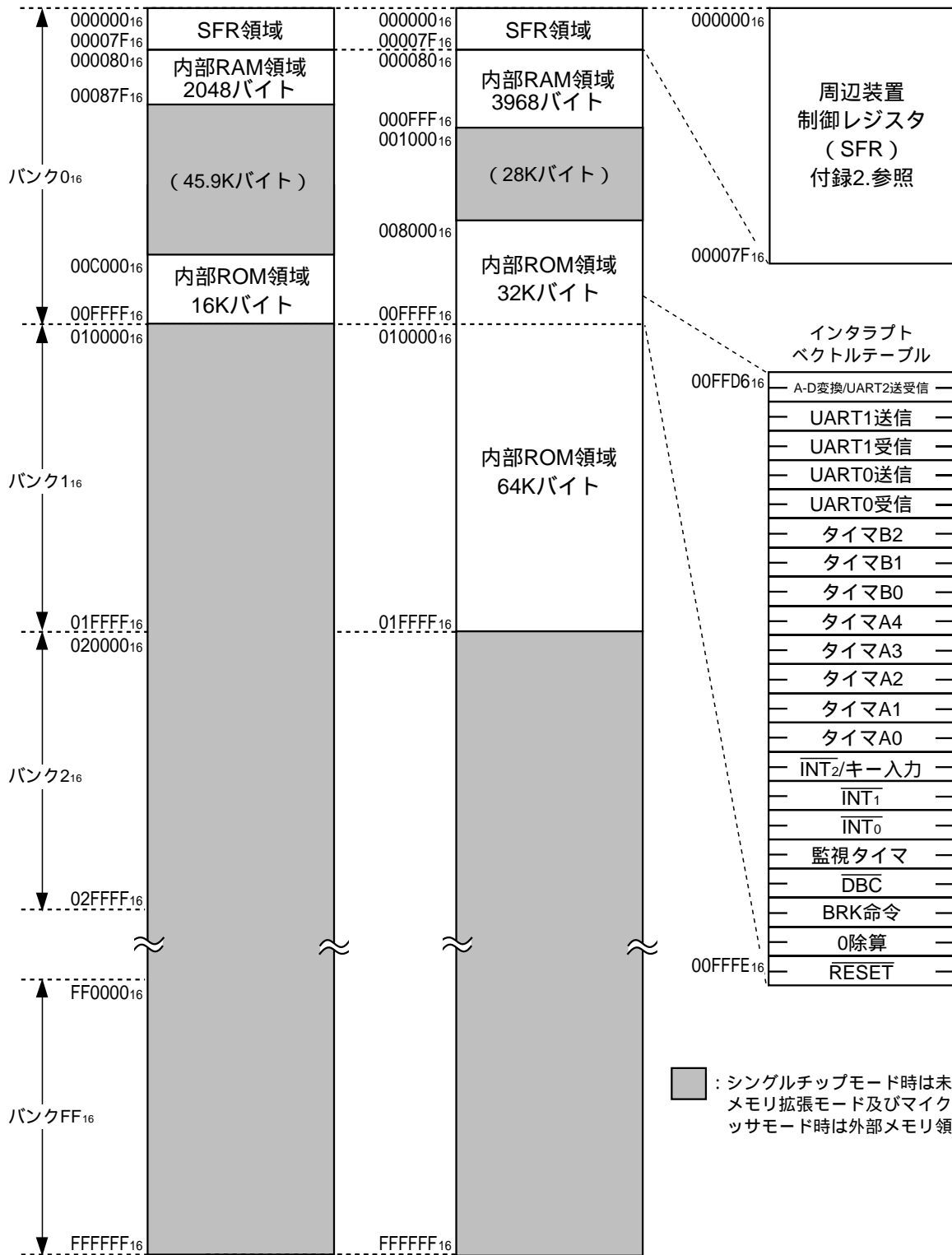
- ・メモリ配置選択ビット(b2, b1, b0)=(0, 1, 0)
- ・ROM容量 : 60Kバイト
- ・RAM容量 : 2048バイト
- ・メモリ配置選択ビット(b2, b1, b0)=(1, 0, 0)
- ・ROM容量 : 32Kバイト
- ・RAM容量 : 2048バイト



マイクロプロセッサモード時は、内部ROM領域へのアクセスは禁止されます(「2.5 プロセッサモード」参照)。
7735グループ及び7736グループの外部バスモードBではバンク10₁₆~FF₁₆はアクセスできません。

新仕様

- ・メモリ配置選択ビット(b2, b1, b0)=(1, 0, 1)
- ・ROM容量 : 16Kバイト
- ・RAM容量 : 2048バイト
- ・メモリ配置選択ビット(b2, b1, b0)=(1, 1, 0)
- ・ROM容量 : 96Kバイト
- ・RAM容量 : 3.9Kバイト



マイクロプロセッサモード時は、内部ROM領域へのアクセスは禁止されます(「2.5 プロセッサモード」参照)。
7735グループ及び7736グループの外部バスモードBではバンク10₁₆ ~ FF₁₆はアクセスできません。