

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

# MESC TECHNICAL NEWS

No. 7600-01-0006

## 7640 グループユーザズマニュアル の追加情報 ( 正誤表 REV.A )

1999年8月発行の「7640 グループユーザズマニュアル」(印刷番号：HU-099A)に、一部内容の訂正がありましたので、お知らせいたします。訂正内容は添付資料の正誤表 (REV.A) を参照してください。

以上

添付：「7640 グループユーザズマニュアル」

正誤表 (REV.A)..... ページ 2/6 ~ 6/6

訂正箇所	誤	正
1-2,1-4,3-4ページ Xin,Xout端子間へ水晶発振子接続を推奨していたがセラミック発振子も接続可へ変更	水晶発振子	水晶発振子又はセラミック発振子
1-2ページ(図3) 消費電力値(標準)の修正	450mW(標準)	380mW(標準)
1-6ページ 内部クロックにf(sYN)を使用する場合の注意事項を追加		注2.このビットが“1”の状態、STP命令を実行しないでください。
1-26ページ,2-55 (2-53 図2.3.16へ反映) SPI互換モード(スレーブモードで使用)の本文に注意事項を追加		転送中はSIOシフトレジスタヘータを書かないでください。
1-27ページ(本文に追加) 2-73(図2.4.18に反映) 2-77(図2.4.22に反映) UART送信のセットアップ方法の追加及び修正		送信時は以下の手順でセットアップしてください。 (1)UARTx(x=1,2)ボーレートジェネレータ(0031 <sub>16</sub> ,0039 <sub>16</sub> 番地)へ値を設定(n=0~255)。 (2)送信初期化ビット(UARTx制御レジスタのビット2)を“1”に設定。これによりUARTxステータスレジスタ(0032 <sub>16</sub> ,003A <sub>16</sub> 番地)が“03 <sub>16</sub> ”になります。 (3)送信割り込み要因選択ビット(UARTx(x=1,2)制御レジスタのビット4)を選択。 (4)UARTx(x=1,2)モードレジスタ(0030 <sub>16</sub> ,0038 <sub>16</sub> 番地)の設定。 (5)CTS選択ビット(UARTx制御レジスタのビット5)の設定。 (6)送信許可ビット(UARTx制御レジスタのビット0)に“1”を設定。 送信中にUARTx(x=1,2)ボーレートジェネレータの値を変更する場合は必ず送信を禁止にしてから変更してください。再び送信を許可にする場合、UARTx(x=1,2)送受信バッファレジスタ1,2に値がはいっていると、不定なデータが出力される場合があります。ご注意ください。
1-27ページ(本文に追加) 2-74(図2.4.19に反映) UART受信セットアップ方法の追加及び修正		受信時は以下の手順でセットアップしてください。 (1)UARTx(x=1,2)ボーレートジェネレータ(0031 <sub>16</sub> ,0039 <sub>16</sub> 番地)へ値を設定(n=0~255)。 (2)受信初期化ビット(UARTx制御レジスタのビット3)を“1”に設定。 (3)UARTx(x=1,2)モードレジスタ(0030 <sub>16</sub> ,0038 <sub>16</sub> 番地)の設定。 (4)RTS選択ビット(UARTx制御レジスタのビット6)の設定。 (5)受信許可ビット(UARTx制御レジスタのビット1)に“1”を設定。
1-30ページ UARTx(x=1,2)ステータスレジスタの注意事項を追加		次のデータを受信するまでに必ずUARTx(x=1,2)ステータスレジスタを読み出してください。
1-34ページ DMAC MBI IN FIFO転送の注意事項を追加		マスタCPUバスインタフェース入力バッファにコマンドが入力された場合(A0=“1”)、DMA転送は停止します。
1-40ページ(本文に追加) 2-146(図2.6.37に反映) レジューム割り込み時のセットアップ方法の追加と修正	・・・ 各レジスタの設定については、[プログラミング上の注意事項 周波数シンセサイザに関するもの]を参照してください。 ・・・	USBレジューム割り込み処理中で以下の設定を行ってください。 (1) USBラインドライバ駆動能力ビットを“0”にする。 (2) 周波数シンセサイザ許可ビットを“1”にする。 2msウエイトする。 (3) 周波数シンセサイザロック状態ビットをチェックしてください。“0”の場合、0.1msウエイト後に再チェックが必要です。 (4) USBクロックを許可にする。

訂正箇所	誤	正
1-44ページ 図39 ビット5の読み出し/書き込み値の修正	予約ビット(読み出し/書き込み“0”)	予約ビット(読み出し/書き込み“1”)
1-56ページ,2-179 SCSG1タイマに“0”設定時の記述を追加	SCSG1カウント停止ビット(SCSGM1)が“1”のとき、SCSG1タイマはカウントを停止します。	SCSG1カウント停止ビット(SCSGM1)が“1”のとき、 <u>又はSCSG1タイマに“0”を設定した場合</u> 、SCSG1タイマはカウントを停止します。
1-60ページ リセットの本文を修正	…RESET端子を2 $\mu$ s以上“L”レベルに保つとリセット状態になり、… …タイマ1がアンダフローするまで内部クロックは“H”を保ち…	…RESET端子を <u>の20サイクル以上</u> “L”レベルに保つとリセット状態になり、… … <u>タイマ2</u> がアンダフローするまで内部クロックは“H”を保ち…
1-60ページ 図57 修正 アドレス FFFC FFFA アドレス FFFD FFFB 10.5~18.5 512サイクル		
1-65ページ 図63 周波数シンセサイザ制御レジスタの略称を修正	FCS	FSC
1-69ページ 図70 2-186ページ 図2.10.7 ホールド機能タイミングを修正(td(-HLDAL))		
1-71ページ 周波数シンセサイザに関する注意事項を追加		<ul style="list-style-type: none"> <li>周波数シンセサイザ使用時の入力クロックf(XIN)(f(XCIN))は、出来るだけ速いクロックをご使用下さい。これはPLLの特性で、「源クロックを基として、<u>逡倍されたクロックの速度をコントロールしている</u>ので、源クロックが遅い(逡倍率が高い)と速度のコントロールが荒く(PLLの“揺れ”が大きく)、源クロックが早い(逡倍率が低い)と速度のコントロールが細かく行われて安定するからです。</li> </ul>
1-72ページ ストップモードに関する注意事項を追加		<ul style="list-style-type: none"> <li>STP命令を実行すると、クロック制御レジスタ(001F<sub>16</sub>番地)のビット7(CCR7)が“0”になります。ストップモードからの復帰時にCCR7を再設定してください。</li> <li>STP命令実行時、タイマ123モードレジスタ(0029<sub>16</sub>番地)はビット4を除き“0”に初期化されます。STP命令実行前にT123M1(タイマ1停止ビット)を“0”にする必要はありません。ストップモードから復帰後、タイマ1(0024<sub>16</sub>番地)、タイマ2(0025<sub>16</sub>番地)及びタイマ123モードレジスタを再設定してください。</li> </ul>
1-73ページ 発振器に関する注意事項を修正	・XIN端子とXOUT端子間に帰還抵抗(1M )とダンピング抵抗(300 )を内蔵しています。	・XIN端子とXOUT端子間に帰還抵抗(400 )を内蔵しています。
1-73ページ 電源端子に関する注意事項を追加		<p>Vcc端子(74-pin)とVss端子(73-pin),Vcc端子(16-pin)とVss端子(13-pin)との間、およびAVss端子とAVcc端子の間に0.1<math>\mu</math>Fと4.7<math>\mu</math>Fのコンデンサを平行に接続してください。</p> <p>…</p> <p>但し、バイパスコンデンサはLPF端子の付近には配置しないでください。ノイズの原因になります。</p>

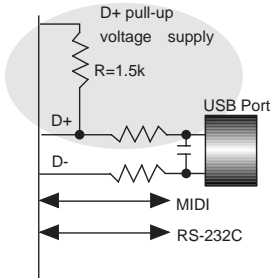
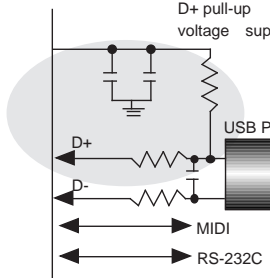


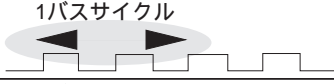
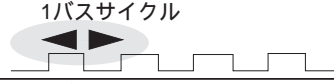
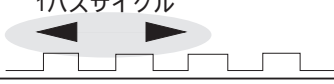



# 7640グループユーザズマニュアル正誤表(REV.A)

NO.7600-01-0006

訂正箇所	誤	正						
1-73ページ USBトランシーバに関する注意事項に追加		また、USB D+/D-ラインには他の信号を交差しないよう配置してください。GND面を拡大し、USBラインを保護してください。USBコネクタについては、USB規格を満足した製品を使用してください						
1-74ページ マスク化発注時の提出資料の修正	・ROMデータ・・・EPROM 3セット	・ROMのデータ・・・EPROM,または、フロッピーディスク * EPROMの場合は同一のデータのを3組準備してください。 * フロッピーディスクの場合は3.5インチ2HD(IBMフォーマット)で1枚準備してください。						
2-9ページ 表2.1.1 未使用端子の処理 Ext. Cap端子の処理修正	・Vcc接続又は開放にしてください。	・Vccに接続(DC-DCコンバータ禁止)(注1) 注1.USB不使用時の処理です。 内蔵DC-DCコンバータを使用しない場合は、VSSへ接続してください。この場合、Ext.Cap端子とVSS間へ0.1μFと2.2μFのコンデンサを平行に接続してください。						
2-27～29ページ (タイマ応用例3) 図2.2.19へ反映 図2.2.20へ反映 図2.2.21へ反映 タイマ1で生成可能な のでは1msなので タイマ2割り込みを使用 に変更	仕様 … ・1ms(タイマ1割り込み間隔)ごとにタイマYの カウント値を読み出し。… 図2.2.20 T123モードレジスタ(29 <sub>16</sub> 番地) ビット3 X(不定) 図2.2.20 図2.2.20 割り込み制御レジスタB(06 <sub>16</sub> 番地) ビット6 1(許可) ビット7 X(不定) 図2.2.21 初期設定 … T123M(29 <sub>16</sub> 番地) 1XXXX01X2 TYM(28 <sub>16</sub> 番地) 1010XX002 T1(24 <sub>16</sub> 番地) 74 … 図2.2.1中の"タイマ1割り込み"の文字	仕様 … ・1ms(タイマ2割り込み間隔)ごとにタイマYの カウント値を読み出し。… 図2.2.20 T123モードレジスタ(29 <sub>16</sub> 番地) ビット3 0(タイマ2カウントソース:タイマ1出力) タイマ2(25 <sub>16</sub> 番地) T2 <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td style="text-align: center;">b7</td><td style="width: 40px;"></td><td style="text-align: center;">b0</td></tr><tr><td style="text-align: center;">0</td><td style="text-align: center;">09<sub>16</sub></td><td style="text-align: center;">0</td></tr></table> (分周比-1)09(09 <sub>16</sub> )を設定 割り込み制御レジスタB(06 <sub>16</sub> 番地) ビット6 0(禁止) ビット7 1(許可) 初期設定 … T123M(29 <sub>16</sub> 番地) 0XXX001X2 TYM(28 <sub>16</sub> 番地) 1010XX002 T1(24 <sub>16</sub> 番地) 74 T2(25 <sub>16</sub> 番地) 9 … "タイマ2割り込み"	b7		b0	0	09 <sub>16</sub>	0
b7		b0						
0	09 <sub>16</sub>	0						
2-64,65ページ 表2.4.1,2.4.2 内部クロック値を追加		( =12MHz)						
2-79ページ UART注意事項 レジスタの設定の 2項目目へ追加	… この場合、ビットテスト命令(BBS,BBC等)では "0" になりません。	… この場合、ビットテスト命令(BBS,BBC等)でも "0" にクリアされます。						
2-82ページ 図2.5.2 ビット1のWを修正	—	x						
2-83ページ DMAチャネルx(x=0,1) 書き込み制御ビット修正	… このビットが"1" のとき…	… このビットが"0" のとき、…						
2-83ページ DMACコントロールレジスタの 許可後チャネルx(x=0,1)禁止 ビットの修正	… DMACチャネルx(x=0,1)許可ビット(DMAxM2, bit6) …	… DMACチャネルx(x=0,1)許可ビット(DMAxM2, bit7) …						
2-101ページ USBライブラリ供給選 択ビットの説明を追加	… "0" のときは、Ext.Cap端子に3.3Vを供給して ください。	… "0" のときは、DC-DCコンバータは禁止にな ります。Ext.Cap端子に3.3Vを供給してください。						
2-103ページ USBサスペンド検出フ ラグ 本文	D+/D-ライン上に3ms間、バスアクティビティが検出 されない場合、"1" になります。USBレジューム検 出フラグが"1" にセットされた場合、このビットは "0" にクリアされ、USBサスペンド割り込みが発生 します。ます。USBリモートウェイクアップビット を"1" にした場合は、"0" にクリアしてくださ い。	D+/D-ライン上に3ms間、バスアクティビティが検出 されない場合、"1" になりUSBサスペンド割り込みが 発生します。このビットは、USBレジューム検出フラ グが"1" にセットされた場合、"0" にクリアされま す。USBリモートウェイクアップビットを"1" にした 場合は、USBリモートウェイクアップビットを"0" にク リアすると同時に"0" にクリアされます。						

# 7640グループユーザズマニュアル正誤表(REV.A)

NO.7600-01-0006

訂正箇所	誤	正
2-103ページ 図2.6.4 注2に反映 USBレジューム検出フ ラグ説明 一部分削除	… ウエイクアップシーケンス後、このビットをクリアし てください。…	注2を削除
2-103ページ 図2.6.4 ビット1 W修正		x
2-111ページ FLUSHビットの説明文 に追加		USB転送中にこのビットを“1”にすると送信デー タが破壊される可能性があります。アイソクロナス転送 時は、AUTO_FLUSHビット(58 <sub>16</sub> 番地のビット6)を使 用してください。
2-113ページ FLUSHビットに追加		転送中にこのビットを“1”にすると受信データが破 壊される可能性があります。OUT_PKT_RDYビット が“1”のときこのビットを“1”にしてください。
2-123ページ 受信に関する注意事項 OUT_PKT_RDYを追加		OUT_PKT_RDYフラグはOUT FIFOから1パケットデ ータを読み出した後に“0”にクリアしてください。 1パケットデータを読み出す途中でOUT_PKT_RDYフ ラグをクリアすると内部read pointerの誤動作の原因 になります。
2-155ページ 図2.6.46,2.6.47 Ext.CapとD+の接続位置 の修正		
2-167ページ 周波数シンセサイザの 注意事項を追加		<p>周波数除算レジスタ(006F<sub>16</sub>番地)の設置値はf<sub>USB</sub>に 影響を与えません。</p> <p>内部システムクロックとしてf<sub>SYN</sub>を使用する場 合、f<sub>SYN</sub>が24MHz以下になるように周波数除算レジ スタに値を設定してください。</p> <p>周波数シンセサイザへの入力クロックは4MHz以上 を使用してください。</p>
2-171ページ 機能説明本文修正	ホストCPUからデータバスバッファレジスタx(x=0,1) へデータが書き込まれた時、A0端子が“H”であ ればデータバスバッファレジスタx(x=0,1)の内容はデー タ、“L”であればコマンドであると判断します。	ホストCPUからデータバスバッファレジスタx(x=0,1) へデータが書き込まれた時、A0端子が“L”であ ればデータバスバッファレジスタx(x=0,1)の内容はデー タ、“H”であればコマンドであると判断します。
2-172ページ 割り込み名称を変更	アウトプットバッファフル割り込み	アウトプットバッファEMPTY割り込み
2-183ページ 図2.10.4 《ウエイトなし》 1H <sub>16</sub> サイクルの長さ修正	OUT 	OUT 
2-184ページ 図2.10.5 《ウエイトなし》 1H <sub>16</sub> サイクルの長さ修正	OUT 	OUT 
2-185ページ 図2.10.6 《ウエイトなし》 1H <sub>16</sub> サイクルの長さ修正	OUT 	OUT 
2-185ページ 図2.10.6 《ウエイトあり》 1H <sub>16</sub> サイクルの長さ修正	OUT 	OUT 

訂正箇所	誤	正																																										
2-193ページ RDY機能の注意事項に追加		しかし、RDY端子を“L”固定で使用するなどタイミングがあう場合は、 $f_{RDY}$ =12MHzでもRDY信号は使用可能です。このとき、常にスローメモリウェイトが働くことになり																																										
2-207ページ 図2.12.13 T123M ビット2を修正	タイマ1カウントソース： /18	タイマ1カウントソース： /8																																										
3-3ページ 表3.1.2 $f(XIN)$ 最小値を追加		4																																										
3-4ページ 注7を追加	$f(XIN)$ メインクロック入力周波数(注4) $f(XCIN)$ サブクロック入力周波数(注4,6)	$f(XIN)$ メインクロック入力周波数(注4,5,7) $f(XCIN)$ サブクロック入力周波数(注4,6,7)  注1. . . . 7. 周波数シンセサイザ使用時は、 $f(XIN)$ (又は $f(XCIN)$ )の最小値が4 MHzで使用してください。またUSB機能使用時は、内部クロックが6 MHz以上になるような外部クロックを入力してください。																																										
3-9ページ 表3.1.8 修正	<table border="1"> <thead> <tr> <th>記号</th> <th>項目</th> <th>...</th> </tr> </thead> <tbody> <tr> <td>...</td> <td>...</td> <td>...</td> </tr> <tr> <td>...</td> <td>...</td> <td>...</td> </tr> <tr> <td>...</td> <td>...</td> <td>...</td> </tr> <tr> <td>td( -HLDA)</td> <td>HLDA遅延時間</td> <td>...</td> </tr> <tr> <td>tv( -HLDA)</td> <td>HLDA有効時間</td> <td>...</td> </tr> <tr> <td>...</td> <td>...</td> <td>...</td> </tr> </tbody> </table>	記号	項目	...	...	...	...	...	...	...	...	...	...	td( -HLDA)	HLDA遅延時間	...	tv( -HLDA)	HLDA有効時間	...	...	...	...	<table border="1"> <thead> <tr> <th>記号</th> <th>項目</th> <th>...</th> </tr> </thead> <tbody> <tr> <td>...</td> <td>...</td> <td>...</td> </tr> <tr> <td>...</td> <td>...</td> <td>...</td> </tr> <tr> <td>...</td> <td>...</td> <td>...</td> </tr> <tr> <td>td( -HLDA)</td> <td>HLDA“L”遅延時間</td> <td>...</td> </tr> <tr> <td>td( -HLDAH)</td> <td>HLDA“H”遅延時間</td> <td>...</td> </tr> <tr> <td>...</td> <td>...</td> <td>...</td> </tr> </tbody> </table>	記号	項目	...	...	...	...	...	...	...	...	...	...	td( -HLDA)	HLDA“L”遅延時間	...	td( -HLDAH)	HLDA“H”遅延時間	...	...	...	...
記号	項目	...																																										
...	...	...																																										
...	...	...																																										
...	...	...																																										
td( -HLDA)	HLDA遅延時間	...																																										
tv( -HLDA)	HLDA有効時間	...																																										
...	...	...																																										
記号	項目	...																																										
...	...	...																																										
...	...	...																																										
...	...	...																																										
td( -HLDA)	HLDA“L”遅延時間	...																																										
td( -HLDAH)	HLDA“H”遅延時間	...																																										
...	...	...																																										
3-15ページ 図3.1.8 修正																																												
3-24ページ 外付け回路に追加		・USB D+/D-ラインには他の信号を交差しないよう配置してください。GND面を拡大し、USBラインを保護してください。USBコネクタについては、USB規格を満足した製品を使用してください。																																										
3-28ページ STP命令へ追加		・ストップモード時、クロック制御レジスタ(001F <sub>16</sub> 番地)のビット7は“0”になります。システムクロックとして $f(XIN)$ として使用する場合は、ストップモードからの復帰時に再設定してください。 ・STP命令を実行する場合は、必ずCPUモードレジスタA(0000 <sub>16</sub> 番地)のビット6を“0”にしてください。内部システムクロックとして $f_{SYN}$ を使用する場合は、周波数シンセサイザ安定後、CPUモードレジスタのビット6に“1”を設定してください。																																										
3-30ページ プロセッサステータスの参照方法へ追加		・PLP命令実行前に必ずSEI命令を実行してください。CLI命令を実行する場合はNOP命令実行後に行ってください。																																										
3-35ページ ノイズに関する注意事項[3.4.2]へ追加		・...7640グループでは、V <sub>SS</sub> -V <sub>CC</sub> 端子間(73ピンと74ピン、13ピンと16ピン)、AV <sub>CC</sub> -AV <sub>SS</sub> 端子間(17ピンと19ピン)に0.1 $\mu$ sと4.7 $\mu$ sのコンデンサを接続することを推奨しています(ただし、コンデンサはLPF端子の付近には配置しないでください)。																																										