

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

MESC TECHNICAL NEWS

No.M740-80-9712

『7480/7481グループユーザーズマニュアル』追加情報 (Rev.B)

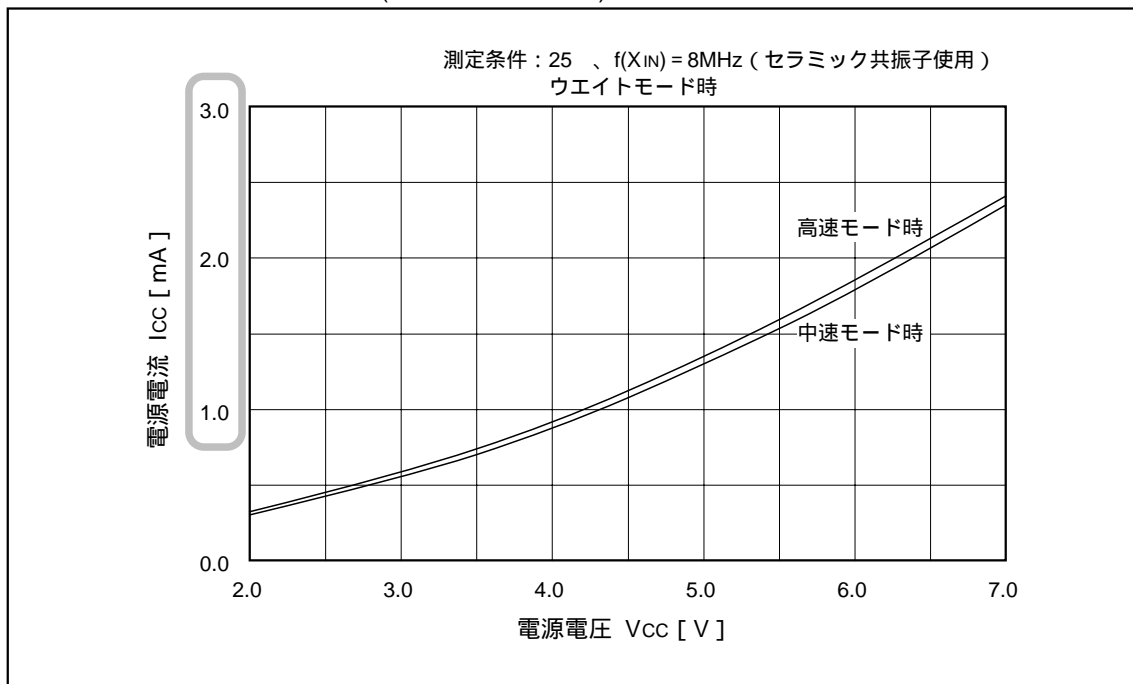
1996年10月に発行されました「7480/7481グループユーザーズマニュアル」(印刷番号：HU-069A)に、一部内容の追加及び修正がありましたのでお知らせいたします。本マニュアルをご使用の際は、留意のほどよろしくお願いいたします。

添付資料：7480/7481グループユーザーズマニュアル正誤表 (Rev.B)3枚

ページ	訂正箇所	誤	正																								
1-13	図1.6.2	入力ポートP5	入出力ポートP5																								
1-14	図1.6.3																										
1-19	項番号	1.7.5 プロセッサステータスレジスタ(PS)	1.7.6 プロセッサステータスレジスタ(PS)																								
1-41	表1.10.1	<table border="1"> <thead> <tr> <th>ポート名</th> <th>開放</th> <th>抵抗を...</th> </tr> </thead> <tbody> <tr> <td>...</td> <td>...</td> <td>...</td> </tr> <tr> <td>P2</td> <td>(注5)</td> <td></td> </tr> <tr> <td>P3</td> <td>x</td> <td></td> </tr> </tbody> </table>	ポート名	開放	抵抗を...	P2	(注5)		P3	x		<table border="1"> <thead> <tr> <th>ポート名</th> <th>開放</th> <th>抵抗を...</th> </tr> </thead> <tbody> <tr> <td>...</td> <td>...</td> <td>...</td> </tr> <tr> <td>P2(注8)</td> <td>(注5)</td> <td></td> </tr> <tr> <td>P3</td> <td>x</td> <td></td> </tr> </tbody> </table>	ポート名	開放	抵抗を...	P2(注8)	(注5)		P3	x	
ポート名	開放	抵抗を...																									
...																									
P2	(注5)																										
P3	x																										
ポート名	開放	抵抗を...																									
...																									
P2(注8)	(注5)																										
P3	x																										
		注8. ポートP4 ₂ , P4 ₃ 及びポートP5は7480グループにはありません。	注8. ポートP2 ₄ ~P2 ₇ , P4 ₂ , P4 ₃ 及びポートP5は7480グループにはありません。																								
1-54	図1.11.8 割り込み要求受付時の動作「割り込み処理ルーチ実行直前」「スタック領域」																										
1-111	図1.13.7																										
1-119	1.14 シリアルI/O本文6行目	・・・、バスアービトラージ割り込みが発生し、衝突を検出できます。	・・・、バスアービトラージ割り込み <u>要求</u> が発生し、衝突を検出できます。																								
1-124	(4)UART制御レジスタ本文1~2行目	このレジスタは、クロック非同期形シリアルI/O(UART)におけるデータ伝送フォーマット及びTx/D端子の出力形態の制御を行うレジスタです。	このレジスタは、クロック非同期形シリアルI/O(UART)における <u>データ伝送フォーマットの制御</u> を行うレジスタです。																								
1-127	1.14.2 クロック同期形シリアルI/O同期クロックの注意事項	送信シフトレジスタ及び受信バッファレジスタのシフト動作は、・・・	送信シフトレジスタ及び受信シフトレジスタのシフト動作は、・・・																								
1-128	SRDY信号の出力本文1行目 本文3行目	クロック同期形シリアルI/OではシリアルI/O制御ビットのSRDY出力許可ビットが・・・ ・・・SRDY信号により、シリアルI/O転送準備の完了を外部に知らせることができます。・・・	クロック同期形シリアルI/OではシリアルI/O制御 <u>ビット</u> のSRDY出力許可ビットが・・・ ・・・SRDY信号により、シリアルI/O通信準備の完了を外部に知らせることができます。・・・																								
1-131	図1.14.10 クロック同期形シリアルI/Oの送信タイミング	SRDY端子	SRDY端子																								
1-132	受信動作の注意事項	注・・・この場合の処理は、「(6)クロック同期形シリアルI/Oの使用上の注意事項」の・・・	注・・・この場合の処理は、「(5)クロック同期形シリアルI/Oの使用上の注意事項」の・・・																								
1-133	図1.14.12 クロック同期形シリアルI/Oの受信タイミング	SRDY端子	SRDY端子																								
1-139	同期クロック本文5行目	BRG出力は、「1.14.1 関連レジスタ」の「(2)レジスタ構成」の「ポーレートジェネレータ」を参照してください。	BRG出力は、「1.14.1 関連レジスタ」の「(5)ポーレートジェネレータ」を参照してください。																								
1-142	表1.14.4 パリティビットの機能	・・・パリティビットを含めた送受信データ中の"1"の個数が常に偶数、又は奇数になるように変化します。	・・・パリティビットを含めた <u>送信データ</u> 中の"1"の個数が常に偶数、又は奇数になるように変化します。																								
1-146	受信動作 (2)	・・・受信シフトレジスタへ格納されます。・・・	・・・受信シフトレジスタのMSBへ格納されます。・・・																								
	受信動作の注意事項	注・・・この場合の処理は、「(6)UARTの使用上の注意事項」の・・・	注・・・この場合の処理は、「(5)UARTの使用上の注意事項」の・・・																								

ページ	訂正箇所	誤	正
1-162	図1.15.6	<p>手順2 A-D制御レジスタの設定</p> <p>手順5 A-D変換の開始(注2)</p>	<p>手順2 A-D制御レジスタの設定</p> <p>手順5 A-D変換の開始(注2)</p>
1-164	図1.15.7	P2i/INi端子(i=0~7)(注1)	P2i/INi端子(i=0~7)(注1)
1-177	(2)ストップモード時の発振動作	<p>リセット又は外部割り込み要求の受付(注1)によりf(XIN)及び内部クロックの発振が開始されますが、内部クロックはタイマ1がアンダフローするまでCPUに供給されません。……</p>	<p>リセット又は外部割り込み要求の受付(注1)によりCPUがストップモードから復帰します。このときf(XIN)及び内部クロックの発振が開始されますが、内部クロックはタイマ1がアンダフローするまでCPUに供給されません。……</p>
1-178	1.18.4 発振安定時間 本文1行目	セラミック発振子又は水晶発振子を使用した発振回路では、……	セラミック共振子を使用した発振回路では、……
1-186	ウェイトモード時の状態 本文8行目	以下にリセット入力及び割り込み要求の受付によるストップモード解除時の動作をそれぞれ説明します。	以下にリセット入力及び割り込み要求の受付によるウェイトモード解除時の動作をそれぞれ説明します。
1-187	(2)ウェイトモードへの遷移方法 本文7行目	……については、「1.19.3 STP命令及びWIT命令有効・無効の設定方法」を参照してください。	……については、「1.19.4 STP命令及びWIT命令有効・無効の設定方法」を参照してください。
1-196	表1.20.5 P40~P43の通常モード時の機能	P40、P41端子はそれぞれタイマ入力端子CNTR0、CNTR1と兼用です。	P40、P41端子はそれぞれタイマ入出力端子CNTR0、CNTR1と兼用です。
1-200	本文4行目	上面ソケットからは、16本のアドレスバス、 <u>双方向のデータバス</u> 、……	上面ソケットからは、16本のアドレスバス、 <u>8本の双方向のデータバス</u> 、……
1-214	図1.22.5	3/3頁参照。	
2-24	仕様 に追加	LAN通信フォーマット：簡易SAE J1850(PWM方式)	LAN通信フォーマット：簡易SAE*J1850(PWM方式) *SAE：Society of Automotive Engineers
2-28	図2.3.14		

1-214頁「図1.22.5 Vcc-Icc特性(ウェイトモード時)」



 : 訂正箇所