

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

MSC TECHNICAL NEWS

No.M720-63-9707

4 2 5 0 グループ追加情報 (Rev. B)

下記ユーザズマニュアル及びデータブックにおいて、4 2 5 0 グループの記述に一部訂正がありましたのでお知らせいたします。本マニュアル及びデータブックをご使用の際は、留意のほどよろしくお願いいたします。

- ・ユーザズマニュアル

- 『4250 グループ』 (印刷番号 : HU-063A)

- 『4250 Group』 (印刷番号 : H-EF489-A)

- ・データブック

- 『'97三菱半導体データブック<4ビットシングルチップマイクロコンピュータ編>』

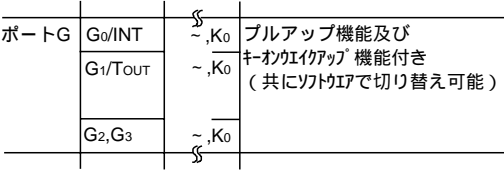
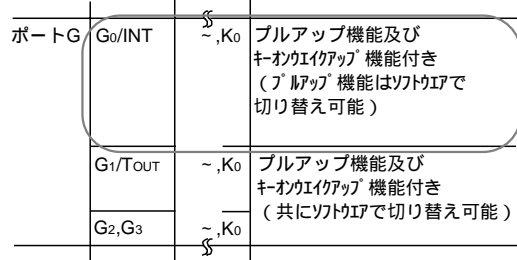
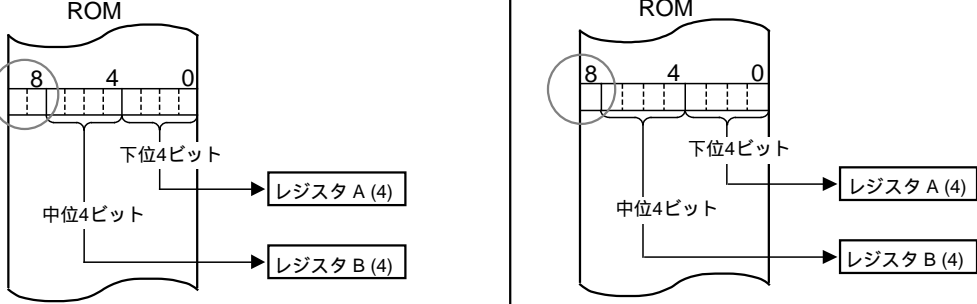
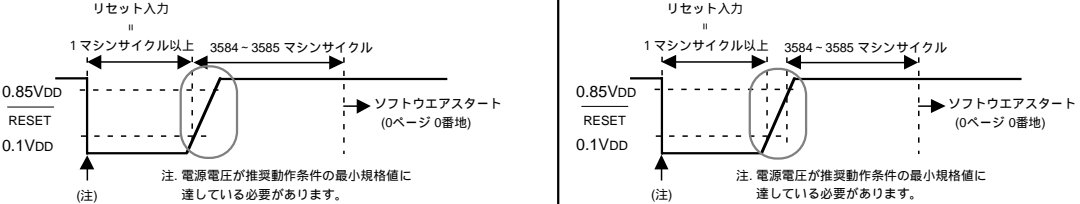
- (印刷番号 : HD-166A)

- 『1997 Mitsubishi Single-chip 4-bit Microcomputers』 (印刷番号 : H-DF463-A)

添付 : 4250グループ追加情報一覧表 (Rev.B) 1 1 枚

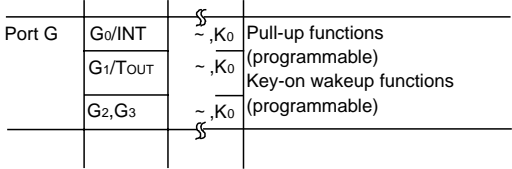
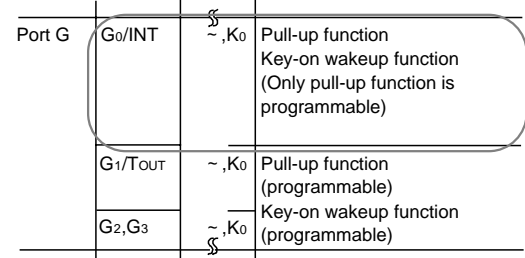
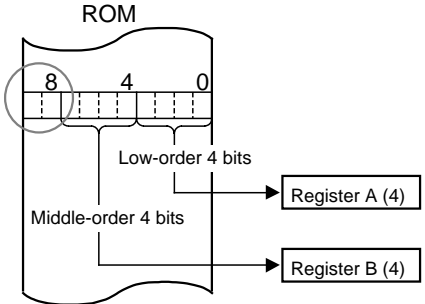
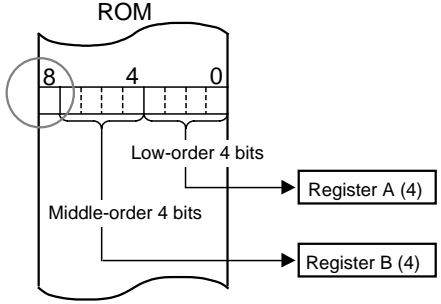
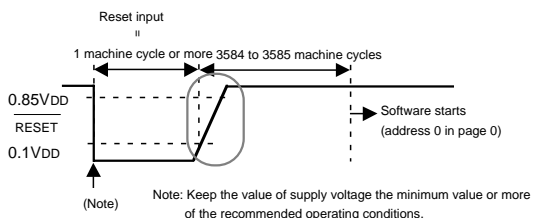
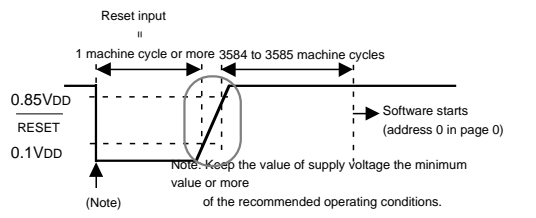
4250グループ追加情報一覧表 (REV. B)

(1) 『4250 グループ』和文ユーザーズマニュアル (印刷番号 : HU-063A)

訂正箇所	誤	正												
1-8ページ ポート機能 一覧	 <p>ポートG</p> <table border="1"> <tr> <td>G0/INT</td> <td>\$ ~ ,Ko</td> </tr> <tr> <td>G1/TOUT</td> <td>~ ,Ko</td> </tr> <tr> <td>G2,G3</td> <td>\$ ~ ,Ko</td> </tr> </table> <p>ブルアップ機能及び キ-オウエイアップ 機能付き (共にソフトウェアで切り替え可能)</p>	G0/INT	\$ ~ ,Ko	G1/TOUT	~ ,Ko	G2,G3	\$ ~ ,Ko	 <p>ポートG</p> <table border="1"> <tr> <td>G0/INT</td> <td>\$ ~ ,Ko</td> </tr> <tr> <td>G1/TOUT</td> <td>~ ,Ko</td> </tr> <tr> <td>G2,G3</td> <td>\$ ~ ,Ko</td> </tr> </table> <p>ブルアップ機能及び キ-オウエイアップ 機能付き (ブルアップ 機能はソフトウェアで 切り替え可能)</p> <p>ブルアップ機能及び キ-オウエイアップ 機能付き (共にソフトウェアで切り替え可能)</p>	G0/INT	\$ ~ ,Ko	G1/TOUT	~ ,Ko	G2,G3	\$ ~ ,Ko
G0/INT	\$ ~ ,Ko													
G1/TOUT	~ ,Ko													
G2,G3	\$ ~ ,Ko													
G0/INT	\$ ~ ,Ko													
G1/TOUT	~ ,Ko													
G2,G3	\$ ~ ,Ko													
1-9ページ 使用しない 端子の処理	5 / 1 1 ページ参照。													
1-14ページ 機能ブロック 動作説明 図BA-4	 <p>ROM</p> <p>8 4 0</p> <p>下位4ビット</p> <p>中位4ビット</p> <p>レジスタ A (4)</p> <p>レジスタ B (4)</p>													
1-28ページ 図VB-2	 <p>リセット入力</p> <p>1 マシンサイクル以上 3584 - 3585 マシンサイクル</p> <p>0.85VDD</p> <p>RESET</p> <p>0.1VDD</p> <p>ソフトウェアスタート (0ページ 0番地)</p> <p>注. 電源電圧が推奨動作条件の最小規格値に達している必要があります。</p>													
1-36ページ (4) 使用しない 端子の処理	6 / 1 1 ページ参照。													
2-14ページ 表2.1.3 使用 しない端子 の処理方法	7 / 1 1 ページ参照。													
3-3ページ 電气的特性	8 / 1 1 ページ参照。													
3-9ページ (4) 使用しない 端子の処理	6 / 1 1 ページ参照。													

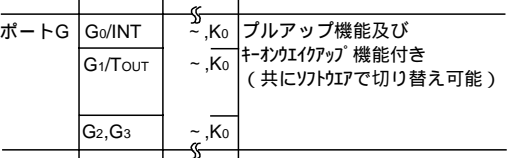
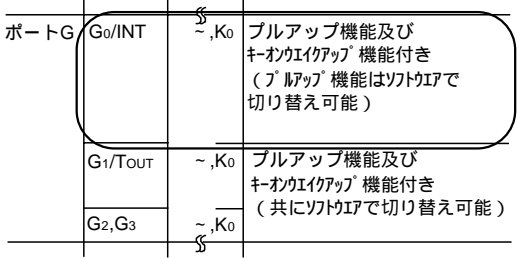
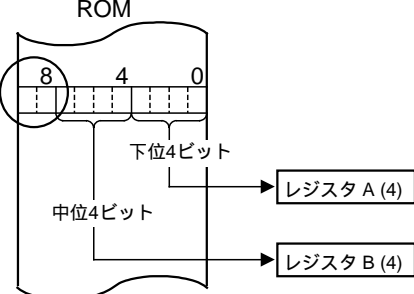
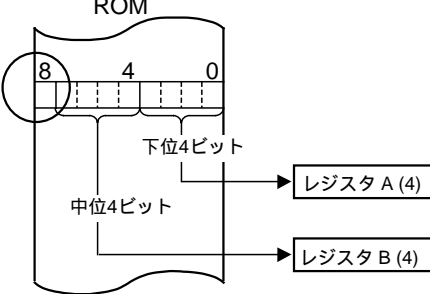
4250グループ追加情報一覧表 (REV. B)

(2) 『4250 Group』 英文ユーザーズマニュアル (印刷番号 : H-EF489-A)

訂正箇所	誤	正															
1-7ペ - ジ CONNECTIONS OF UNUSED PINS	9 / 1 1 ページ参照。																
1-8ペ - ジ PORT FUNCTION	 <p>Port G</p> <table border="1" data-bbox="352 439 786 607"> <tr> <td>G0/INT</td> <td>~ ,K₀</td> <td rowspan="3">Pull-up functions (programmable) Key-on wakeup functions (programmable)</td> </tr> <tr> <td>G1/TOUT</td> <td>~ ,K₀</td> </tr> <tr> <td>G2,G3</td> <td>~ ,K₀</td> </tr> </table>	G0/INT	~ ,K ₀	Pull-up functions (programmable) Key-on wakeup functions (programmable)	G1/TOUT	~ ,K ₀	G2,G3	~ ,K ₀	 <p>Port G</p> <table border="1" data-bbox="927 439 1374 696"> <tr> <td>G0/INT</td> <td>~ ,K₀</td> <td rowspan="2">Pull-up function Key-on wakeup function (Only pull-up function is programmable)</td> </tr> <tr> <td>G1/TOUT</td> <td>~ ,K₀</td> </tr> <tr> <td>G2,G3</td> <td>~ ,K₀</td> <td>Pull-up function (programmable) Key-on wakeup function (programmable)</td> </tr> </table>	G0/INT	~ ,K ₀	Pull-up function Key-on wakeup function (Only pull-up function is programmable)	G1/TOUT	~ ,K ₀	G2,G3	~ ,K ₀	Pull-up function (programmable) Key-on wakeup function (programmable)
G0/INT	~ ,K ₀	Pull-up functions (programmable) Key-on wakeup functions (programmable)															
G1/TOUT	~ ,K ₀																
G2,G3	~ ,K ₀																
G0/INT	~ ,K ₀	Pull-up function Key-on wakeup function (Only pull-up function is programmable)															
G1/TOUT	~ ,K ₀																
G2,G3	~ ,K ₀	Pull-up function (programmable) Key-on wakeup function (programmable)															
1-13ペ - ジ FUNCTIONAL BLOCK OPERATIONS Fig.4	 <p>ROM</p> <p>8 4 0</p> <p>Low-order 4 bits → Register A (4)</p> <p>Middle-order 4 bits → Register B (4)</p>	 <p>ROM</p> <p>8 4 0</p> <p>Low-order 4 bits → Register A (4)</p> <p>Middle-order 4 bits → Register B (4)</p>															
1-26ペ - ジ RESET FUNCTION Fig.21	 <p>Reset input</p> <p>1 machine cycle or more 3584 to 3585 machine cycles</p> <p>0.85V_{DD}</p> <p>RESET</p> <p>0.1V_{DD}</p> <p>Software starts (address 0 in page 0)</p> <p>(Note) Note: Keep the value of supply voltage the minimum value or more of the recommended operating conditions.</p>	 <p>Reset input</p> <p>1 machine cycle or more 3584 to 3585 machine cycles</p> <p>0.85V_{DD}</p> <p>RESET</p> <p>0.1V_{DD}</p> <p>Software starts (address 0 in page 0)</p> <p>(Note) Note: Keep the value of supply voltage the minimum value or more of the recommended operating conditions.</p>															
1-32ペ - ジ Notes on unused pins	1 0 / 1 1 ページ参照。																
2-14ペ - ジ Table 2.1.3 Connections of unused pins	1 1 / 1 1 ページ参照。																
3-9ペ - ジ Notes on unused pins	1 0 / 1 1 ページ参照。																

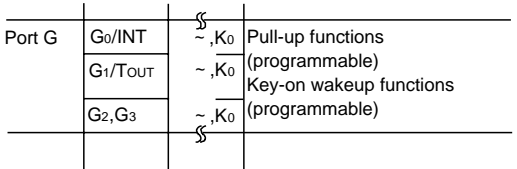
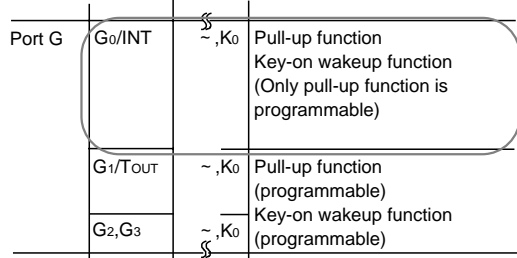
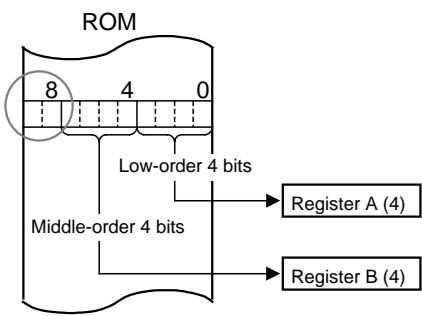
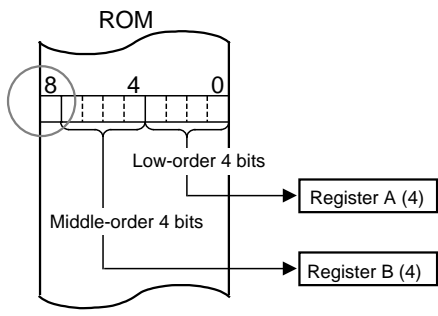
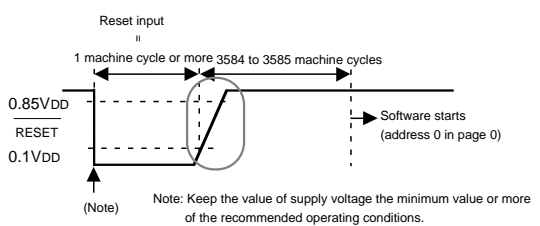
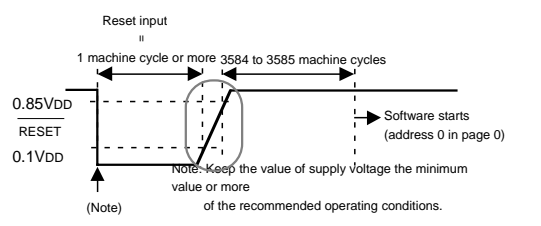
4250グループ追加情報一覧表 (REV. B)

(3) 『'97三菱半導体データブック<4ビットシングルチップマイクロコンピュータ編>』
(印刷番号 : HD-166A)

訂正箇所	誤	正
<p>3-8ペ - ジ ポート機能 一覧</p>		
<p>3-9ペ - ジ 使用しない 端子の処理</p>	<p>5 / 1 1 ページ参照。</p>	
<p>3-14ペ - ジ 機能ブロック 動作説明 図BA-4</p>		
<p>3-36ペ - ジ (4) 使用しない 端子の処理</p>	<p>6 / 1 1 ページ参照。</p>	

4250グループ追加情報一覧表 (REV. B)

(4) 『1997 Mitsubishi Single-chip 4-bit Microcomputers』 英文データブック (印刷番号 : H-DF463-A)

訂正箇所	誤	正
2-7ページ CONNECTIONS OF UNUSED PINS	9 / 1 1 ページ参照。	
2-8ページ PORT FUNCTION		
2-13ページ FUNCTIONAL BLOCK OPERATIONS Fig.4		
2-26ページ RESET FUNCTION Fig.21		
2-32ページ Notes on unused pins	1 0 / 1 1 ページ参照。	

4250グループ追加情報一覧表 (REV.B)

使用しない端子の処理 (訂正)

使用しない端子の処理

端子名	処理方法
F ₀ , F ₁	V _{SS} 端子に接続
G ₀ /INT, G ₁ /TOUT G ₂ , G ₃	開放又はV _{SS} 端子に接続 (注1)
S ₀ ~S ₃	V _{SS} 端子に接続、 (注2)
D ₀ , D ₁	V _{SS} 端子に接続
D ₂ /C, D ₃ /K	開放又はV _{SS} 端子に接続 (注3)

- 注1. G₁/TOUT端子、ポートG₂, G₃をV_{SS}端子に接続する場合はソフトウェアでプルアップトランジスタをOFFし (プルアップ制御レジスタPU0 = "X02")、かつG₁/TOUT端子、ポートG₂, G₃のキーオンウエイクアップ機能を無効にしてください (キーオンウエイクアップ制御レジスタK0 = "XX0X2").
キーオンウエイクアップ機能を無効にせず、V_{SS}端子に接続した状態でPOF命令を実行すると、一度RAMバックアップ状態に移移しますが、復帰条件であると認識してすぐに復帰します。
また、G₀/INT端子、G₁/TOUT端子、ポートG₂, G₃を開放する場合はソフトウェアでプルアップトランジスタをON (レジスタPU0 = "X12") に設定してください。
2. ポートS₀~S₃をV_{SS}端子に接続する場合は、ソフトウェアでキーオンウエイクアップ機能を無効にしてください (レジスタK0 = "XXX02").
キーオンウエイクアップ機能を無効にせず、V_{SS}端子に接続した状態でPOF命令を実行すると、一度RAMバックアップ状態に移移しますが、復帰条件であると認識してすぐに復帰します。
3. D₂/C, D₃/KをV_{SS}端子に接続する場合はソフトウェアでプルアップトランジスタをOFFしてください。 (レジスタPU0 = "0X2") また、D₂/C, D₃/Kの端子を開放する場合はソフトウェアでプルアップトランジスタをON (レジスタPU0 = "1X2") に設定してください。

(V_{DD}端子及びV_{SS}端子に接続する場合の注意事項)

- 使用しない端子は、ノイズの伝搬を避けるためにできる限り短く、太い配線で処理してください。

4250グループ追加情報一覧表 (REV.B)

(4) 使用しない端子の処理 (訂正)

使用上の注意 (まとめ)

(1) ノイズ及びラッチアップ対策

ノイズ及びラッチアップ対策としてV_{DD}端子とV_{SS}端子間にコンデンサ(≈0.01μF)を最短距離・等幅・等配線長で、かつ可能な限り太い配線を使って接続してください。

ワンタイムPROM版においては、CNV_{SS}端子とV_{PP}端子が兼用になっています。CNV_{SS}/V_{PP}端子は5kΩ程度の抵抗(極力CNV_{SS}/V_{PP}端子の近くに配置)を介してV_{SS}端子に接続してください。

(2) Go/INT端子

ソフトウェアの途中でキーオンウエイクアップ制御レジスタK0のビット2によってGo/INT端子の割り込み有効波形を変更する場合は次の点に注意してください。

- タイマ制御レジスタV1のビット0を“0”に設定(図XB-1①)した後に、レジスタK0のビット2によってGo/INT端子の割り込み有効波形を変更してください。
- レジスタK0のビット2に値を設定した後は、一命令以上において(図XB-1②)SNZ0命令を実行し、外部割り込み要求フラグ(EXF0)を“0”にクリアしてください。Go/INT端子の入力状態によっては、割り込み有効波形を変更した際に、フラグEXF0が“1”にセットされることがあります。

⋮		
LA	4	;(XXX0z)
TV1A		;SNZ0命令有効 ----- ①
LA	4	
TK0A		;割り込み有効波形変更
NOP		----- ②
SNZ0		;SNZ0命令実行
NOP		X:このビットはGo/INT端子の設定には関係しません。
⋮		

図XB-1. 外部0割り込みプログラム例

(3) マルチファンクション

- Go/INT端子はINT端子機能を使用時もポートGoの入出力機能をもっています。
- G₁/TOUT端子はTOUT端子機能を使用時もポートG₁の入力機能をもっています。
- ポートD₂/CはポートC機能を使用時もポートD₂の入出力機能をもっています。
- ポートD₃/KはポートK機能を使用時もポートD₃の入出力機能をもっています。

(4) 使用しない端子の処理

- G₁/TOUT端子、ポートG₂, G₃をV_{SS}端子に接続する場合はソフトウェアでプルアップトランジスタをOFFし(プルアップ制御レジスタPU0 = “X0z”)、かつG₁/TOUT端子、ポートG₂, G₃のキーオンウエイクアップ機能を無効にしてください(キーオンウエイクアップ制御レジスタK0 = “Xx0x2”)。キーオンウエイクアップ機能を無効にせず、V_{SS}端子に接続した状態でPOF命令を実行すると、一度RAMバックアップ状態に移移しますが、復帰条件であると認識してすぐに復帰します。

また、Go/INT端子、G₁/TOUT端子、ポートG₂, G₃を開放する場合はソフトウェアでプルアップトランジスタをON(レジスタPU0 = “X1z”)に設定してください。

- ポートS₀~S₃をV_{SS}端子に接続する場合は、ソフトウェアでキーオンウエイクアップ機能を無効にしてください(レジスタK0 = “Xxx0z”)。

キーオンウエイクアップ機能を無効にせず、V_{SS}端子に接続した状態でPOF命令を実行すると、一度RAMバックアップ状態に移移しますが、復帰条件であると認識してすぐに復帰します。

- D₂/C, D₃/KをV_{SS}端子に接続する場合はソフトウェアでプルアップトランジスタをOFFしてください。(レジスタPU0 = “0x2”)また、D₂/C, D₃/Kの端子を開放する場合はソフトウェアでプルアップトランジスタをON(レジスタPU0 = “1x2”)に設定してください。

(V_{DD}端子及びV_{SS}端子に接続する場合の

注意事項)

- ・使用しない端子は、ノイズの伝搬を避けるためにできる限り短く、太い配線で処理してください。

4250グループ追加情報一覧表 (REV. B)

表 2.1.3 使用しない端子の処理方法 (訂正)

表2.1.3 使用しない端子の処理方法

端子名	処理方法
F0, F1	Vss端子に接続
G0/INT, G1/TOUT, G2, G3	開放又はVss端子に接続 (注1)
S0~S3	Vss端子に接続 (注2)
D0, D1	Vss端子に接続
D2/C, D3/K	開放又はVss端子に接続 (注3)

- 注1. G1/TOUT端子、ポートG2, G3をVss端子に接続する場合はソフトウェアでプルアップトランジスタをOFFし(プルアップ制御レジスタPU0="X02")、かつG1/TOUT端子、ポートG2, G3のキーオンウエイクアップ機能を無効にしてください(キーオンウエイクアップ制御レジスタK0="XX0X2")。キーオンウエイクアップ機能を無効にせず、Vss端子に接続した状態でPOF命令を実行すると、一度RAMバックアップ状態に遷移しますが、復帰条件であると認識してすぐに復帰します。また、G0/INT端子、G1/TOUT端子、ポートG2, G3を開放する場合はソフトウェアでプルアップトランジスタをON(レジスタPU0="X12")に設定してください。
2. ポートS0~S3をVss端子に接続する場合は、ソフトウェアでキーオンウエイクアップ機能を無効にしてください(レジスタK0="XX0X2")。キーオンウエイクアップ機能を無効にせず、Vss端子に接続した状態でPOF命令を実行すると、一度RAMバックアップ状態に遷移しますが、復帰条件であると認識してすぐに復帰します。
3. D2/C, D3/K端子をVss端子に接続する場合はソフトウェアでプルアップトランジスタをOFFしてください。(レジスタPU0="0X2")また、D2/C, D3/Kの端子を開放する場合はソフトウェアでプルアップトランジスタをON(レジスタPU0="1X2")に設定してください。

(VDD端子及びVss端子に接続する場合の注意事項)

- ・使用しない端子は、ノイズの伝搬を避けるためにできる限り短く、太い配線で処理してください。

4250グループ追加情報一覧表 (REV. B)

電気的特性 (訂正)

電気的特性 (指定のない場合はTa=-20 ~ 85 , V_{DD}=2.2 ~ 5.5V)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
VOL	“L”出力電圧 F ₀ , F ₁ , S ₀ ~ S ₃ , D ₀ , D ₁ , D ₂ /C, D ₃ /K	V _{DD} =5V I _{OL} =12mA			2	V	
		V _{DD} =3V I _{OL} =6mA			0.9		
VOL	“L”出力電圧 G ₀ , G ₁ /TOUT, G ₂ , G ₃	V _{DD} =5V I _{OL} =5mA			2	V	
		V _{DD} =3V I _{OL} =2mA			0.9		
I _{IH}	“H”入力電流 F ₀ , F ₁ , S ₀ ~ S ₃ , D ₀ , D ₁ , RESET	V _I =7V			1	μA	
I _{IH}	“H”入力電流 G ₀ /INT, G ₁ , G ₂ , G ₃ , D ₂ /C, D ₃ /K	V _I =V _{DD}			1	μA	
I _{IL}	“L”入力電流 F ₀ , F ₁ , S ₀ ~ S ₃ , D ₀ , D ₁ , D ₂ /C, D ₃ /K G ₀ /INT, G ₁ , G ₂ , G ₃ , RESET	V _I =0V (注)			-1	μA	
I _{OZH}	OFF時出力電流 F ₀ , F ₁ , S ₀ ~ S ₃ , D ₀ , D ₁	V _O =7V			1	μA	
I _{OZH}	OFF時出力電流 G ₀ , G ₁ /TOUT, G ₂ , G ₃ , D ₂ /C, D ₃ /K	V _O =V _{DD}			1	μA	
IDD	電源電流	CPU動作時	V _{DD} =5V f(X _{IN}) = 4.0MHz		1.5	5	mA
			V _{DD} =3V f(X _{IN}) = 1.0MHz		0.3	1	
	RAMバックアップ時	Ta=25		0.1	1	μA	
		V _{DD} =5V			10		
		V _{DD} =3V			6		
RPU	プルアップトランジスタ G ₀ /INT, G ₁ , G ₂ , G ₃ , D ₂ /C, D ₃ /K	V _{DD} =5V V _I =0V	5	11	25	k	
V _{T+} -V _{T-}	ヒステリシス INT			0.3		V	
V _{T+} -V _{T-}	ヒステリシス S ₀ ~ S ₃	V _{DD} =5V	0.1			V	
V _{T+} -V _{T-}	ヒステリシス RESET	V _{DD} =5V		1.8		V	
		V _{DD} =3V		0.7			

注. G₀/INT端子、ポートG₁, G₂, G₃, D₂/C, D₃/Kはプルアップトランジスタを非選択にした場合。

4250グループ追加情報一覧表 (REV.B)

CONNECTIONS OF UNUSED PINS (訂正)

CONNECTIONS OF UNUSED PINS

Pin	Connection	Pin	Connection
F ₀ , F ₁	Connect to Vss pin.	D ₀ , D ₁	Connect to Vss pin.
G ₀ /INT, G ₁ /TOUT	Open or connect to Vss pin. (Note 1)	D ₂ /C, D ₃ /K	Open or connect to Vss pin. (Note 3)
G ₂ , G ₃			
S ₀ -S ₃	Connect to Vss pin. (Note 2)		

Notes 1: When pins G₀/INT, G₁/TOUT, G₂ and G₃ are connected to Vss pin, turn off their pull-up transistors (Pull-up control register PU0="X0₂") and also invalidate the key-on wakeup functions of pins G₁/TOUT, G₂ and G₃ (Key-on wakeup control register K0="XX0X₂") by software. When the POF instruction is executed while these pins are connected to Vss and the key-on wakeup functions are left valid, the system returns from RAM back-up state by recognizing the return condition immediately after going into the RAM back-up state. When these pins are open, turn on their pull-up transistors (Pull-up control register PU0="X1₂") by software.

2: When ports S₀-S₃ are connected to Vss pin, invalidate the key-on wakeup functions (Key-on wakeup control register K0="XXX0₂") by software. When the POF instruction is executed while these pins are connected to Vss and the key-on wakeup functions are left valid, the system returns from RAM back-up state by recognizing the return condition immediately after going into the RAM back-up state.

3: When ports D₂/C and D₃/K are connected to Vss pin, turn off their pull-up transistors (register PU0="0X₂") by software. When these pins are open, turn on their pull-up transistors (register PU0="1X₂") by software.

(Note when connecting to Vss and VDD)

- Connect the unused pins to Vss or VDD at the shortest distance and use the thick wire against noise.

4250グループ追加情報一覧表 (REV. B)

⑥ NOTES ON UNUSED PINS (訂正)

LIST OF PRECAUTIONS

① Noise and latch-up prevention

Connect a capacitor on the following condition to prevent noise and latch-up;

- connect a bypass capacitor (approx. 0.01 μ F) between pins VDD and VSS at the shortest distance,
- equalize its wiring in width and length, and
- use the thickest wire.

In the One Time PROM version, CNVSS pin is also used as VPP pin. Connect this pin to VSS through the resistor about 5 k Ω which is assigned to CNVSS/VPP pin as close as possible at the shortest distance.

② Prescaler

Stop the prescaler operation to change its frequency dividing ratio.

③ Timer count source

Stop timer 1 counting to change its count source.

④ Program counter

Make sure that the PCH does not specify after the last page of the built-in ROM.

⑤ Go/INT pin

When the interrupt valid waveform of the Go/INT pin is changed with the bit 2 of register K0 in software, be careful about the following notes.

- After clear the bit 0 of register V1 to "0" (Figure 29①), change the interrupt valid waveform of Go/INT pin with the bit 2 of register K0.
- Set a value to bit 2 of register K0 and execute the SNZ0 instruction to clear the external interrupt request flag (EXF0) after executing at least one instruction (refer to Figure 29②). Depending on the input state of the Go/INT pin, the EXF0 flag may be set when the interrupt valid waveform is changed.

⑥ Notes on unused pins

- When pins Go/INT, G1/Tour, G2 and G3 are connected to VSS pin, turn off their pull-up transistors (register PU0="X02") and also invalidate the key-on wakeup functions of pins G1/Tour, G2 and G3 (register K0="XX0X2") by software. When the POF instruction is executed while these pins are connected to VSS and the key-on wakeup functions are left valid, the system returns from RAM back-up state by recognizing the return condition immediately after going into the RAM back-up state. When these pins are open, turn on their pull-up transistors (register PU0="X12") by software.
- When ports So-S3 are connected to VSS pin, invalidate the key-on wakeup functions (register K0="XXX02") by software. When the POF instruction is executed while these pins are connected to VSS and the key-on wakeup functions are left valid, the system returns from RAM back-up state by recognizing the return condition immediately after going into the RAM back-up state.
- When ports D2/C and D3/K are connected to VSS pin, turn off their pull-up transistors (register PU0="0X2") by software. When these pins are open, turn on their pull-up transistors (register PU0="1X2") by software.

(Note when connecting to VSS and VDD)

- Connect the unused pins to VSS or VDD at the shortest distance (within 20 mm) and use the thick wire against noise.

⑦ Multifunction

- Go/INT pin can be also used as an I/O port Go even when it is used as INT pin.
- G1/Tour pin can be also used as input port G1 even when it is used as Tour pin.
- D2/C pin can be also used as I/O port D2 even when it is used as port C.
- D3/K pin can be also used as I/O port D3 even when it is used as port K.

```

:
LA 4      ; (XXX02)
TV1A     ; The SNZ0 instruction is valid ..... ①
LA 4
TK0A     ; Change of the interrupt valid waveform
NOP      ..... ②
SNZ0     ; The SNZ0 instruction is executed
NOP
:

```

X : this bit is not related to the setting of Go/INT pin.

Fig. 29 External interrupt program example

4250グループ追加情報一覧表 (REV.B)

Table 2.1.3 Connections of unused pins (訂正)

Table 2.1.3 connections of unused pins

Pin	Connection
F0, F1	Connect to Vss pin.
G0/INT, G1/TOUT, G2, G3	Open or connect to Vss pin. (Note 1)
S0-S3	Connect to Vss pin. (Note 2)
D0, D1	Connect to Vss pin.
D2/C, D3/K	Open or connect to Vss pin. (Note 3)

Notes 1: When pins G0/INT, G1/TOUT, G2 and G3 are connected to Vss pin, turn off their pull-up transistors (register PU0="X02") and also invalidate the key-on wakeup functions of pins G1/TOUT, G2 and G3 (register K0="XX0X2") by software. When the POF instruction is executed while these pins are connected to Vss and the key-on wakeup functions are left valid, the system returns from RAM back-up state by recognizing the return condition immediately after going into the RAM back-up state. When these pins are open, turn on their pull-up transistors (register PU0="X12") by software.

2: When ports S0-S3 are connected to Vss pin, invalidate the key-on wakeup functions by software (register K0 = "XXX02"). When the POF instruction is executed while these pins are connected to Vss and the key-on wakeup functions are left valid, the system returns from RAM back-up state by recognizing the return condition immediately after going into the RAM back-up state.

3: When ports D2/C and D3/K are connected to Vss pin, turn off their pull-up transistors (register PU0="0X2") by software. When these pins are open, turn on their pull-up transistors (register PU0="1X2") by software.

(Note when connecting to Vss and VDD)

•Connect the unused pins to Vss or VDD at the shortest distance and use the thickest possible wire against noise.