

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

MESC TECHNICAL NEWS

No. M380-32-9810

3874 グループユーザズマニュアル の追加情報 (REV.B)

1996年9月発行の「3874 グループユーザズマニュアル」(印刷番号：HU-068A)に、一部内容の訂正がありましたので、お知らせいたします。訂正内容は添付資料の正誤表 (REV.B) を参照してください。

以上

添付：

「3874 グループユーザズマニュアル」正誤表 (REV.B).....2/8 ~ 8/8

3874グループユーザーズマニュアル正誤表(REV.B)

* : REV.Bで追加した情報

訂正箇所	誤	正
* 1-2ページ 特長11行目、12行目	<ul style="list-style-type: none"> ・ タイマX, Y 8ビット×3 ・ タイマ1~3 16ビット×2 	<ul style="list-style-type: none"> ・ タイマ1~3 8ビット×3 ・ タイマX, Y 16ビット×2
* 1-3ページ 図1. M38749MF-XXXGP のピン接続図	<ul style="list-style-type: none"> ・ 3番ピン P76/BUSIN ・ 4番ピン P75/BUSOUT ・ 55番ピン P37/RD ・ 56番ピン P36/WR ・ 57番ピン P35/SYNC ・ 58番ピン P34/ ・ 59番ピン P33/RESETOUT ・ 60番ピン P32/ONW 	<ul style="list-style-type: none"> ・ 3番ピン P76/BUSIN ・ 4番ピン P75/BUSOUT ・ 55番ピン P37 ・ 56番ピン P36 ・ 57番ピン P35 ・ 58番ピン P34 ・ 59番ピン P33 ・ 60番ピン P32
* 1-5ページ 表1. 端子の機能説明(1)	<ul style="list-style-type: none"> ・ VREF [機能] A-D変換器の基準電圧入力端子 です。 ・ AVSS [機能] A-D変換器のアナログ電源入力 端子です。... ・ P20 ~ P27 [ポート以外の機能] なし ・ P54/CNTR0, [ポート以外の機能] P55/CNTR1 タイマX, タイマY機能端子 	<ul style="list-style-type: none"> ・ VREF [機能] A-D変換器及びD-A変換器の基準 電圧入力端子です。 ・ AVSS [機能] A-D変換器及びD-A変換器のアナ ログ電源入力端子です。... ・ P20 ~ P27 [ポート以外の機能] キーオンウエイクアップ入力端子 ・ P54/CNTR0, [ポート以外の機能] P55/CNTR1 タイマX, タイマY機能端子 割り込み入力端子
* 1-17ページ 表7. 入出力ポートの機能 一覧(1)	端子名 : P30 ~ P37/RD	端子名 : P30 ~ P37
* 1-19ページ プルアップ制御 本文1行目	P20 ~ P26, TxD及びSCLK1、SOUT2及びSCLK2は...	P20 ~ P27, TxD及びSCLK1、SOUT2及びSCLK2は...
* 1-21ページ 図14. ポートのブロック図 (2)	<p>(7) ポートP45</p>	<p>(7) ポートP45</p>
* 1-21ページ 図14. ポートのブロック図 (2)	<p>(8) ポートP46</p>	<p>(8) ポートP46</p>
* 1-22ページ 図15. ポートのブロック図 (3)	<p>(16) ポートP71</p>	<p>(16) ポートP71</p>

3874グループユーザーズマニュアル正誤表(REV.B)

* : REV.Bで追加した情報

訂正箇所	誤	正																																																												
* 1-23ページ 図16. ポートのブロック図 (4)	(17) ポートP72 	(17) ポートP72 																																																												
* (21) ポートP80																																																														
1-27ページ 表9. 割り込みベクトル番地と優先順位	<table border="1"> <thead> <tr> <th>割り込み要因</th> <th>優先順位</th> <th colspan="2">ベクトル番地(注1)</th> <th>割り込み要求発生条件</th> <th>...</th> </tr> <tr> <td></td> <td></td> <th>上位</th> <th>下位</th> <td></td> <td></td> </tr> </thead> <tbody> <tr> <td>キー入力 (キーオン/オフアップ)</td> <td>16</td> <td>FFDF₁₆</td> <td>FFDE₁₆</td> <td>ポートP20 ~ P25 (入力時)の入力論理レベルの論理積の立ち下がり時</td> <td>...</td> </tr> <tr> <td>シリアルI/O1 受信</td> <td></td> <td></td> <td></td> <td>シリアルI/O1データ 受信完了時</td> <td>...</td> </tr> <tr> <td>シリアルI/O1 送信</td> <td></td> <td></td> <td></td> <td>シリアルI/O1送信 シフト完了時又は 送信バッファ空時</td> <td>...</td> </tr> </tbody> </table>	割り込み要因	優先順位	ベクトル番地(注1)		割り込み要求発生条件	...			上位	下位			キー入力 (キーオン/オフアップ)	16	FFDF ₁₆	FFDE ₁₆	ポートP20 ~ P25 (入力時)の入力論理レベルの論理積の立ち下がり時	...	シリアルI/O1 受信				シリアルI/O1データ 受信完了時	...	シリアルI/O1 送信				シリアルI/O1送信 シフト完了時又は 送信バッファ空時	...	<table border="1"> <thead> <tr> <th>割り込み要因</th> <th>優先順位</th> <th colspan="2">ベクトル番地(注1)</th> <th>割り込み要求発生条件</th> <th>...</th> </tr> <tr> <td></td> <td></td> <th>上位</th> <th>下位</th> <td></td> <td></td> </tr> </thead> <tbody> <tr> <td>キー入力 (キーオン/オフアップ)</td> <td>16</td> <td>FFDF₁₆</td> <td>FFDE₁₆</td> <td>ポートP20 ~ P27 (入力時)の入力論理レベルの論理積の立ち下がり時</td> <td>...</td> </tr> <tr> <td>シリアルI/O1 受信</td> <td></td> <td></td> <td></td> <td>シリアルI/O1データ 受信完了時</td> <td>...</td> </tr> <tr> <td>シリアルI/O1 送信</td> <td></td> <td></td> <td></td> <td>シリアルI/O1送信 シフト完了時又は 送信バッファ空時</td> <td>...</td> </tr> </tbody> </table>	割り込み要因	優先順位	ベクトル番地(注1)		割り込み要求発生条件	...			上位	下位			キー入力 (キーオン/オフアップ)	16	FFDF ₁₆	FFDE ₁₆	ポートP20 ~ P27 (入力時)の入力論理レベルの論理積の立ち下がり時	...	シリアルI/O1 受信				シリアルI/O1データ 受信完了時	...	シリアルI/O1 送信				シリアルI/O1送信 シフト完了時又は 送信バッファ空時	...
割り込み要因	優先順位	ベクトル番地(注1)		割り込み要求発生条件	...																																																									
		上位	下位																																																											
キー入力 (キーオン/オフアップ)	16	FFDF ₁₆	FFDE ₁₆	ポートP20 ~ P25 (入力時)の入力論理レベルの論理積の立ち下がり時	...																																																									
シリアルI/O1 受信				シリアルI/O1データ 受信完了時	...																																																									
シリアルI/O1 送信				シリアルI/O1送信 シフト完了時又は 送信バッファ空時	...																																																									
割り込み要因	優先順位	ベクトル番地(注1)		割り込み要求発生条件	...																																																									
		上位	下位																																																											
キー入力 (キーオン/オフアップ)	16	FFDF ₁₆	FFDE ₁₆	ポートP20 ~ P27 (入力時)の入力論理レベルの論理積の立ち下がり時	...																																																									
シリアルI/O1 受信				シリアルI/O1データ 受信完了時	...																																																									
シリアルI/O1 送信				シリアルI/O1送信 シフト完了時又は 送信バッファ空時	...																																																									
1-29ページ (4)割り込み要求受け付け までのタイミング 本文13行目	...1命令実行サイクル数(2~15内部システムクロック) 多く必要とします。...	...1命令実行サイクル数(2~16内部システムクロック) 多く必要とします。...																																																												
* 1-30ページ 図20. 割り込み発生から 受け付けまでのタイミング (b) 多要因ベクトル割り込み	の2~15サイクル	の2~16サイクル																																																												
1-34ページ タイマX 注意事項 ・タイマX書き込み制御 本文6行目~9行目	... なお、ラッチのみへ書き込む場合、上位側リロード用ラッチに書き込むタイミングとアンダフローのタイミングがほぼ同時のときには、上位側カウンタに設定される値が不定になることがあります。	... なお、タイマラッチのみ書き込む場合、タイマのアンダフロー時にタイマラッチに書き込みを行うと、タイマとタイマラッチの両方に同時に値が設定されます。また、上位側リロード用ラッチに書き込むタイミングとアンダフローのタイミングがほぼ同時のときには、上位側カウンタに設定される値が不定になることがあります。																																																												
* 1-34ページ リアルタイムポート機能 本文2行目~4行目	...(ただし、リアルタイムポート制御ビットを"0"から"1"に換えたときにはタイマXの動きにかかわらずデータが出力されます。)	...(ただし、リアルタイムポート用データを設定した後、リアルタイムポート制御ビットを"0"から"1"に換えたときにはタイマXの動きにかかわらずデータが出力されず、リアルタイムポート制御ビットを"1"にする前にリアルタイムポート用データを設定してください。)																																																												
* 1-37ページ 図28. ロック同期形シリアルI/O1 動作図	送信シフトロック	送信シフトクロック																																																												
* 1-41ページ 図33. シリアルI/O2のロック図																																																														

3874グループユーザズマニュアル正誤表(REV.B)

* : REV.Bで追加した情報

訂正箇所	誤	正
* 1-60ページ A-D変換器【コンパレータ 及び制御回路】 本文2行目	A-D変換レジスタに格納します。...	A-D/D-A変換レジスタに格納します。...
* 1-60ページ 図60の図題	図60. A-D/D-A制御レジスタの構成	図60. A-D制御レジスタの構成
* 1-60ページ 図61. A-D変換器ブロック図	A-D変換レジスタ	A-D/D-A変換レジスタ
* 1-61ページ D-A変換器 本文11行目	D-A変換レジスタ(書き込み専用)はリセット時...	A-D/D-A変換レジスタ(書き込み専用)はリセット時...
* 1-61ページ 図62. D-A変換器のブロック図	D-A変換レジスタ(8)	A-D/D-A変換レジスタ(8)
* 1-61ページ 図63. D-A変換等価回路図	D-A変換レジスタ	A-D/D-A変換レジスタ
* 1-63ページ 図66. リセット回路例	注1. リセット解除電圧 $V_{CC} = 2.5V$	注1. リセット解除電圧 $V_{CC} = 3.0V$
* 1-63ページ 図67. リセット時のタイミング図	X_{IN} 40 ~ 56サイクル	X_{IN} 10.5 ~ 18.5サイクル
* 1-65ページ クロック発生回路 本文9行目 ~ 12行目	電源投入直後は X_{IN} 側の発振回路のみが発振を開始し、 X_{CIN} , X_{COUT} 端子は入出力ポートとして機能します。 X_{CIN} 側の発振回路は X_{CIN} , X_{COUT} 端子のプルアップ抵抗が無効の状態で使用してください。	電源投入直後は X_{IN} 側の発振回路のみが発振を開始し、 X_{CIN} , X_{COUT} 端子は入出力ポートとして機能します。
* 1-69ページ ブロック図上の注意事項 割り込み要因判別に関するもの(3項目)	・割り込み要因判別レジスタに割り付けられた割り込みは、通常の割り込みに対して1命令実行後のタイミングで発生します。最大15マシンサイクル後(MUL, DIV命令の場合)になります。	・割り込み要因判別レジスタに割り付けられた割り込みは、通常の割り込みに対して1命令実行後のタイミングで発生します。最大16マシンサイクル後(MUL, DIV命令の場合)になります。
* 1-70ページ ブロック図上の注意事項 シリアルI/O3に関するもの(2項目)	・自動転送シリアルI/Oモードにて動作中に、シリアルI/O初期ビットに"0"を書き込むとシリアルI/O3割り込み要求が発生します。プログラムにて割り込み許可ビットを禁止にするなど適切な処置を行ってください。	・自動転送シリアルI/Oモードにて動作中に、シリアルI/O初期化ビットに"0"を書き込むとシリアルI/O3割り込み要求が発生します。プログラムにて割り込み許可ビットを禁止にするなど適切な処置を行ってください。
* 1-70ページ ブロック図上の注意事項 A-D変換及びD-A変換に関するもの(1項目)	・A-D/D-A変換レジスタは、読み出し時にはA-D変換レジスタとして、書き込み時にはD-A変換レジスタとして機能します。したがって、D-A変換レジスタ設定値は読み出せません。	・A-D/D-A変換レジスタは、読み出し時にはA-D変換結果が格納されるレジスタとして、書き込み時にはD-A変換設定値を格納するレジスタとして機能します。したがって、D-A変換設定値は読み出せません。
* 1-73ページ 図74. 割り込み処理ルーチンを実行するまでの時間	<p>多要因一ベクトル割り込み</p> <p>割り込み要求発生</p> <p>0 ~ 16サイクル 0 ~ 16サイクル 2サイクル</p> <p>7 ~ 39サイクル</p>	<p>多要因一ベクトル割り込み</p> <p>割り込み要求発生</p> <p>0 ~ 16サイクル 2 ~ 16サイクル 2サイクル</p> <p>9 ~ 39サイクル</p>
1-75ページ 図76. A-D変換タイミングチャート	<p>A-D制御レジスタへの書き込み信号</p> <p>50サイクル</p>	<p>内部システムクロック</p> <p>A-D制御レジスタへの書き込み信号</p> <p>50サイクル ($=f(X_{IN})/2$)</p>

3874グループユーザズマニュアル正誤表(REV.B)

* : REV.Bで追加した情報

訂正箇所	誤	正																								
2-8ページ 表2.1.2 未使用端子の処理	<table border="1"> <thead> <tr> <th>端子/ポート名</th> <th>処理方法</th> </tr> </thead> <tbody> <tr> <td>P0, P1, P3, P4 P5, P6, P7, P8</td> <td> <ul style="list-style-type: none"> 入力モードに設定し、各端子ごとに1k ~ 10k の抵抗を介して、Vcc又はVssに接続してください 出力モードに設定し、"L"又は"H"出力状態で開放(注1) </td> </tr> <tr> <td>P2</td> <td>入力モードに設定し、各端子ごとに1k ~ 10k の抵抗を介して、Vccに接続してください</td> </tr> <tr> <td>P97(注2)</td> <td>Vss(GND)に接続</td> </tr> <tr> <td>VREF端子</td> <td>Vss(GND)に接続、又は開放</td> </tr> <tr> <td>AVss端子</td> <td>開放(外部クロック使用時のみ)</td> </tr> </tbody> </table> <p>注1</p> <p>2 . P97端子はワンタイムPROM版及びEPROM版の場合、VPP端子 (EPROM書き込み用)兼用となっています。</p> <ul style="list-style-type: none"> 配線はできるだけ短くしてください。 配線が長くなる場合は、5k 程度の抵抗をVPP端子に近い位置に挿入し、これを介してVPP端子とVSS端子を接続してください。 <p>3</p>	端子/ポート名	処理方法	P0, P1, P3, P4 P5, P6, P7, P8	<ul style="list-style-type: none"> 入力モードに設定し、各端子ごとに1k ~ 10k の抵抗を介して、Vcc又はVssに接続してください 出力モードに設定し、"L"又は"H"出力状態で開放(注1) 	P2	入力モードに設定し、各端子ごとに1k ~ 10k の抵抗を介して、Vccに接続してください	P97(注2)	Vss(GND)に接続	VREF端子	Vss(GND)に接続、又は開放	AVss端子	開放(外部クロック使用時のみ)	<table border="1"> <thead> <tr> <th>端子/ポート名</th> <th>処理方法</th> </tr> </thead> <tbody> <tr> <td>P0, P1, P2, P3 P4, P5, P6, P7 P8</td> <td> <ul style="list-style-type: none"> 入力モードに設定し、各端子ごとに1k ~ 10k の抵抗を介して、Vcc又はVssに接続してください 出力モードに設定し、"L"又は"H"出力状態で開放(注1) </td> </tr> <tr> <td>P97(注2)</td> <td>抵抗を介して、Vss(GND)に接続</td> </tr> <tr> <td>VREF端子</td> <td>Vss(GND)に接続、又は開放</td> </tr> <tr> <td>AVss端子</td> <td>Vss(GND)に接続</td> </tr> <tr> <td>Xout端子</td> <td>開放(外部クロック使用時のみ)</td> </tr> </tbody> </table> <p>注1</p> <p>2 . P97端子はワンタイムPROM版及びEPROM版の場合、VPP端子 (EPROM書き込み用)兼用となっています。</p> <ul style="list-style-type: none"> 配線はできるだけ短くしてください。 5k 程度の抵抗をVPP端子に近い位置に挿入し、これを介してVPP端子とVSS端子を接続してください。 <p>3</p>	端子/ポート名	処理方法	P0, P1, P2, P3 P4, P5, P6, P7 P8	<ul style="list-style-type: none"> 入力モードに設定し、各端子ごとに1k ~ 10k の抵抗を介して、Vcc又はVssに接続してください 出力モードに設定し、"L"又は"H"出力状態で開放(注1) 	P97(注2)	抵抗を介して、Vss(GND)に接続	VREF端子	Vss(GND)に接続、又は開放	AVss端子	Vss(GND)に接続	Xout端子	開放(外部クロック使用時のみ)
端子/ポート名	処理方法																									
P0, P1, P3, P4 P5, P6, P7, P8	<ul style="list-style-type: none"> 入力モードに設定し、各端子ごとに1k ~ 10k の抵抗を介して、Vcc又はVssに接続してください 出力モードに設定し、"L"又は"H"出力状態で開放(注1) 																									
P2	入力モードに設定し、各端子ごとに1k ~ 10k の抵抗を介して、Vccに接続してください																									
P97(注2)	Vss(GND)に接続																									
VREF端子	Vss(GND)に接続、又は開放																									
AVss端子	開放(外部クロック使用時のみ)																									
端子/ポート名	処理方法																									
P0, P1, P2, P3 P4, P5, P6, P7 P8	<ul style="list-style-type: none"> 入力モードに設定し、各端子ごとに1k ~ 10k の抵抗を介して、Vcc又はVssに接続してください 出力モードに設定し、"L"又は"H"出力状態で開放(注1) 																									
P97(注2)	抵抗を介して、Vss(GND)に接続																									
VREF端子	Vss(GND)に接続、又は開放																									
AVss端子	Vss(GND)に接続																									
Xout端子	開放(外部クロック使用時のみ)																									
* 2-45ページ 2.3.7 タイマXのリアルタイムポート出力制御 本文3行目~4行目	リアルタイムポートからのデータ出力は、リアルタイムポート制御ビットを"1"にした時点から開始されます。	リアルタイムポートからのデータ出力は、リアルタイムポート制御ビットを"1"にした時点から開始されます (タイマXモードレジスタのリアルタイムポート制御ビットを"1"にする前にリアルタイムポート用データを設定してください。)																								
* 2-66ページ 図2.3.40 制御手順例(2)																										
* 2-71ページ 図2.4.4 タイマ1,2,3の設定方法	<p>手順3 : タイマ123モードレジスタの設定</p> <p>タイマ123モードレジスタ (T123M) 【2916番地】</p> <ul style="list-style-type: none"> タイマ2使用時、TOUT出力極性の選択 0 : "H"出力で開始 1 : "L"出力で開始 タイマ2使用時、TOUT出力制御の選択 0 : TOUT出力の禁止 1 : TOUT出力の許可 タイマ2使用時、書き込み制御の選択 0 : ラッチ及びタイマ同時書き込み 1 : タイマのみ書き込み タイマ2使用時、タイマ2カウントソースの選択 0 : タイマ1出力 1 : f(XIN)/16 (低速モード時f(XCIN)/16) タイマ3使用時、タイマ3カウントソースの選択 0 : タイマ1出力 1 : f(XIN)/16 (低速モード時f(XCIN)/16) タイマ1使用時、タイマ1カウントソースの選択 0 : f(XIN)/16 (低速モード時f(XCIN)/16) 1 : f(XCIN)/16 	<p>手順3 : タイマ123モードレジスタの設定</p> <p>タイマ123モードレジスタ (T123M) 【2916番地】</p> <ul style="list-style-type: none"> タイマ2使用時、TOUT出力極性の選択 0 : "H"出力で開始 1 : "L"出力で開始 タイマ2使用時、TOUT出力制御の選択 0 : TOUT出力の禁止 1 : TOUT出力の許可 タイマ2使用時、書き込み制御の選択 0 : ラッチ及びタイマ同時書き込み 1 : ラッチのみ書き込み タイマ2使用時、タイマ2カウントソースの選択 0 : タイマ1出力 1 : f(XIN)/16 (低速モード時f(XCIN)/16) タイマ3使用時、タイマ3カウントソースの選択 0 : タイマ1出力 1 : f(XIN)/16 (低速モード時f(XCIN)/16) タイマ1使用時、タイマ1カウントソースの選択 0 : f(XIN)/16 (低速モード時f(XCIN)/16) 1 : f(XCIN)/16 																								
2-78ページ (4)シリアル/O1ステータスレジスタ 送信バッファエンプティフラグ(ビット0) 本文5行目	... 送信バッファレジスタへの送信データ書き込みは、この送信バッファエンプティフラグが"0"の間のみ可能です。...	... 送信バッファレジスタへの送信データ書き込みは、この送信バッファエンプティフラグが"1"の間のみ可能です。...																								
* 2-95ページ 2.5.5 シリアル/O1使用上の注意事項 (9)TxD端子の使用 本文1行目	UART制御レジスタのP45/TxDチャンネル出力禁止ビットは、...	UART制御レジスタのP45/TxD Pチャンネル出力禁止ビットは、...																								



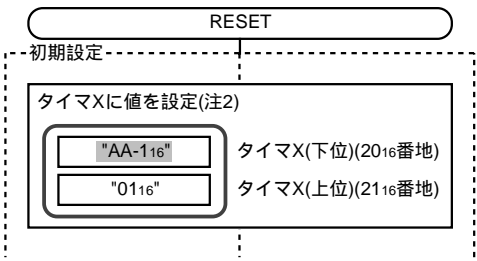
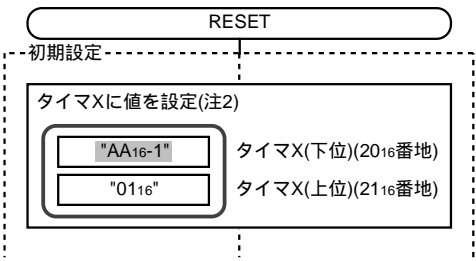
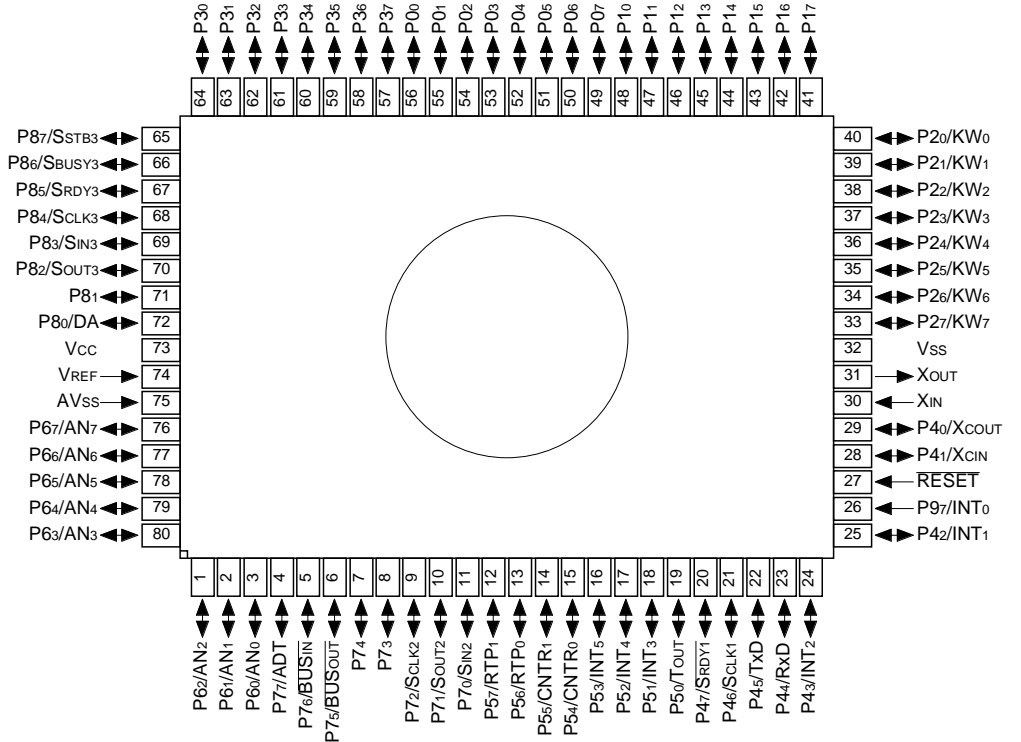
3874グループユーザズマニュアル正誤表(REV.B)

* : REV.Bで追加した情報

訂正箇所	誤	正
<p>* 2-108ページ 図2.5.34 制御手順例(2)</p>	<p>注3. 受信データの退避</p>	<p>注3. 受信データの退避 4. ダミーデータを送信</p>
<p>2-109ページ 2.5.9 シリアルI/O使用上の注意事項 (1)外部クロック使用時に おいて(2項目)</p>	<p>外部クロック使用時は、データ転送の終了後、SOUT2端子はハイインピーダンス状態になりません。データ転送終了後、シリアルI/O制御レジスタのSOUT2出力制御ビットを"1"にしてください。内部クロック使用時は、データ転送終了後、SOUT2端子は自動的に"1"になります。</p>	<p>外部クロック使用時は、データ転送の終了後、SOUT2端子はハイインピーダンス状態になりません。データ転送終了後、シリアルI/O制御レジスタのSOUT2出力制御ビットを"1"にしてください。内部クロック使用時は、データ転送終了後、SOUT2端子は自動的にハイインピーダンス状態になります。</p>
<p>* 2-120ページ 図2.5.45 自動転送シリアルI/Oモードの設定方法(2)</p>	<p>手順3：シリアルI/O3制御レジスタ2の設定</p> <p>b7 b0 シリアルI/O制御レジスタ2 (SIO3CON2) 【1516番地】</p> <p>P8s/SRDY3* P8e/SBUSY3端子制御 0000 : P8s, P8eは入出力ポート 0001 : 不使用 0010 : P8s端子はSRDY3出力, P8e端子は入出力ポート 0011 : P8s端子はSRDY3出力, P8e端子は入出力ポート 0100 : P8s端子は入出力ポート, P8e端子はSBUSY3入力 0101 : P8s端子は入出力ポート, P8e端子はSBUSY3入力 0110 : P8s端子は入出力ポート, P8e端子はSBUSY3出力 0111 : P8s端子は入出力ポート, P8e端子はSBUSY3出力 1000 : P8s端子はSRDY3入力, P8e端子はSBUSY3出力 1001 : P8s端子はSRDY3入力, P8e端子はSBUSY3出力 1010 : P8s端子はSRDY3入力, P8e端子はSBUSY3出力 1011 : P8s端子はSRDY3入力, P8e端子はSBUSY3出力 1100 : P8s端子はSRDY3出力, P8e端子はSBUSY3入力 1101 : P8s端子はSRDY3出力, P8e端子はSBUSY3入力 1110 : P8s端子はSRDY3出力, P8e端子はSBUSY3入力 1111 : P8s端子はSRDY3出力, P8e端子はSBUSY3入力</p> <p>SOUT3* SSTS3出力機能選択 0 : 1バイトごとの信号として機能 1 : 全転送ごとの信号として機能</p> <p>P8z/SOUT3* P84/SCLK3 Pチャネル出力制御 0 : CMOS 3ステート出力 1 : Nチャネルオープンドレイン出力</p>	<p>手順3：シリアルI/O3制御レジスタ2の設定</p> <p>b7 b0 シリアルI/O3制御レジスタ2 (SIO3CON2) 【1516番地】</p> <p>P8s/SRDY3* P8e/SBUSY3端子制御 0000 : P8s, P8eは入出力ポート 0001 : 不使用 0010 : P8s端子はSRDY3出力, P8e端子は入出力ポート 0011 : P8s端子はSRDY3出力, P8e端子は入出力ポート 0100 : P8s端子は入出力ポート, P8e端子はSBUSY3入力 0101 : P8s端子は入出力ポート, P8e端子はSBUSY3入力 0110 : P8s端子は入出力ポート, P8e端子はSBUSY3出力 0111 : P8s端子は入出力ポート, P8e端子はSBUSY3出力 1000 : P8s端子はSRDY3入力, P8e端子はSBUSY3出力 1001 : P8s端子はSRDY3入力, P8e端子はSBUSY3出力 1010 : P8s端子はSRDY3入力, P8e端子はSBUSY3出力 1011 : P8s端子はSRDY3入力, P8e端子はSBUSY3出力 1100 : P8s端子はSRDY3出力, P8e端子はSBUSY3入力 1101 : P8s端子はSRDY3出力, P8e端子はSBUSY3入力 1110 : P8s端子はSRDY3出力, P8e端子はSBUSY3入力 1111 : P8s端子はSRDY3出力, P8e端子はSBUSY3入力</p> <p>SBUSY3* SSTS3出力機能選択 0 : 1バイトごとの信号として機能 1 : 全転送ごとの信号として機能</p> <p>P8z/SOUT3* P84/SCLK3 Pチャネル出力制御 0 : CMOS 3ステート出力 1 : Nチャネルオープンドレイン出力</p>
<p>* 2-123ページ 図2.5.49 制御手順例(1)</p>		

3874グループユーザズマニュアル正誤表(REV.B)

* : REV.Bで追加した情報

訂正箇所	誤	正
2-146ページ 図2.6.15 送受信制御手順例(1)		
2-161ページ 図2.7.13 制御手順例(1)		
2-163ページ 2.7.5 A-D変換器及びD-A変換器の使用上の注意事項 (3)A-D変換中のクロック周波数(2項目)	CPUのシステムクロックはXINを分周したクロックを使用してください。	CPUのシステムクロックとして、XCINを分周したものを使用しないでください。
* 2-174ページ (2)ストップモードの解除方法 本文11行目	データリンク層通信制御による割り込み	[削除]
2-184ページ 2.12.3 PROM内蔵版のピン接続図 本文1行目～3行目	PROM内蔵版のピン接続は、マスクROM版と同一です。 EPROM版及びワンタイムPROM内蔵版のピン接続図については、「第1章 ハードウェア」の「図1.M38749 MF-XXXGPのピン接続図」を参照してください。	ワンタイムPROM版のピン接続はマスクROM版と同一ですが、EPROM版のピン接続は異なります。 EPROM版のピン接続図を図2.12.1に示します。 ワンタイムPROM内蔵版のピン接続図については、「第1章 ハードウェア」の「図1.M38749MF-XXXGPのピン接続図」を参照してください。
2-184ページ 2.12.3 PROM内蔵版のピン接続図 図2.12.1を追加	[追加]図2.12.1 M38749EFFF(EPROM版)のピン接続図  <p style="text-align: center;">外形 80D0</p>	

3874グループユーザズマニュアル正誤表(REV.B)

* : REV.Bで追加した情報

訂正箇所	誤	正
2-185ページ 2.12.4 PROM内蔵版の機能ブロック図 本文1行目～3行目	PROM内蔵版の機能ブロックは、マスクROM版と同一です。 EPROM版及びワンタイムPROM内蔵版の機能ブロック図については、「第1章 ハードウェア」の「図2.機能ブロック図」を参照してください。	ワンタイムPROM内蔵版の機能ブロックはマスクROM内蔵版と同一ですが、EPROM版はピン番号が異なります。 EPROM版及びワンタイムPROM内蔵版の機能ブロック図については、「第1章 ハードウェア」の「図2.機能ブロック図」を参照してください。ただし、EPROM版はピン番号が異なるので注意が必要です。EPROM版のピン番号については、図2.12.1を参照してください。
2-189ページ 図2.13.1 ユーザプログラムのPROM書き込み例 (R4945使用時)		
2-190ページ 図2.13.2 ファームウェアプログラムのPROM書き込み例 (R4945使用時)		
3-32ページ 3.3.9 A-D変換器、D-A変換器に関する注意事項 (3)A-D変換中のクロック周波数(2項目)	CPUのシステムクロックはXINを分周したクロックを使用してください。	CPUのシステムクロックとして、XCINを分周したものを使用しないでください。
3-42ページ 3.4.5 入出力ポート処理 (2)ソフトウェア面 (3項目)	一定周期で方向レジスタ、ブルアップ制御レジスタの再書き込みを行ってください。 一定周期で方向レジスタを入力ポートに再設定すると、そのポートから数nsの細かいパルスが出力される場合があります。これが問題となる場合は、ポートにコンデンサを配置することによってこのパルスを除去してください。	一定周期で方向レジスタ、ブルアップ制御レジスタの再書き込みを行ってください。
* 3-81ページ 3.10 M38749MF-XXXGPのピン接続図	<ul style="list-style-type: none"> 3番ピン P76/BUSIN 4番ピン P75/BUSOut 55番ピン P37/RD 56番ピン P36/WR 57番ピン P35/SYNC 58番ピン P34/ 59番ピン P33/RESETOut 60番ピン P32/ONW 	<ul style="list-style-type: none"> 3番ピン P76/BUSIN 4番ピン P75/BUSOut 55番ピン P37 56番ピン P36 57番ピン P35 58番ピン P34 59番ピン P33 60番ピン P32