

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

MSC TECHNICAL NEWS

No.M380-28-9706

3874グループユーザズマニュアル及び
97年度版8ビットシングルチップマイクロコンピュータ編Vol.2
の追加情報(REV.A)

1996年9月発行の『3874グループユーザズマニュアル』(印刷番号:HU-068A)及び
1997年2月発行の三菱半導体データブック1997『8ビットシングルチップマイクロコン
ピュータ編Vol.2』(印刷番号:HD-159C)に、一部内容の訂正がありましたのでお知らせ
いたします。本マニュアルをご使用の際は、留意のほど宜しくお願いいたします。
訂正内容は、添付資料の正誤表(REV.A)を参照ください。

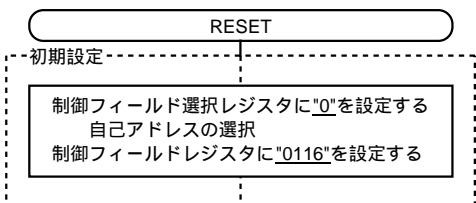
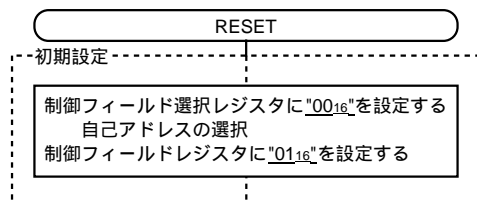
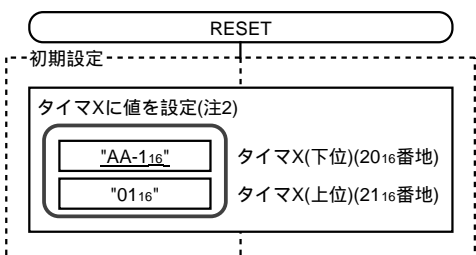
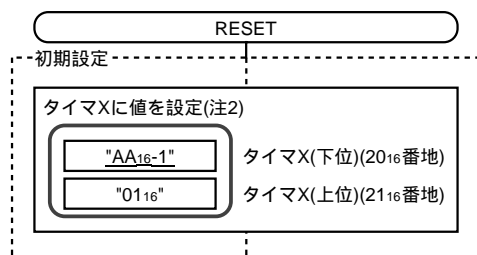
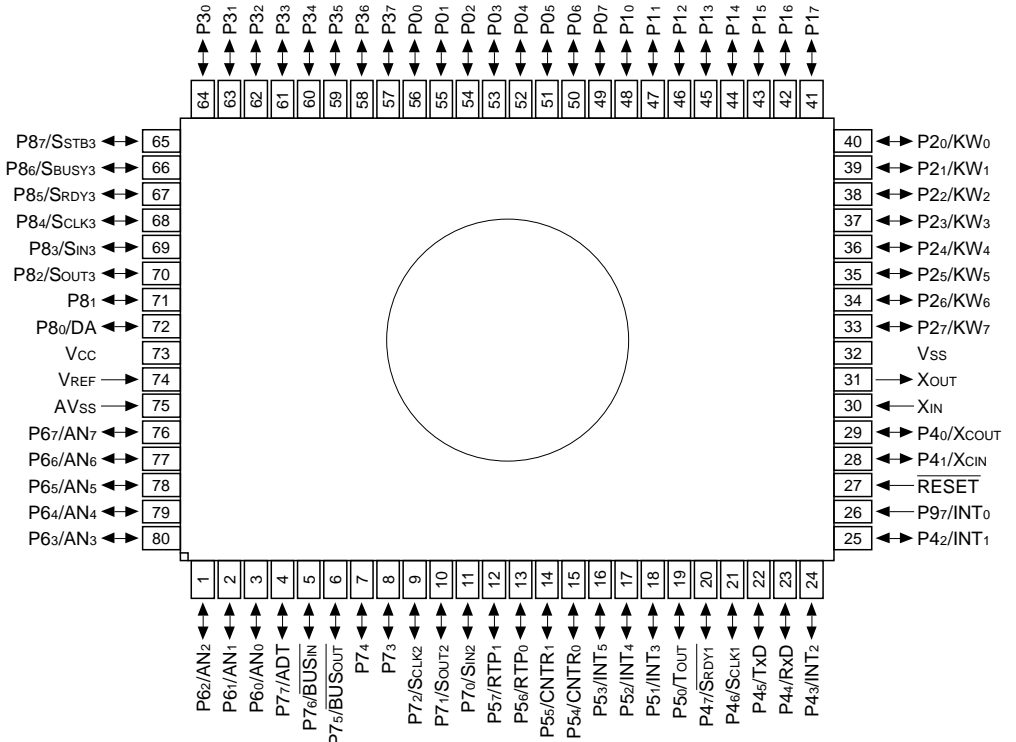
添付：『3874グループユーザズマニュアル』正誤表(REV.A) 2/4 ~ 4/4

『8ビットシングルチップマイクロコンピュータ編Vol.2』正誤表(REV.A) . . . 4/4

3874グループユーザズマニュアル正誤表(REV.A)

訂正箇所	誤	正																																																												
1-27ページ 表9.割り込みベクトル番地と優先順位	<table border="1"> <thead> <tr> <th>割り込み要因</th> <th>優先順位</th> <th colspan="2">^\`クル番地(注1)</th> <th>割り込み要求発生条件</th> <th>...</th> </tr> <tr> <td></td> <td></td> <th>上位</th> <th>下位</th> <td></td> <td></td> </tr> </thead> <tbody> <tr> <td>キー入力(キーウェイクアップ)</td> <td>16</td> <td>FFDF₁₆</td> <td>FFDE₁₆</td> <td>ポートP2₀~P2₅(入力時)の入力論理レベルの論理積の立ち下がり時</td> <td>...</td> </tr> <tr> <td>シリアル/O1受信</td> <td></td> <td></td> <td></td> <td>シリアル/O1データ受信完了時</td> <td>...</td> </tr> <tr> <td>シリアル/O1送信</td> <td></td> <td></td> <td></td> <td>シリアル/O1送信シフト完了時又は送信バッファ空時</td> <td>...</td> </tr> </tbody> </table>	割り込み要因	優先順位	^\`クル番地(注1)		割り込み要求発生条件	...			上位	下位			キー入力(キーウェイクアップ)	16	FFDF ₁₆	FFDE ₁₆	ポートP2 ₀ ~P2 ₅ (入力時)の入力論理レベルの論理積の立ち下がり時	...	シリアル/O1受信				シリアル/O1データ受信完了時	...	シリアル/O1送信				シリアル/O1送信シフト完了時又は送信バッファ空時	...	<table border="1"> <thead> <tr> <th>割り込み要因</th> <th>優先順位</th> <th colspan="2">^\`クル番地(注1)</th> <th>割り込み要求発生条件</th> <th>...</th> </tr> <tr> <td></td> <td></td> <th>上位</th> <th>下位</th> <td></td> <td></td> </tr> </thead> <tbody> <tr> <td>キー入力(キーウェイクアップ)</td> <td>16</td> <td>FFDF₁₆</td> <td>FFDE₁₆</td> <td>ポートP2₀~P2₇(入力時)の入力論理レベルの論理積の立ち下がり時</td> <td>...</td> </tr> <tr> <td>シリアル/O1受信</td> <td></td> <td></td> <td></td> <td>シリアル/O1データ受信完了時</td> <td>...</td> </tr> <tr> <td>シリアル/O1送信</td> <td></td> <td></td> <td></td> <td>シリアル/O1送信シフト完了時又は送信バッファ空時</td> <td>...</td> </tr> </tbody> </table>	割り込み要因	優先順位	^\`クル番地(注1)		割り込み要求発生条件	...			上位	下位			キー入力(キーウェイクアップ)	16	FFDF ₁₆	FFDE ₁₆	ポートP2 ₀ ~P2 ₇ (入力時)の入力論理レベルの論理積の立ち下がり時	...	シリアル/O1受信				シリアル/O1データ受信完了時	...	シリアル/O1送信				シリアル/O1送信シフト完了時又は送信バッファ空時	...
割り込み要因	優先順位	^\`クル番地(注1)		割り込み要求発生条件	...																																																									
		上位	下位																																																											
キー入力(キーウェイクアップ)	16	FFDF ₁₆	FFDE ₁₆	ポートP2 ₀ ~P2 ₅ (入力時)の入力論理レベルの論理積の立ち下がり時	...																																																									
シリアル/O1受信				シリアル/O1データ受信完了時	...																																																									
シリアル/O1送信				シリアル/O1送信シフト完了時又は送信バッファ空時	...																																																									
割り込み要因	優先順位	^\`クル番地(注1)		割り込み要求発生条件	...																																																									
		上位	下位																																																											
キー入力(キーウェイクアップ)	16	FFDF ₁₆	FFDE ₁₆	ポートP2 ₀ ~P2 ₇ (入力時)の入力論理レベルの論理積の立ち下がり時	...																																																									
シリアル/O1受信				シリアル/O1データ受信完了時	...																																																									
シリアル/O1送信				シリアル/O1送信シフト完了時又は送信バッファ空時	...																																																									
1-29ページ (4)割り込み要求受け付けまでのタイミング 本文13行目	... 1命令実行サイクル数(2~15内部システムクロック)多く必要とします。...	... 1命令実行サイクル数(2~16内部システムクロック)多く必要とします。...																																																												
1-34ページ タイマX 注意事項 ・タイマX書き込み制御 本文6行目~9行目	... なお、ラッチのみへ書き込む場合、上位側リロード用ラッチに書き込むタイミングとアンドフローのタイミングがほぼ同時のときには、上位側カウンタに設定される値が不定になることがあります。	... なお、タイマラッチのみ書き込む場合、 <u>タイマのアンダフロー時にタイマラッチに書き込みを行うと、タイマとタイマラッチの両方に同時に値が設定されます。また、上位側リロード用ラッチに書き込むタイミングとアンダフローのタイミングがほぼ同時のときには、上位側カウンタに設定される値が不定になることがあります。</u>																																																												
1-75ページ 図76.A-D変換タイミング チャート	<p>A-D制御レジスタへの書き込み信号</p> <p>50サイクル</p>	<p>内部システムクロック</p> <p>A-D制御レジスタへの書き込み信号</p> <p>50サイクル (= f(XIN)/2)</p>																																																												
2-8ページ 表2.1.2 未使用端子の処理	<table border="1"> <thead> <tr> <th>端子/ポート名</th> <th>処理方法</th> </tr> </thead> <tbody> <tr> <td>P0、P1、P3、P4 P5、P6、P7、P8</td> <td>・入力モードに設定し、各端子ごとに1k ~ 10k の抵抗を介して、Vcc又はVssに接続してください ・出力モードに設定し、「L」又は「H」出力状態で開放(注1)</td> </tr> <tr> <td>P2</td> <td>入力モードに設定し、各端子ごとに1k ~ 10k の抵抗を介して、Vccに接続してください</td> </tr> <tr> <td>P97(注2)</td> <td>Vss(GND)に接続</td> </tr> <tr> <td>VREF端子</td> <td>Vss(GND)に接続、又は開放</td> </tr> <tr> <td>AVss端子</td> <td>開放(外部クロック使用時のみ)</td> </tr> </tbody> </table> <p>注1... 2. P97端子はワンタイムPROM版及びEPROM版の場合、VPP端子 (EPROM書き込み用)兼用となっています。 ・配線はできるだけ短くしてください。 ・配線が長くなる場合は、5k 程度の抵抗をVPP端子に近い位置に挿入し、これを介してVPP端子とVSS端子を接続してください。 3. ...</p>	端子/ポート名	処理方法	P0、P1、P3、P4 P5、P6、P7、P8	・入力モードに設定し、各端子ごとに1k ~ 10k の抵抗を介して、Vcc又はVssに接続してください ・出力モードに設定し、「L」又は「H」出力状態で開放(注1)	P2	入力モードに設定し、各端子ごとに1k ~ 10k の抵抗を介して、Vccに接続してください	P97(注2)	Vss(GND)に接続	VREF端子	Vss(GND)に接続、又は開放	AVss端子	開放(外部クロック使用時のみ)	<table border="1"> <thead> <tr> <th>端子/ポート名</th> <th>処理方法</th> </tr> </thead> <tbody> <tr> <td>P0、P1、P2、P3 P4、P5、P6、P7 P8</td> <td>・入力モードに設定し、各端子ごとに1k ~ 10k の抵抗を介して、Vcc又はVssに接続してください ・出力モードに設定し、「L」又は「H」出力状態で開放(注1)</td> </tr> <tr> <td>P97(注2)</td> <td>抵抗を介して、Vss(GND)に接続</td> </tr> <tr> <td>VREF端子</td> <td>Vss(GND)に接続、又は開放</td> </tr> <tr> <td>AVss端子</td> <td>Vss(GND)に接続</td> </tr> <tr> <td>Xout端子</td> <td>開放(外部クロック使用時のみ)</td> </tr> </tbody> </table> <p>注1... 2. P97端子はワンタイムPROM版及びEPROM版の場合、VPP端子 (EPROM書き込み用)兼用となっています。 ・配線はできるだけ短くしてください。 ・5k 程度の抵抗をVPP端子に近い位置に挿入し、これを介してVPP端子とVSS端子を接続してください。 3. ...</p>	端子/ポート名	処理方法	P0、P1、P2、P3 P4、P5、P6、P7 P8	・入力モードに設定し、各端子ごとに1k ~ 10k の抵抗を介して、Vcc又はVssに接続してください ・出力モードに設定し、「L」又は「H」出力状態で開放(注1)	P97(注2)	抵抗を介して、Vss(GND)に接続	VREF端子	Vss(GND)に接続、又は開放	AVss端子	Vss(GND)に接続	Xout端子	開放(外部クロック使用時のみ)																																				
端子/ポート名	処理方法																																																													
P0、P1、P3、P4 P5、P6、P7、P8	・入力モードに設定し、各端子ごとに1k ~ 10k の抵抗を介して、Vcc又はVssに接続してください ・出力モードに設定し、「L」又は「H」出力状態で開放(注1)																																																													
P2	入力モードに設定し、各端子ごとに1k ~ 10k の抵抗を介して、Vccに接続してください																																																													
P97(注2)	Vss(GND)に接続																																																													
VREF端子	Vss(GND)に接続、又は開放																																																													
AVss端子	開放(外部クロック使用時のみ)																																																													
端子/ポート名	処理方法																																																													
P0、P1、P2、P3 P4、P5、P6、P7 P8	・入力モードに設定し、各端子ごとに1k ~ 10k の抵抗を介して、Vcc又はVssに接続してください ・出力モードに設定し、「L」又は「H」出力状態で開放(注1)																																																													
P97(注2)	抵抗を介して、Vss(GND)に接続																																																													
VREF端子	Vss(GND)に接続、又は開放																																																													
AVss端子	Vss(GND)に接続																																																													
Xout端子	開放(外部クロック使用時のみ)																																																													
2-78ページ (4)シリアル/O1ステータスレジスタ 送信バッファエンブティフラグ(ビット0) 本文5行目	... 送信バッファレジスタへの送信データ書き込みは、この送信バッファエンブティフラグが <u>"0"</u> の期間のみ可能です。...	... 送信バッファレジスタへの送信データ書き込みは、この送信バッファエンブティフラグが <u>"1"</u> の期間のみ可能です。...																																																												
2-109ページ 2.5.9 シリアル/O2使用上の注意事項 (1)外部クロック使用時において	... 外部クロック使用時は、データ転送の終了後、S _{OUT2} 端子はハイインピーダンス状態になりません。データ転送終了後、シリアル/O2制御レジスタのS _{OUT2} 出力制御ビットを "1" にしてください。内部クロック使用時は、データ転送終了後、S _{OUT2} 端子は自動的に <u>"1"</u> になります。 外部クロック使用時は、データ転送の終了後、S _{OUT2} 端子はハイインピーダンス状態になりません。データ転送終了後、シリアル/O2制御レジスタのS _{OUT2} 出力制御ビットを "1" にしてください。内部クロック使用時は、データ転送終了後、S _{OUT2} 端子は自動的に <u>ハイインピーダンス状態</u> になります。 ...																																																												

3874グループユーザーズマニュアル正誤表(REV.A)

訂正箇所	誤	正
2-146ページ 図2.6.15 送受信制御手順例(1)		
2-161ページ 図2.7.13 制御手順例(1)		
2-163ページ 2.7.5 A-D変換器及びD-A変換器の使用上の注意事項(3)A-D変換中のクロック周波数	... <u>CPUのシステムクロックはXINを分周したクロックを使用してください。</u>	... <u>CPUのシステムクロックとして、XCINを分周したものを使用しないでください。</u>
2-184ページ 2.12.3 PROM内蔵版のピン接続図	PROM内蔵版のピン接続は、マスクROM版と同一です。 EPROM版及びワンタイムPROM内蔵版のピン接続図については、「第1章 ハードウェア」の「図1.M38749MF-XXXGPのピン接続図」を参照してください。	ワンタイムPROM版のピン接続はマスクROM版と同一ですが、EPROM版のピン接続は異なります。 EPROM版のピン接続図を図2.12.1に示します。 ワンタイムPROM内蔵版のピン接続図については、「第1章 ハードウェア」の「図1.M38749MF-XXXGPのピン接続図」を参照してください。
<p>[追加]図2.12.1 M38749EFFS(EPROM版)のピン接続図</p>  <p style="text-align: center;">外形 80D0</p>		

3874グループユーザズマニュアル正誤表(REV.A)

訂正箇所	誤	正
2-185ページ 2.12.4 PROM内蔵版の機能ブロック図	PROM内蔵版の機能ブロックは、マスクROM版と同一です。 EPROM版及びワンタイムPROM内蔵版の機能ブロック図については、「第1章 ハードウェア」の「図2.機能ブロック図」を参照してください。	ワンタイムPROM内蔵版の機能ブロックはマスクROM内蔵版と同一ですが、EPROM版はピン番号が異なります。 EPROM版及びワンタイムPROM内蔵版の機能ブロック図については、「第1章 ハードウェア」の「図2.機能ブロック図」を参照してください。ただし、EPROM版はピン番号が異なるので注意が必要です。EPROM版のピン番号については、図2.12.1を参照してください。
2-189ページ 図2.13.1 ユーザプログラムのPROM書き込み例 (R4945使用時)	<pre> TYPE - MAKER メーカー指定 [Mitsubishi] 1 2 . 5 0 v 7 1 1 5 4 E ROM指定 M 5 M 2 7 C 1 0 1 K ... B P R S U M 2 C 5 D ブランクチェック プログラム(書き込み) リード M 5 M 2 7 C 1 0 1 K ... R E A D S U M 2 C 5 D プログラム(書き込み)終了 M 5 M 2 7 C 1 0 1 K </pre>	<pre> TYPE - MAKER メーカー指定 [Mitsubishi] 1 2 . 5 0 v 7 1 0 5 5 0 ROM指定 M 5 M 2 7 C 1 0 1 ... B P R S U M 2 C 5 D ブランクチェック プログラム(書き込み) リード M 5 M 2 7 C 1 0 1 ... R E A D S U M 2 C 5 D プログラム(書き込み)終了 M 5 M 2 7 C 1 0 1 </pre>
2-190ページ 図2.13.2 ファームウェアプログラムのPROM書き込み例 (R4945使用時)	<pre> B P R S U M 2 C 5 D ブランクチェック プログラム(書き込み) リード M 5 M 2 7 C 1 0 1 K ... R E A D S U M 2 C 5 D プログラム(書き込み)終了 M 5 M 2 7 C 1 0 1 K </pre>	<pre> B P R S U M 2 C 5 D ブランクチェック プログラム(書き込み) リード M 5 M 2 7 C 1 0 1 ... R E A D S U M 2 C 5 D プログラム(書き込み)終了 M 5 M 2 7 C 1 0 1 </pre>
3-32ページ 3.3.9 A-D変換器、D-A変換器に関する注意事項 (3)A-D変換中のクロック周波数	... <u>CPUのシステムクロックはX_{IN}を分周したクロックを使用してください。</u>	... <u>CPUのシステムクロックとして、X_{CIN}を分周したものを使用しないでください。</u>
3-42ページ 3.4.5 入出力ポート処理 (2)ソフトウェア面 一定周期で方向レジスタ、プルアップ制御レジスタの再書き込みを行ってください。 <u>一定周期で方向レジスタを入力ポートに再設定すると、そのポートから数nsの細かいパルスが出力される場合があります。これが問題となる場合は、ポートにコンデンサを配置することによってこのパルスを除去してください。</u> 一定周期で方向レジスタ、プルアップ制御レジスタの再書き込みを行ってください。

8ビットシングルチップマイクロコンピュータ編Vol.2正誤表(REV.A)

訂正箇所	誤	正
2-27ページ (4)割り込み要求受け付けまでのタイミング 本文13行目	...1命令実行サイクル数(2~15内部システムクロック)多く必要とします。...	...1命令実行サイクル数(2~16内部システムクロック)多く必要とします。...