

# マイクロコンピュータ技術情報

<b>技術通知</b>  32ビットマイクロコントローラ V850E/ME2 使用制限事項通知改版の件		発行番号	ZBG-CC-07-0022号	1/1	
		発行日	2007年10月1日		
		発行元	NECエレクトロニクス株式会社 マイクロコンピュータ事業本部 汎用マイコンシステム事業部 第二製品ソリューショングループ		
文書分類	○	使用制限事項	バージョン・アップ	ドキュメント誤記訂正 (正誤表)	その他
関連資料	V850E/ME2 ユーザーズ・マニュアル (ハードウェア編)		資料番号: U16031JJ5V0UD00 (第5版)		
	V850E1 ユーザーズ・マニュアル (アーキテクチャ編)		資料番号: U14559JJ3V1UD00 (第3版)		

## 1. 対象製品

V850E/ME2

- ・ μPD703111
- ・ μPD703111A
- ・ μPD703111B (新規追加)

## 2. 内容

前版(文書番号ZBG-CC-04-0018)では、No. 11のA/Dコンバータに関する制限事項をμPD703111AGMのE規格品で修正する旨、記載しておりますが、品名を変更し、Bバージョン(品名:μPD703111BGM)で修正させていただきます。

注意: μPD703111AGMのE規格品は、存在しませんので、ご注意願います。

## 3. 制限事項一覧

制限事項の履歴とその詳細情報が含まれました制限事項一覧を別紙に記載します。

## 4. 発行文書履歴

V850E/ME2 使用制限事項一覧 発行文書履歴

文書番号	発行日	記事
SBG-DT-03-0154 (初版)	2003. 05. 23	統合版初版
SBG-DT-03-0220 (第2版)	2003. 08. 19	新規不具合追加 (No. 3~No. 4)
SBG-DT-04-0060 (第3版)	2004. 02. 09	新規不具合追加 (No. 5~No. 8)
SBG-DT-04-0101 (第4版)	2004. 03. 02	新規不具合追加 (No. 9~No. 10)
ZBG-CC-04-0018 (第5版)	2004. 09. 22	新規不具合追加 (No. 11)
ZBG-CC-07-0022 (最新版)	2007. 10. 01	文書内容改定

以上

## V850E/ME2の使用制限事項一覧

## 1) 製品バージョン

- ・ μPD703111 : K規格、E規格
  - ・ μPD703111A : K規格
  - ・ μPD703111B : K規格 (No.11の制限事項修正品)
- : 規格区分は、ロット番号の左から5桁目のアルファベットです。

## 2) 製品履歴

- ・ μPD703111

No.	不具合事項	規格	
		K	E
1	SDRAMとSRAMインタフェースのデバイスの連続アクセスに関する不具合	×	
2	バス・ホールド機能に関する不具合	×	
3	SDRAM 外部I/OへのフライバイDMA転送に関する不具合		
4	USB機能に関する不具合		
5	SLD命令と割り込み競合に関する制限事項		
6	先読み機能使用時の2サイクルDMA転送に関する制限事項		
7	32ビット・バス幅における先読み機能の制限事項		
8	外部BUSCLKを1分周設定した場合の先読み機能の制限事項		
9	内蔵データRAMを転送先とする2サイクルDMA転送に関する制限事項		
10	先読み機能に関する制限事項		
11	A/Dコンバータに関する制限事項		

: 該当しない、 : 今後とも制限事項

- ・ μPD703111A

No.	不具合事項	規格
		K
1	SDRAMとSRAMインタフェースのデバイスの連続アクセスに関する不具合	
2	バス・ホールド機能に関する不具合	
3	SDRAM 外部I/OへのフライバイDMA転送に関する不具合	
4	USB機能に関する不具合	
5	SLD命令と割り込み競合に関する制限事項	
6	先読み機能使用時の2サイクルDMA転送に関する制限事項	
7	32ビット・バス幅における先読み機能の制限事項	
8	外部BUSCLKを1分周設定した場合の先読み機能の制限事項	
9	内蔵データRAMを転送先とする2サイクルDMA転送に関する制限事項	
10	先読み機能に関する制限事項	
11	A/Dコンバータに関する制限事項	

: 該当しない、 : 今後とも制限事項

・  $\mu$ PD703111B

No.	不具合事項	規格
		K
1	SDRAMとSRAMインタフェースのデバイスの連続アクセスに関する不具合	
2	バス・ホールド機能に関する不具合	
3	SDRAM 外部I/OへのフライバイDMA転送に関する不具合	
4	USB機能に関する不具合	
5	SLD命令と割り込み競合に関する制限事項	
6	先読み機能使用時の2サイクルDMA転送に関する制限事項	
7	32ビット・バス幅における先読み機能の制限事項	
8	外部BUSCLKを1分周設定した場合の先読み機能の制限事項	
9	内蔵データRAMを転送先とする2サイクルDMA転送に関する制限事項	
10	先読み機能に関する制限事項	
11	A/Dコンバータに関する制限事項	

: 該当しない、 : 今後とも制限事項

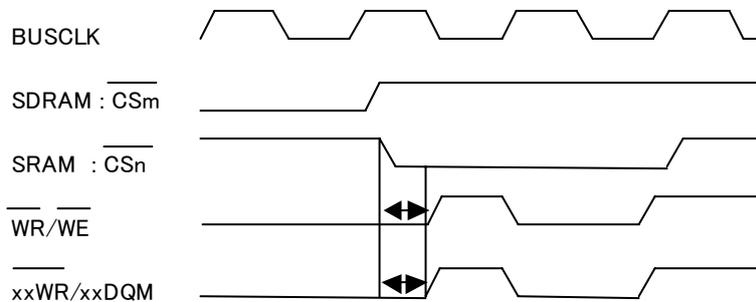
### 3) 使用制限事項の詳細

#### No.1 SDRAMとSRAMインタフェースのデバイスの連続アクセスに関する不具合

##### 【内容】

SDRAMへのアクセスを行なった直後に、SRAMインタフェースのデバイスへのアクセスが発生した場合、SRAMインタフェースのデバイスに対し、誤書き込みが発生する可能性があります。

UU/UL/LU/LLWR信号(以下xxWR信号)とUU/UL/LU/LLDQM信号(以下xxDQM信号)は兼用端子(xxWR/xxDQM)となっています。また、WR信号とWE信号は兼用端子(WR/WE)となっています。このため、SDRAMアクセスの直後にSRAMインタフェースのデバイスへのアクセスが発生した場合、xxDQM(xxWR)信号の立ち上がり、もしくはWE(WR)信号の立ち上がり(インアクティブ・タイミング)が、次のSRAMインタフェースのデバイスのサイクルに掛かり、誤書き込みが発生する可能性があります(下図参照)。

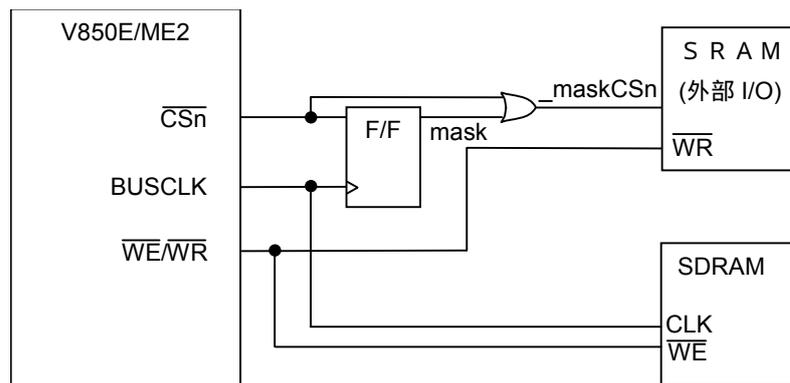


xxWR/xxDQM信号の立ち上がり、WR/WE信号の立ち上がりより先に、SRAMのCSn信号が立ち下がるため、誤書き込みが発生する可能性があります。

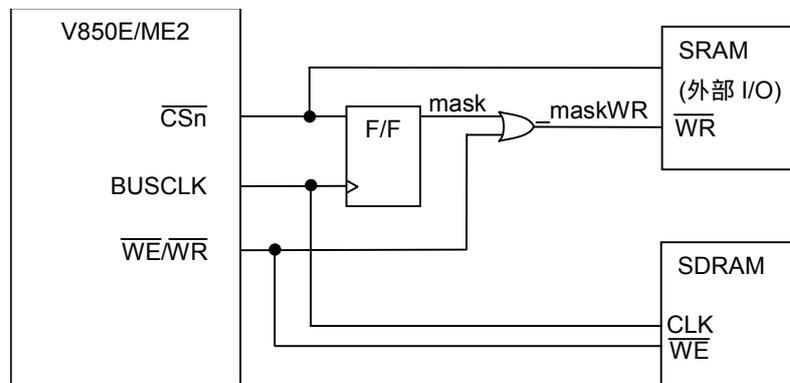
##### 【回避策】

以下のいずれかの方法で、回避をお願い致します。

- ・ SRAMインタフェースのデバイスへのアクセスを、xxWR信号、またはWR信号ではなく、IOWR信号を使用してください。また、バイト制御する必要がある場合には、xxBE信号とIOWR信号を外部で論理ORするような回路構成にしてください。  
但し、本回避策においては、メモリ - 外部I/O間のフライバイDMA転送で、メモリ側がSDRAM以外のデバイスを対象とする転送は行なえません(例: SRAM - 外部I/Oへのフライバイ転送は行なえません)。また、IOWR信号は、内蔵命令RAMへのプログラム転送完了後、BCPレジスタのIOENビットをセット(1)することにより、有効にしてください。
- ・ IOWR信号が使用できない場合は、下図のようにSRAMインタフェースのデバイスに対するCS信号を、BUSCLKでサンプリングし、ライト信号をマスクしてください。但し、本回避策においては、BUSCLKの周波数等の関係により、SRAM(外部I/O)に対するWR信号の入力(立下り)が遅れる場合があることに注意し、必要に応じてウエイトを挿入してください。



- ・ S R A Mインタフェースのデバイスに対するCS信号を、BUSCLKでサンプリングし、CS信号をマスクしてください。本回避策の場合、S R A Mインタフェースのデバイスに対して、アドレス・セットアップ・ウエイト(A S Cレジスタ)を、余分に1ウエイト挿入してください。



- ・ A S I Cの場合、BUSCLKでCSn、 $\overline{WR}$ 、WR信号をサンプリングするような同期設計を行なってください。
- ・ S D R A Mのリード・サイクルの直後にしか、S R A Mインタフェースのデバイスのアクセスが発生しないことが明確であれば、B C Cレジスタによりアイドル・ステートを挿入することで、回避することができます。

## 【恒久対策】

本不具合への対策として、E規格以降の製品では、PFCCSレジスタのビット0、4、6、7に、以下の機能を追加します。

## ポートCSファンクション・コントロール・レジスタ(PFCCS)

	7	6	5	4	3	2	1	0	アドレス	初期値
PFCCS	CSDC7	CSDC6	PFCCS5	CSDC4	0	PFCCS2	0	CSDC0	FFFFFF049H	00H

ビット位置	ビット名	意味
0,4,6,7	CSDCn	このビットをセット(1)すると、対応するチップ・セレクト信号(CSn)の立ち下がりタイミングを1クロック遅らせます。 CSn 信号以外の出力タイミングは変わりません。

備考 n = 0,4,6,7

**注意**

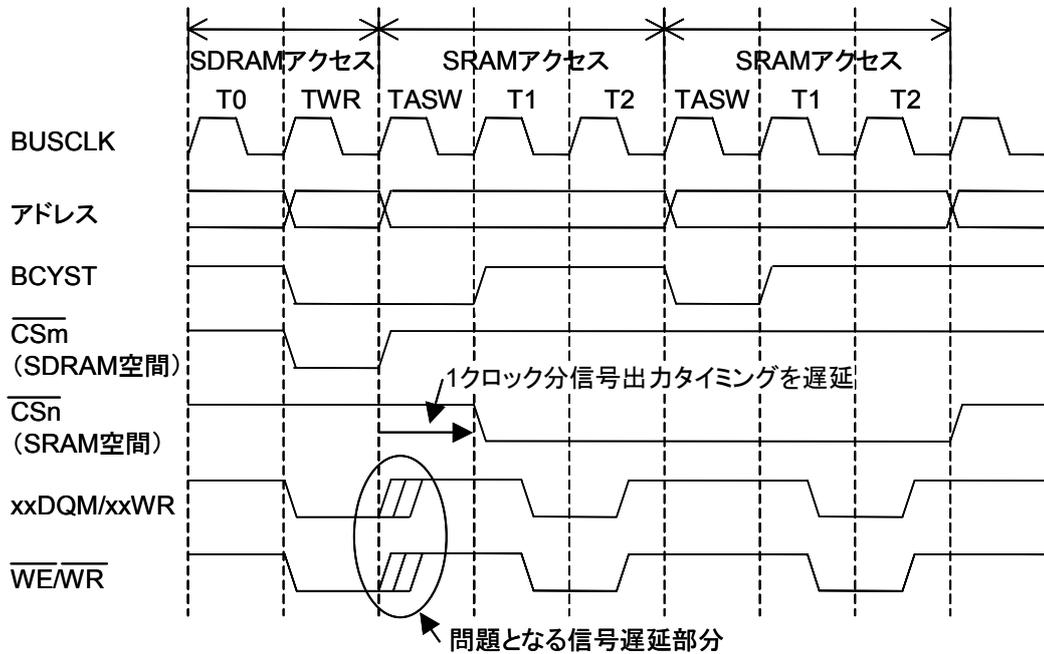
- (1) CSDCnビットをセット(1)するCS空間には、必ず制限事項が該当する(誤書き込みが発生する可能性がある)デバイスが接続されるように、BCT0、BCT1レジスタを設定(BTn1、BTn0ビット:00、または01)してください。
- (2) 現在、実行中のプログラムが配置されたCS空間に対するCSDCnビットの変更は、行なわないでください。
- (3) CSDCnビットをセット(1)するCS空間に対しては、必ずASCレジスタにより、1ウエイト以上のアドレス・セットアップ・ウエイト(必要なウエイト数+1)を、挿入してください。
- (4) ビット1、3には、0以外の値を設定しないでください。

SDRAMアクセス直後のSRAMアクセス

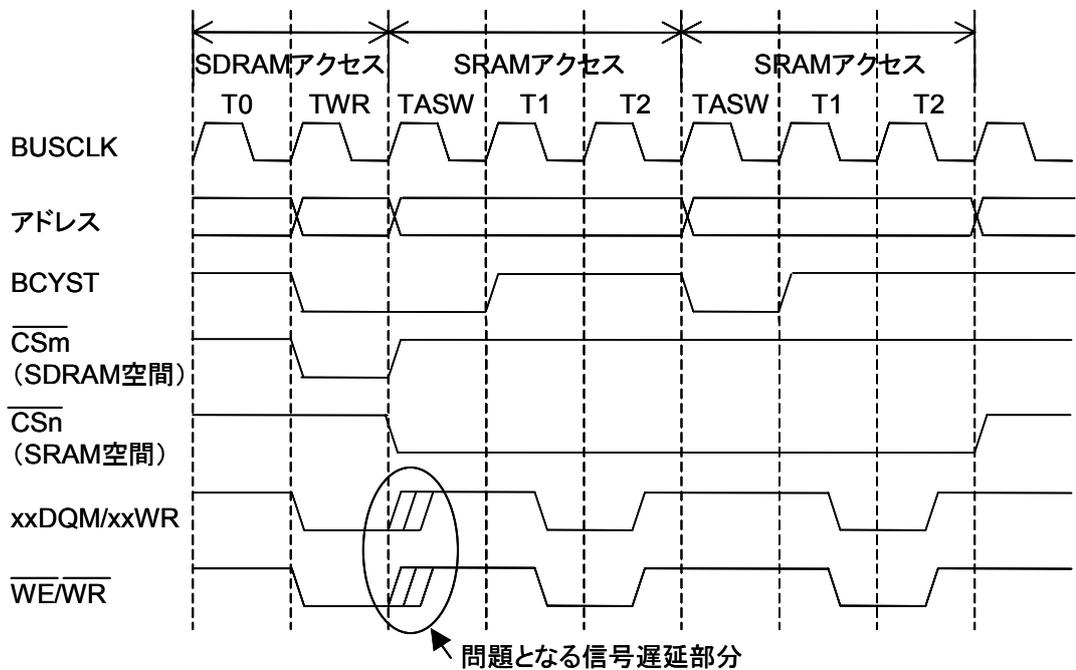
(SDRAMアクセス後にSRAMアクセスが2回続いた場合)

SRAMの設定：アドレス・セットアップ・ウエイト=1、データ・ウエイト=0、CSCDn=1

1. CSCDn=1 (SRAMサイクルのCS信号を1クロック遅らせた場合)



2. CSCDn=0 (追加機能未使用の場合)



: 上図は、いずれもT0ステートが挿入されない場合のタイミング図です(T0ステートが挿入された場合は、本問題は発生しません)。T0ステートが挿入されないタイミングに関しては、ユーザズ・マニュアルをご参照ください。

## No.2 バス・ホールド機能に関する不具合

## 【現象1】: 外部バスのデッドロック

BUSCLKを内部動作周波数の3分周、もしくは4分周で使用している場合において、以下の3項目のいずれか1つの動作とHLDRQ端子へのアクティブ・レベルの入力(立下り)が競合し、かつ外部メモリ・アクセスに対する先読みサイクルが発生した場合、外部バスがデッドロックすることがあります。

- ・ソフトウェアSTOPモード、またはIDLEモードの解除
- ・SDRAMに対するSCRnレジスタ・ライト・サイクル( $n = 1, 3, 4, 6$ )
- ・SDRAMに対するリフレッシュ・サイクル(SELFFREF端子によるセルフ・リフレッシュ・サイクルを含む)

## 【現象1の該当条件】

以下の条件が全て成立するような使用法において、不具合が発生する可能性があります。

- ・バス・ホールド機能を使用している。
- ・外部メモリ・アクセスに対する先読み機能を有効にしている。
- ・BUSCLKを内部動作周波数の3分周、もしくは4分周で使用している。
- ・SDRAMを使用している。もしくはソフトウェアSTOP、またはIDLEモードを使用している。

## 【現象2】: HLD A K信号の不正出力

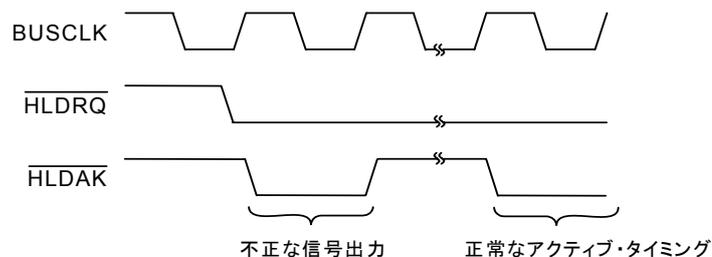
以下の3項目のいずれか1つの動作とHLDRQ端子へのアクティブ・レベルの入力(立下り)が競合した場合、HLD A K信号が不正に1BUSCLKのみアクティブになり、一旦インアクティブになった後、数BUSCLK後に再びアクティブになることがあります(この(2回目の)アクティブ動作が正常なHLD A K信号の動作)(下図参照)。

- ・ソフトウェアSTOPモード、またはIDLEモードの解除
- ・SDRAMに対するSCRnレジスタ・ライト・サイクル( $n = 1, 3, 4, 6$ )
- ・SDRAMに対するリフレッシュ・サイクル(SELFFREF端子によるセルフ・リフレッシュ・サイクルを含む)

## 【現象2の該当条件】

以下の条件が全て成立するような使用法において、不具合が発生する可能性があります。

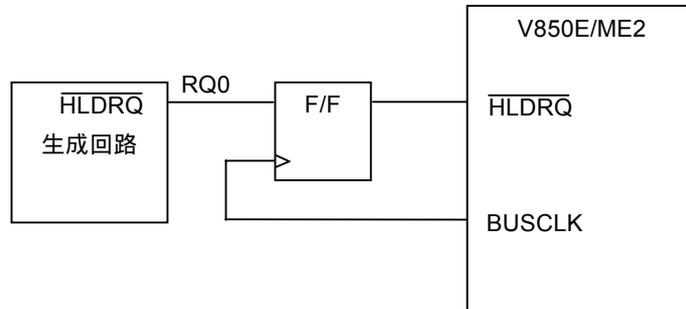
- ・バス・ホールド機能を使用している。
- ・SDRAMを使用している。もしくはソフトウェアSTOP、またはIDLEモードを使用している。



**【回避策】**

上記現象1、2とも、外部回路を用いた以下の方法での回避をお願いします。

H L D R Q信号の設定時間、保持時間の期間中にH L D R Q信号を変化させないようにしてください。回路例を以下に示します。

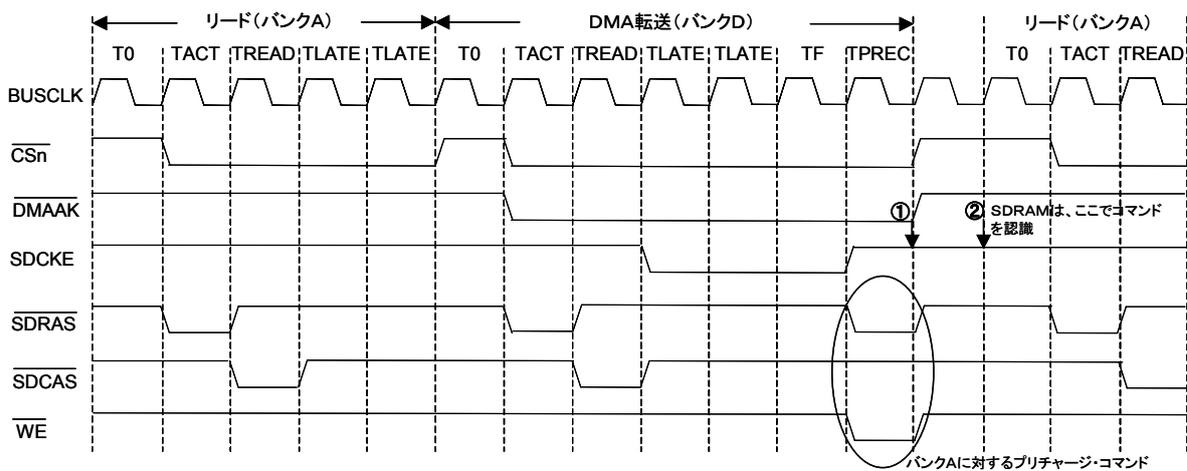
**No.3 S D R A M 外部I / OへのフライバイDMA転送に関する不具合****【内容】**

S D R A Mに対するリードまたはライト動作と、そのS D R A Mを対象とするフライバイDMA転送の一連の動作において、S D R A Mのバンク・チェンジが発生した場合、プリチャージ・コマンドが不正なタイミングで発生し、その結果、以降のS D R A Mアクセスが不正になる場合があります。また、S D R A Mに対するレイテンシが3の場合、またはDMAのデータ転送サイズがS D R A Mに対するバス幅よりも大きく設定されている場合には、バンク・チェンジの発生の有無に拘わらず、フライバイ転送後のS D R A Mに対するアクセス・コマンドが不正なタイミングで発生し、その結果、以降のS D R A Mアクセスが不正になる場合があります。

本不具合は、S D R A M 外部I / OへのフライバイDMA転送時のみ発生します。外部I / O S D R A Mへのフライバイ転送、及び2サイクル転送の場合は、本問題は発生しません。

**(詳細)**

上記製品は、S D R A Mを対象とするフライバイDMA転送時のウェイト制御を、S D C K E信号をインアクティブ(Lレベル)にすることで行ないます。あるバンク(バンクAとします)へのS D R A Mアクセスの後、別のバンク(バンクDとします)に対するDMA転送が発生した場合、上記製品は、S D C K E信号をアクティブ(Hレベル)にした直後に、プリチャージ・コマンドを発行(下図 部分)します。しかしながら、S D R A Mは、S D C K E信号のHレベルを検出した次のクロックの立下り(下図 部分)でしか、コマンドを受け付けられません。このため、上記製品から出力されたプリチャージ・コマンドは認識されず、DMA転送の後に発生したバンクAに対するS D R A Mアクセスが不正になります。



#### 【回避策】

SDRAM 外部I/OへのフライバイDMA転送を行なわれる場合は、2サイクル転送をご使用ください。

#### No.4 USB機能に関する不具合

##### 【内容】

EP0に対するIN転送Token Phase中のある特定区間(4USB CLK間)に、UF0SDSレジスタのSNDSTLビットがセットされた場合、Data Phaseが正常に終了できません(“00H”を送信し続けます)(詳細タイミングは下図参照)。

EP0に対するOUT転送Token Phase中のある特定区間(4USB CLK間)に、UF0SDSレジスタのSNDSTLビットがセットされた場合、バッファがNAK状態であってもData PhaseでホストにACKを返信してしまいます。

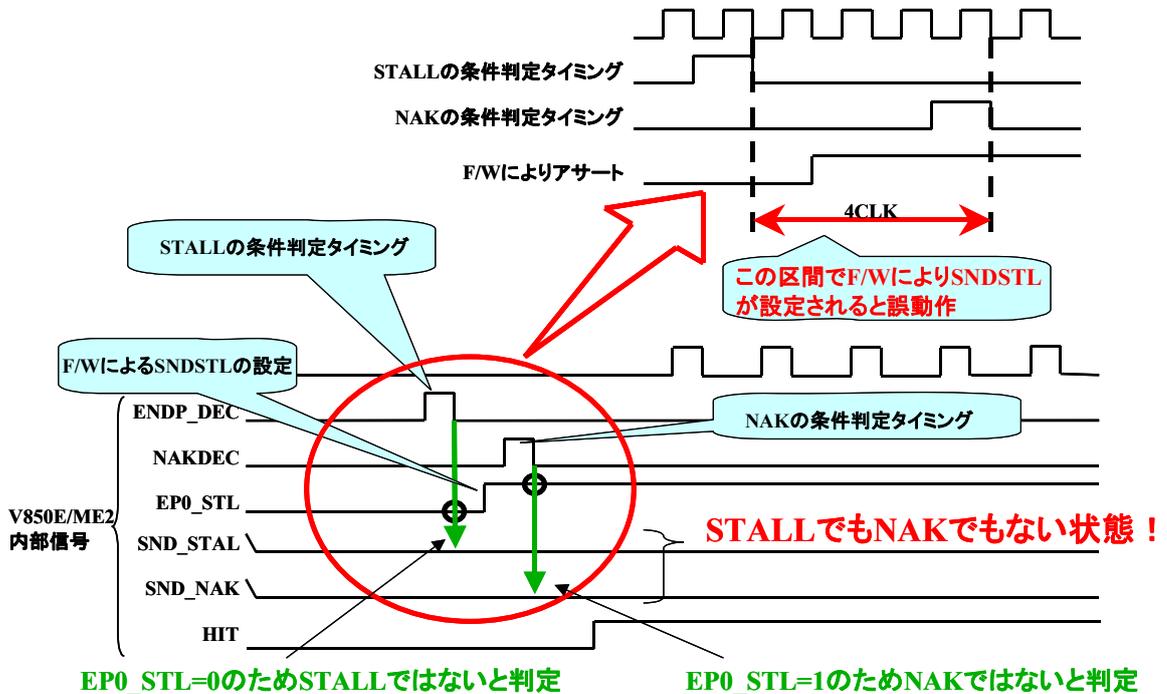
上記の問題は、ホストから見た場合、ME2へのOUT転送は正常に終了します。OUT転送以降のTokenに対し、ソフトウェアでセットしたSTALL応答を行ないますので、特に対策を施さなくても、正常状態に復旧します。

EP0以外のEndpointに対しては、トランザクション中のソフトウェアによるSNDSTLビットのセットを、ハードウェア的に無効にしていますので、上記不具合は発生しません。

自動応答のリクエストに対しては、ソフトウェアによるSNDSTLビットのセットをハードウェア的に無効にしていますので、上記不具合は発生しません。

### 不具合発生時の詳細タイミング

V850E/ME2のUSB機能は、デバイス内部でSTALL応答を実行可能状態になったことを判定するタイミングと、次のNAK応答の実行を判定するタイミングに、4USBCLKの差があります。この4USBCLK間に、ソフトウェアによりUF0SDSレジスタのSNDSTLビットがセットされた場合、STALLでもNAKでもない状態となり、不具合が発生します。



#### 【回避策】

ファンクション・ドライバが認識できないデバイス・リクエストを出力しないように、ホスト・ドライバを作成してください。

本回避策が、困難な場合には、弊社販売員、もしくは特約店にご相談ください。

#### No.5 SLD命令と割り込み競合に関する制限事項

##### 【内容】

以下の特定命令（下記例 に対応）の実行が完了する以前に、後続のsld命令（下記例 に対応）の直前の命令（下記例 に対応）のデコード動作と割り込み要求が競合した場合、先の特定命令の実行結果がレジスタに格納されないことがあります。

なお、本現象は、特定命令のディスティネーション・レジスタとsld命令のディスティネーション・レジスタが同じ、かつsld命令の直前に実行される命令でそのレジスタ値を参照した場合にのみ発生することがあります。

##### 特定命令

- ・ld命令 : ld.b, ld.h, ld.w, ld.bu, ld.hu
- ・sld命令 : sld.b, sld.h, sld.w, sld.bu, sld.hu
- ・乗算命令 : mul, mulh, mulhi, mulu

## 問題となる命令シーケンス例

例 1    `ld.w [r11], r10`  
           :  
           `mov r10, r28`  
           `sld.w 0x28, r10`

          } のld命令の実行が完了する前に、 のsld命令の直前の  
           } mov命令 ( ) のデコード動作と割り込み要求が競合した  
           } 場合に問題が発生。

例 2    `ld.w [r11], r10`  
           :  
           `cmp imm5, r10`  
           `sld.w 0x28, r10`  
           `bz label`

          } のld命令の実行が完了する前に、 のsld命令の直前の  
           } cmp命令 ( ) のデコード動作と割り込み要求が競合した  
           } 場合に問題が発生。この結果、cmp命令の比較結果が不正  
           } になり、 の分岐命令が不正動作することがある。

例 3    `ld.w [r11], r10`  
           :  
           `add imm5, r10`  
           `sld.w 0x28, r10`  
           `setf r16`

          } のld命令の実行が完了する前に、 のsld命令の直前の  
           } add命令 ( ) のデコード動作と割り込み要求が競合した  
           } 場合に問題が発生。この結果、add命令の演算結果、及び  
           } フラグが不正になり、 のsetf命令の実行結果が不正に  
           } なることがある。

## 【発生条件の詳細】

以下の ( 1 ) ~ ( 3 ) の条件を全て満たした場合に問題が発生することがあります。

( 1 ) 以下の条件 または に該当。

( 条件 )

特定命令 ( 下記参照 ) のディスティネーション・レジスタ、ならびに、後続して実行される  
 s l d 命令のディスティネーション・レジスタ、及び、その直前に実行される以下の命令の  
 ソース・レジスタ ( r e g 1 ) が同じである ( 上記例 1 参照 )。

`mov reg1, reg2、 not reg1, reg2、 satsubr reg1, reg2、 satsub reg1, reg2`  
`satadd reg1, reg2、 or reg1, reg2、 xor reg1, reg2、 and reg1, reg2`  
`tst reg1, reg2、 subr reg1, reg2、 sub reg1, reg2、 add reg1, reg2`  
`cmp reg1, reg2、 mulh reg1, reg2`

( 条件 )

特定命令 ( 下記参照 ) のディスティネーション・レジスタ、ならびに、後続して実行される  
 s l d 命令のディスティネーション・レジスタ、及び、その直前に実行される以下の命令の  
 ディスティネーション・レジスタ ( r e g 2 ) が同じである ( 上記例 2、 3 参照 )。

`not reg1, reg2、 satsubr reg1, reg2、 satsub reg1, reg2、 satadd reg1, reg2`  
`satadd imm5, reg2、 or reg1, reg2、 xor reg1, reg2、 and reg1, reg2`  
`tst reg1, reg2、 subr reg1, reg2、 sub reg1, reg2、 add reg1, reg2`  
`add imm5, reg2、 cmp reg1, reg2、 cmp imm5, reg2、 shr imm5, reg2`  
`sar imm5, reg2、 shl imm5, reg2`

**特定命令**

- ・ l d 命令 : ld.b、ld.h、ld.w、ld.bu、ld.hu
- ・ s l d 命令 : sld.b、sld.h、sld.w、sld.bu、sld.hu
- ・ 乗算命令 : mul、mulh、mulhi、mulu

( 2 ) C P Uパイプライン中で、s l d 命令の直前の命令( 上記条件 または の命令 ) のデコードが開始されるまでに、先に実行された特定命令の実行結果がディスティネーション・レジスタに格納されていない。

( 3 ) s l d 命令の直前の命令( 上記条件 または の命令 ) のデコード動作と割り込み要求が競合。

**【対応策】****・アセンブラでの対策**

次のいずれかの方法を用いて、上記動作を回避してください。

- ・ 上記命令シーケンスにおける 命令とその直後のsld命令( 上記 に相当 ) の間にnop命令を入れる。
- ・ 上記命令シーケンスにおける 命令で使用したレジスタと同じレジスタを、直後のsld命令( 上記 に相当 ) で使用しない。

**・コンパイラでの対策**

C P U機能に関する使用制限事項として、コンパイラにより該当命令シーケンスの生成を自動的に抑止するように致します。具体的な提供方法はご使用のコンパイラ毎に以下の通りとなります。その他のコンパイラをご使用の場合は弊社販売員または特約店を通じてご相談下さい。

**・弊社製コンパイラ：C A 8 5 0の場合**

V 2 . 6 0 に対策機能を追加したもの( V 2 . 6 1 ) を下記サイトの開発ツール・ダウンロード・サービス( O D S ; コンパイラ購入後の郵送によるユーザ登録が必要 ) にて提供させていただきます。

<http://www.necel.com/micro/ods/jpn/index.html>

**・G H S 製コンパイラ：C C 8 5 0の場合**

以下のバージョンについては、国内販売代理店( アドバンスド・データ・コントロールズ社 ) にて、対策機能を追加するバージョン・アップ対応を行いましたので、個別にお問い合わせをお願い致します。その他のバージョンに関しましては、お手数をお掛けしまして申し訳ございませんが、販売代理店にお問い合わせください。

- ・ M u l t i 4 . 0      R e l 7 . 0 . 0
- ・ M u l t i 3 . 5 . 1   R e l 6 . 5 . 3

**お問い合わせ先**

T E L : 0 3 - 3 5 7 6 - 6 8 0 5

E - m a i l : [upgv850e@adac.co.jp](mailto:upgv850e@adac.co.jp)

**No.6 先読み機能使用時の2サイクルDMA転送に関する制限事項****【内容】**

DMA転送先(ライト側)のCS空間に対し、先読み機能が有効に設定された2サイクルDMA転送において、DMA転送完了後のTC信号出力が1回アクティブになるべきところが、以下の条件を全て満たした場合、2回アクティブになり、かつDMA転送終了割り込みも2回発生することがあります。但し、DMA転送自体は正常に完了します。

なお、フライバイ転送時は問題ありません。

**該当条件**

以下の条件が全て成立するような使用法において、問題が発生する可能性があります。

- ・ DMA転送先(ライト側)のCS空間に対し、先読み機能を有効に設定している。
- ・ 先読みを実行したアドレスと最終DMA転送データのライト先が、同一ライン・アドレスである(同一ライン・アドレスとは、同一CS空間内で、A25 - A4が同じ場合)。
- ・ 外部BUSCLKを内部システム・クロックの1分周以外で使用している。

**【対策内容】**

以下のいずれかの方法により、回避することが可能です。DMA機能に関する使用制限事項とさせていただきますので、以下のいずれかの方法で回避をお願い致します。

- ・ DMA転送先(ライト側)のCS空間に対し、先読み機能の設定を無効にする。
- ・ 先読みを実行するアドレスと最終DMA転送データのライト・アドレスが、同一ライン・アドレスにならないようにDMA転送先のアドレスを設定する。

**No.7 32ビット・バス幅における先読み機能の制限事項****【内容】**

32ビット・バス幅のSDRAMに対し、先読み機能の設定を有効にした場合において、以下の条件を全て満たした場合に、以下条件のシングル・ライト動作直後に外部バスがデッドロックする、もしくは以下条件のシングル・ライト動作を2回実行することがあります。

**該当条件**

- ・ 先読みサイクル中に、CPU内部で先読み開始アドレスと同一ライン・アドレス(同一CS空間内で、A25 - A4が同じ)に対する先読みヒットしたリード要求が発生。
- ・ 先読みヒットのリード動作が終了する直前にCPU内部で、シングル・ライト要求が発生。

**【対策内容】**

先読み機能に関する使用制限事項とさせていただきますので、大変申し訳ございませんが、32ビット・バス幅のSDRAMに対しては、先読み機能を使用しないでください。

**No.8 外部BUSCLKを1分周設定した場合の先読み機能の制限事項****【内容】**

外部BUSCLKを内部システム・クロックの1分周で使用し、かつ先読みリード・サイクルの実行中に、CPU内部で先読みバッファにヒットするシーケンシャル・リード・アクセス(2回、または4回の連続リード動作)が発生した場合、CPU内部のリード・サイクルがデッドロックすることがあります(外部メモリに対する先読みサイクルは完了しますが、それ以降のバス・サイクルは発生しません)。

**【対策内容】**

以下のいずれかの方法により、回避することが可能です。先読み機能に関する使用制限事項とさせていただきますので、以下のいずれかの方法により、回避をお願い致します。

- ・ 外部BUSCLKを内部システム・クロックの1分周で使用しない。
- ・ 先読み機能を使用しない。

**No.9 内蔵データRAMを転送先とする2サイクルDMA転送に関する制限事項****【内容】**

以下のいずれかの2サイクルDMA転送実行時、最終データ転送終了後に、1回アクティブになるべきTC信号出力が、2回アクティブになり、かつDMA転送終了割り込みも2回発生することがあります。

- ・ 外部メモリから内蔵データRAMへの2サイクル転送  
DMA転送の転送元(リード側)となるCS空間に対して、先読み機能(LBC0、LBC1レジスタで設定)を使用している場合のみ該当。
- ・ 内蔵周辺I/Oから内蔵データRAMへの2サイクル転送  
先読み機能の設定は無関係。

**【対策内容】**

以下の方法により、対策をお願い致します。

- ・ 外部メモリから内蔵データRAMへの2サイクル転送の場合  
DMA転送の転送元(リード側)となるCS空間に対して、先読み機能を有効にしないでください。
- ・ 内蔵周辺I/Oから内蔵データRAMへの2サイクル転送の場合  
TC信号は使用しないでください。また、余分なDMA転送終了割り込みに対しては、DMA転送終了割り込み処理ルーチンの内で、以下、の処理を連続して実行することで、対策をお願い致します。の処理実行後、本来実施すべき、アプリケーション処理を実行し、割り込みから復帰することにより、2回目のDMA転送終了割り込みの発生を抑えることができます。

ライト・アクセス同期制御レジスタ(WAS)に00Hを書き込む。

現在処理中のDMA転送完了割り込みと同じチャンネルの割り込み制御レジスタ(DMAICn)のビット7(DMAIFnビット)をクリア“0”する。

### ライト・アクセス同期制御レジスタ (WAS)

外部デバイスへのライト動作を行うとき、ライト・バッファ機能により、CPUのライト動作が完了しても外部デバイスへのライト動作が実行されていない場合があります。WASレジスタは、このライト・バッファ内のすべてのデータに対する外部デバイスへのライト実行を完了させるレジスタです。このレジスタは、8ビット単位でライトだけ可能です。

	7	6	5	4	3	2	1	0		
WAS	0	0	0	0	0	0	0	0	アドレス	初期値
									FFFFF49CH	不定

**注意**  
00H以外の値を書き込まないでください。00H以外の値を書き込んだ場合の動作は保証しません。

本レジスタは、これまでに出荷させて頂いております既存のV850E/ME2にも搭載しておりますが、非公開レジスタとさせて頂いておりました。このため、マニュアル改版時に、記述を追加させて頂きました。

#### No.10 先読み機能に関する制限事項

##### 【内容】

先読み機能 (LBC0、LBC1レジスタで設定) を有効にしたCS空間に対する先読みサイクル実行直後に、先読み機能を有効に設定していないSRAM、またはページROMが接続されたCS空間へのリード・アクセスが発生した場合、CPUが先読み機能を有効に設定していないCS空間に対するデータ取り込みタイミングを誤り、不正なデータをリードする場合があります。

##### 【該当条件】

以下の条件を全て満たした場合に、本問題が発生することがあります。

- ・先読み機能を有効に設定したCS空間と、無効に設定したCS空間があり、それぞれのCS空間に対するアクセスがある。
- ・外部BUSCLKを、内部システム・クロックの1分周で使用している。
- ・先読み機能を無効に設定したCS空間に対する各種ウェイト設定が、以下の条件を全て満たしている。
  - アイドル・ステートの設定 (BCCレジスタで設定) が"0"以外である。
  - データ・ウェイトの設定 (DWC0、DWC1レジスタで設定)、及びアドレス・セットアップ・ウェイト (ASCで設定) の設定が、いずれも"0"である。

##### 【対策内容】

以下のいずれかの方法で、回避してください。

- ・SRAM、またはページROMインタフェースのデバイスが接続された、全てのCS空間のウェイト設定 (DWC0、DWC1レジスタ)、もしくはアドレス・セットアップ・ウェイト設定 (ASCレジスタ) を1以上に設定。
- ・全てのCS空間に対し、先読み機能を使用しない。

**No.11 A/Dコンバータに関する制限事項****【内容】**

A/Dコンバータをタイマ・トリガ・モードで起動した場合、A/Dコンバータが起動できない場合があります。

**【対策内容】**

以下のいずれかの方法により、タイマ・トリガ・モードと同等機能を実現することが可能です。以下のいずれかの対策にて問題回避のご検討をお願い致します。

- ・タイマ処理ルーチン内で、ADM0レジスタのADCEビットをセット(1)し、A/Dトリガ・モードで起動する。(タイマ割り込みが保留された場合、A/Dコンバータの起動が遅れますので、十分なシステム検証を実施する必要があります。)
- ・タイマC、またはタイマENC1のタイマ出力信号(TOCn、またはTO1m)をADTRG端子に、500ns(min.)以上のパルスを入力し、外部トリガ・モードで起動する(n=0-5、m=0-1)。