

NEC マイクロコンピュータ技術情報

16ビットマイクロコンピュータ μPD784038,784038Y サブシリーズ 使用制限事項およびドキュメント訂正の件		発行番号	S B G - D T - 0 0 8 2 号	1/1
		発行日	平成14年5月22日	
関連資料		発行元	日本電気株式会社 NECエレクトロニクスデバイス システムLSIソリューション技術本部 マイクロコンピュータグループ	
			文書分類	使用制限事項通知 2 バージョンアップ通知 ドキュメント訂正通知 4 その他の通知
ユーザズ・マニュアル 資料番号 U11316JJ				

CP(K),O

1. 対象製品

μPD784038 サブシリーズ

μPD784031 : ROM レス品

μPD784035, 784036, 784037, 784038 : マスク ROM 品

μPD78P4038 : PROM 品

μPD784038Y サブシリーズ

μPD784031Y : ROM レス品

μPD784035Y, 784036Y, 784037Y, 784038Y : マスク ROM 品

μPD78P4038Y : PROM 品

2. 新たな制限事項およびドキュメント訂正事項

制限事項

今回新たに下記 (No.14) の制限事項を追加させて頂きました。詳細は別紙1を参照して下さい。

No.14 : 3線式シリアル I/O モードの連続受信に関する制限事項

3線式シリアル I/O モードにおいて、送信側からデータが連続送信される場合、2回目以降の受信データが不定になる場合があります。

ドキュメント訂正事項

今回新たに下記 (No.1) のドキュメント訂正事項を追加させて頂きました。詳細は別紙2を参照して下さい。

No.1 : A/D コンバータの変換動作時間に関する訂正事項

A/D コンバータを低速変換 (FR=0) で使用するとき、A/D 変換時間が $242/f_{CLK}$ になります。

3. 回避策

No.14 の制限事項を回避するためには以下の何れかの対策を行っていただきますようお願い致します。

- 1) 受信完了後、次のシリアル・クロックの立ち下がりまでに、シフト・レジスタをリードして下さい。
- 2) 受信完了後、次のシリアル・クロックの立ち上がりまでに、受信許可ビットをクリアし、シフト・レジスタをリード後、受信許可フラグをセットして下さい。

4. 改善計画

No.14 の制限事項に関しまして、大変申し訳ございませんが、今後とも使用上の注意事項とさせて頂きます。

No.1 のドキュメント訂正につきましては、今後のドキュメント改版時に随時記載変更させていただきます。

5. 制限事項一覧およびドキュメント訂正事項一覧

履歴とその詳細情報が含まれました制限事項一覧およびドキュメント訂正事項一覧を各々別紙1、別紙2に記載します。

以上

μ PD784038、784038Y サブシリーズの使用制限事項一覧

1) 製品バージョン

- ・ μ PD784031, 784035, 784036, 784031Y, 784035Y, 784036Y : K, E, P, X, H, R_(K,E,P,X,H以外)規格
 - ・ μ PD784037, 784038, 784037Y, 784038Y, 78P4038, 78P4038Y : K, E, P_(K,E以外)規格
- 規格区分はロット番号の左から 5 桁目のアルファベットです。

2) 製品履歴

μ PD784031, 784035, 784036, 784031Y, 784035Y, 784036Y

No.	制限事項	規格					
		K	E	P	X	H	R
1	3線式/2線式シリアル I/O モードの受信完了フラグに関する制限事項	×	×	×			
2	スタンバイ解除割り込みに関する制限事項						
3	タイマ・レジスタの読み込みに関する制限事項	×	×	×	×		
4	タイマに関する制限事項	-	-	-	-		
5	U A R T 受信完了割り込みに関する制限事項						
6	コンペア・レジスタ一致割り込みに関する制限事項	×	×	×	×		
7	キャプチャ動作時のコンペア・レジスタ一致割り込みに関する制限事項						
8	3線式シリアル I/O モードの送信データ (SO0) 書き込みに関する制限事項						
9	3線式シリアル I/O モードのシリアル・クロック ($\overline{\text{SCK0}}$) のカウント動作に関する制限事項						
10	U A R T 送信時のスタート・ビットに関する制限事項	×	×	×	×		
11	IDLE モード解除に関する制限事項	×	×	×	×		
12	コンペア・レジスタ CRn0 一致割り込みに関する制限事項						
13	3線式シリアル I/O モードのシリアル・クロック ($\overline{\text{SCK0}}$) の出力に関する制限事項						
14	3線式シリアル I/O モードの連続受信に関する制限事項						

: 修正完了、 : 今後とも制限事項、 × : 未修正、 - : 対象外

μPD784037, 784038, 784037Y, 784038Y, 78P4038, 78P4038Y

No.	制限事項	規格		
		K	E	P
1	3線式/2線式シリアル I/O モードの受信完了フラグに関する制限事項	-	-	-
2	スタンバイ解除割り込みに関する制限事項			
3	タイマ・レジスタの読み込みに関する制限事項	×		
4	タイマに関する制限事項	-		
5	UART受信完了割り込みに関する制限事項			
6	コンペア・レジスタ一致割り込みに関する制限事項	×		
7	キャプチャ動作時のコンペア・レジスタ一致割り込みに関する制限事項			
8	3線式シリアル I/O モードの送信データ (SO0) 書き込みに関する制限事項			
9	3線式シリアル I/O モードのシリアル・クロック (SCK0) のカウント動作に関する制限事項			
10	UART送信時のスタート・ビットに関する制限事項	×	×	
11	IDLE モード解除に関する制限事項	×		
12	コンペア・レジスタ CRn0 一致割り込みに関する制限事項			
13	3線式シリアル I/O モードのシリアル・クロック (SCK0) の出力に関する制限事項			
14	3線式シリアル I/O モードの連続受信に関する制限事項			

: 修正完了、 : 今後とも制限事項、 × : 未修正、 - : 対象外

No.1 : 3 線式/2 線式シリアル I/O モードの受信完了フラグに関する制限事項

【内容】

3 線式/2 線式シリアル I/O モードにおいて、シリアル・クロックを外部クロック(スレーブ)に指定したとき、外部から入力されるシリアル・クロックと内部のシステム・クロックとの立ち上がりが一致すると、受信完了フラグが正常に動作しない場合がある。

【回避策】

この制限事項を回避するためには以下の対策を行っていただきますようお願い致します。

3 線式/2 線式シリアル I/O モードをスレーブとして使用しない。

No.2 : スタンバイ解除割り込みに関する制限事項

【内容】

スタンバイ・モード設定 (MOV STBC, #byte 命令実行) と割り込み要求が競合した場合、スタンバイ命令を実行せず、スタンバイ命令実行後、最大 6 クロック以内に実行を開始する命令を実行後に、割り込みを受け付けません。

【回避策】

この制限事項を回避するためには以下の対策を行っていただきますようお願い致します。

スタンバイ命令 (MOV STBC, #byte 命令) のあとは、NOP を 3 回実行させて下さい。

[回避プログラム例]

```
MOV STBC, #byte
```

```
NOP
```

```
NOP
```

```
NOP
```

```
⋮
```


No.4 : タイマに関する制限事項

【内容】

制限事項 No.3 について、回路修正による対策を行う際、次のような制限事項が生じます。

下表に示す “ × ” の条件においてタイマ・レジスタの読み出しを禁止します。

表 . タイマ・レジスタの読み出し制限事項

タイマ・カウント・クロック	システム・クロック (fclk)			
	fxx/2	fxx/4	fxx/8	fxx/16
fxx/8			×	×
fxx/16				×
fxx/n n=32, 64, 128, 256, 512, 1024, 2048				

：読み出し可能、×：読み出し不可

fxx：発振周波数

No.5 : U A R T 受信完了割り込みに関する制限事項

【内容】

U A R T の受信エラー発生から、ボーレート用クロックの基準クロックが2クロック・カウントするまでに、受信バッファ (RXB) を読み出した場合、受信完了割り込み禁止の設定に関わらず、受信完了割り込みが発生します。

【回避策】

この制限事項を回避するためには以下の対策を行っていただきますようお願い致します。

受信エラー・フラグ (SERIF, SERIF2) がセットされた後、受信バッファ (RXB, RXB2) を読み込むまでに、ウェイトを挿入して下さい。

ウェイト時間は、ボーレート・ジェネレータ・コントローラ・レジスタ (BRGC, BRGC2) により設定されるボーレート用クロックの基準クロックの2クロック分以上にして下さい。

$$\text{ウェイト時間} = 2^{n+3} \cdot \text{fxx}$$

ただし、 $n = 0 \sim 11$ (ボーレート・ジェネレータ・コントローラ・レジスタ (BRGC, BRGC2) 参照)

	7	6	5	4	3	2	1	0	アドレスリセット時
BRGC	TPS3	TPS2	TPS1	TPS0	MDL3	MDL2	MDL1	MDL0	0FF90H 00H R/W
BRGC2	TPS23	TPS22	TPS21	TPS20	MDL23	MDL22	MDL21	MDL20	0FF91H 00H R/W

TPS3 TPS23	TPS2 TPS22	TPS1 TPS21	TPS0 TPS20	n	プリスケアラの出力選択 (f_{PRS})
0	0	0	0	0	$f_{xx}/4, f_{ASCK}/2$ 注1
0	0	0	1	1	$f_{xx}/8, f_{ASCK}/4$
0	0	1	0	2	$f_{xx}/16, f_{ASCK}/8$
0	0	1	1	3	$f_{xx}/32, f_{ASCK}/16$
0	1	0	0	4	$f_{xx}/64, f_{ASCK}/32$
0	1	0	1	5	$f_{xx}/128, f_{ASCK}/64$
0	1	1	0	6	$f_{xx}/256, f_{ASCK}/128$
0	1	1	1	7	$f_{xx}/512, f_{ASCK}/256$
1	0	0	0	8	$f_{xx}/1024, f_{ASCK}/512$
1	0	0	1	9	$f_{xx}/2048, f_{ASCK}/1024$
1	0	1	0	10	$f_{xx}/4096, f_{ASCK}/2048$
1	0	1	1	11	$f_{xx}/8192, f_{ASCK}/4096$
上記以外					設定禁止

MDL3 MDL23	MDL2 MDL22	MDL1 MDL21	MDL0 MDL20	k	ボーレート・ジェネレータの入力クロック 注2
0	0	0	0	0	$f_{PRS}/16$
0	0	0	1	1	$f_{PRS}/17$
0	0	1	0	2	$f_{PRS}/18$
0	0	1	1	3	$f_{PRS}/19$
0	1	0	0	4	$f_{PRS}/20$
0	1	0	1	5	$f_{PRS}/21$
0	1	1	0	6	$f_{PRS}/22$
0	1	1	1	7	$f_{PRS}/23$
1	0	0	0	8	$f_{PRS}/24$
1	0	0	1	9	$f_{PRS}/25$
1	0	1	0	10	$f_{PRS}/26$
1	0	1	1	11	$f_{PRS}/27$
1	1	0	0	12	$f_{PRS}/28$
1	1	0	1	13	$f_{PRS}/29$
1	1	1	0	14	$f_{PRS}/30$
1	1	1	1	15	f_{PRS} 注3

注1 . MDL3-MDL0 (MDL23-MDL20) で $k=15$ を選択した場合は選択できません。

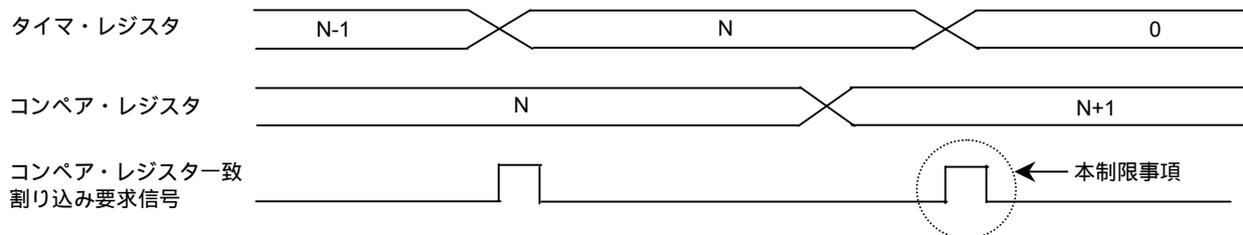
2 . ASCK (ASCK2) 入力使用時は、 $f_{PRS}/16$ しか選択できません。

3 . 3線式シリアル/Oモード時のみ使用可能。

No.6 : コンペア・レジスタ一致割り込みに関する制限事項

【内容】

タイマ・レジスタとコンペア・レジスタとの一致により、タイマ・レジスタのクリア動作を行う場合、コンペア・レジスタとの一致後、タイマが1カウントする前に、事前に設定されていたコンペア・レジスタの値よりも1大きい値に設定すると、タイマの1カウント後に、割り込み要求が発生します。



【回避策】

この制限事項を回避するためには以下の対策を行っていただきますようお願い致します。

- コンペア・レジスタに、前回設定した値よりも“1”大きい値を設定する可能性がある場合、前回のコンペア・レジスタ一致から次回のコンペア・レジスタ値の設定まで、タイマの1カウント分のウェイトを挿入して下さい。

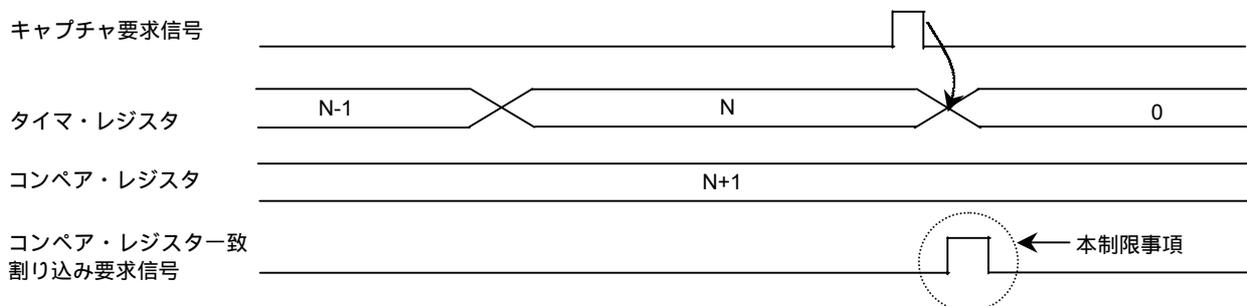
マクロ・サービスのタイプCを用い、タイマのコンペア一致&クリア動作を行う場合においても発生します。コンペア・レジスタへ転送するデータが、前回に設定した値よりも“1”大きい値を設定する可能性がある場合、タイマのカウント・スピードとコンペア・レジスタの値を倍にし、前回に設定した値よりも2大きい値を設定するようにして下さい。

No.7 : キャプチャ動作時のコンペア・レジスタ一致割り込みに関する制限事項

【内容】

タイマのキャプチャ機能を使用し、キャプチャと同時にタイマ・レジスタのクリアを行う場合、同じタイマ・ユニットにおいて、タイマ・レジスタとコンペア・レジスタとの一致による割り込み動作を許可していると、コンペア一致の前に割り込みが発生する場合があります。

タイマ・レジスタの値がコンペア・レジスタの設定値よりも“1”小さい値の時に、キャプチャ要求が発生すると、タイマ・レジスタ値のクリアとタイマのカウント・アップが競合し、割り込み要求信号が発生します。



【回避策】

この制限事項を回避するためには以下の対策を行っていただきますようお願い致します。

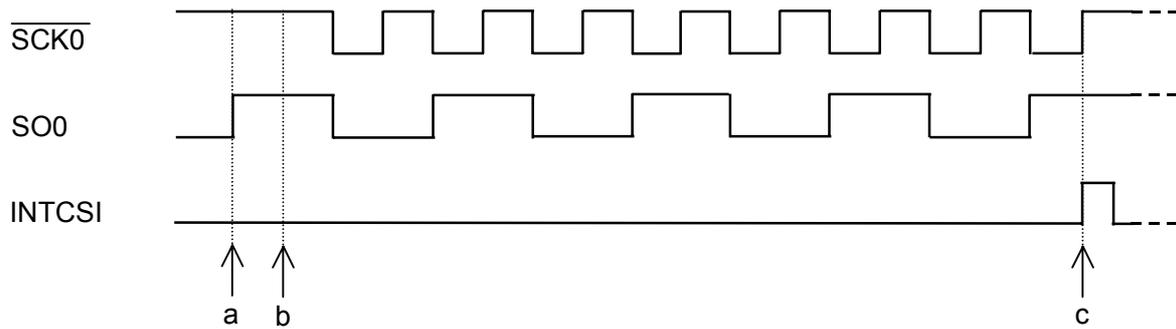
キャプチャ動作を行っているときは、同じタイマ・ユニットによるコンペア・レジスタ一致による割り込みを使用しない。

No.8 : 3 線式シリアル I/O モードの送信データ (SO0) 書き込みに関する制限事項

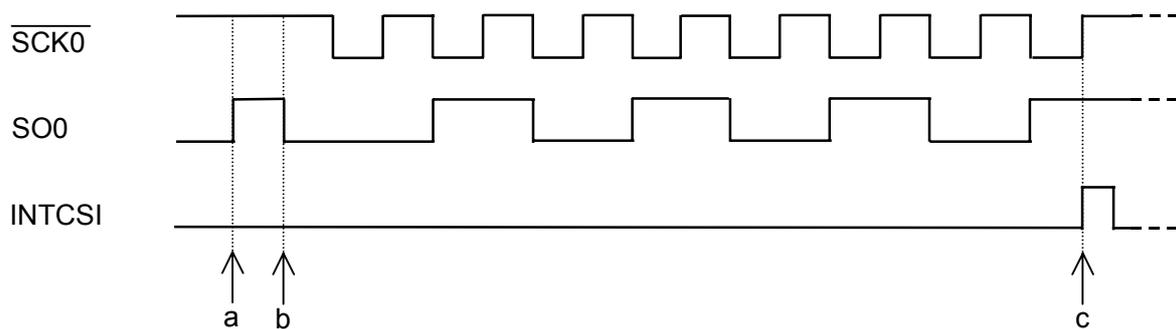
【内容】

μPD784026 サブシリーズは、シフト・レジスタに送信データを設定した後、シリアル・クロックの立ち下がりに同期してデータを出力します。

μPD784038, 784038Y サブシリーズでは、シフト・レジスタにデータを書き込むと同時にデータを出力します。



μPD784026 サブシリーズの動作



μPD784038, 784038Y サブシリーズの動作

a : 送信許可ビットのセット (CTXE = 1)

b : シフト・レジスタへのデータ (55H) 書き込み (SIO = 55H)

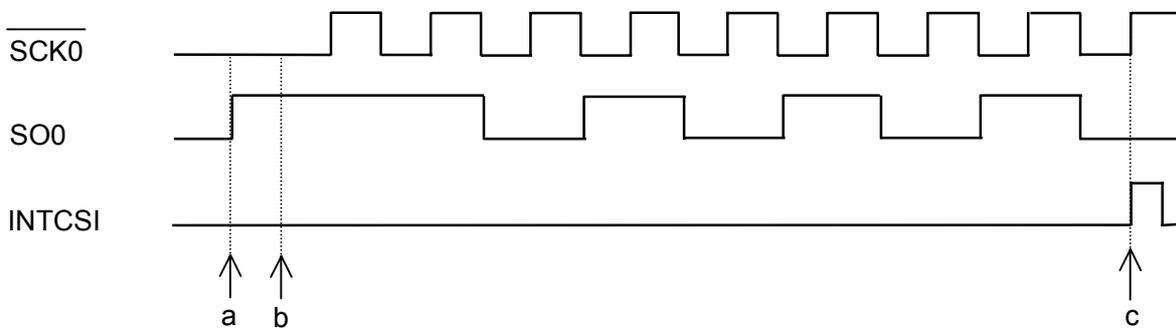
c : 転送終了割り込み要求の発生

No.9 : 3 線式シリアル I/O モードのシリアル・クロック ($\overline{\text{SCK0}}$) の カウント動作に関する制限事項

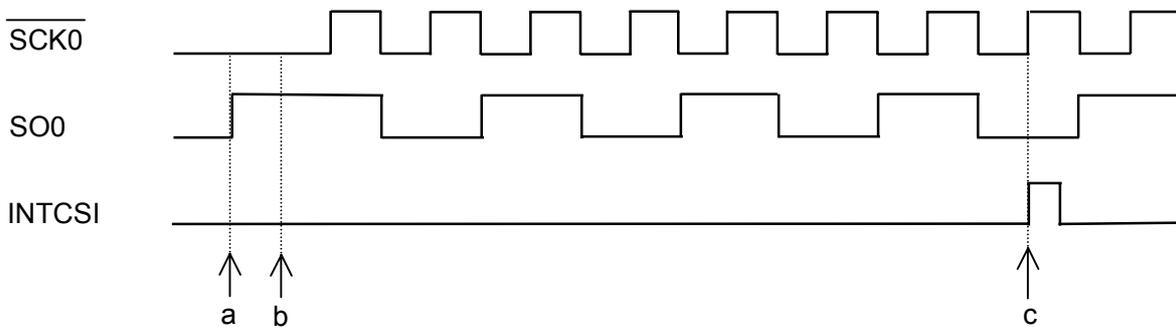
【内容】

μ PD784026 サブシリーズは、送信動作を許可した後、 $\overline{\text{SCK0}}$ 端子のレベルに依存せず、シリアル・クロックの最初の立ち下がりにカウントを開始します。

μ PD784038, 784038Y サブシリーズでは、 $\overline{\text{SCK0}}$ 端子がロウ・レベルであれば、送信許可後のシフト・レジスタへの書き込みと同時にシリアル・クロック・カウンタを 1 カウントします。そのため、シリアル・クロックとして外部クロックを選択し、 $\overline{\text{SCK0}}$ 端子がロウ・レベルの時に、送信を開始すると、7クロック目のシリアル・クロックの立ち上がりに、送信完了割り込み要求を発生します。



μ PD784026 サブシリーズの動作



μ PD784038, 784038Y サブシリーズの動作

- a : 送信許可ビットのセット (CTXE = 1)
- b : シフト・レジスタへのデータ (AAH) 書き込み (SIO = AAH)
- c : 転送終了割り込み要求の発生

No.10：UART送信時のスタート・ビットに関する制限事項

【内容】

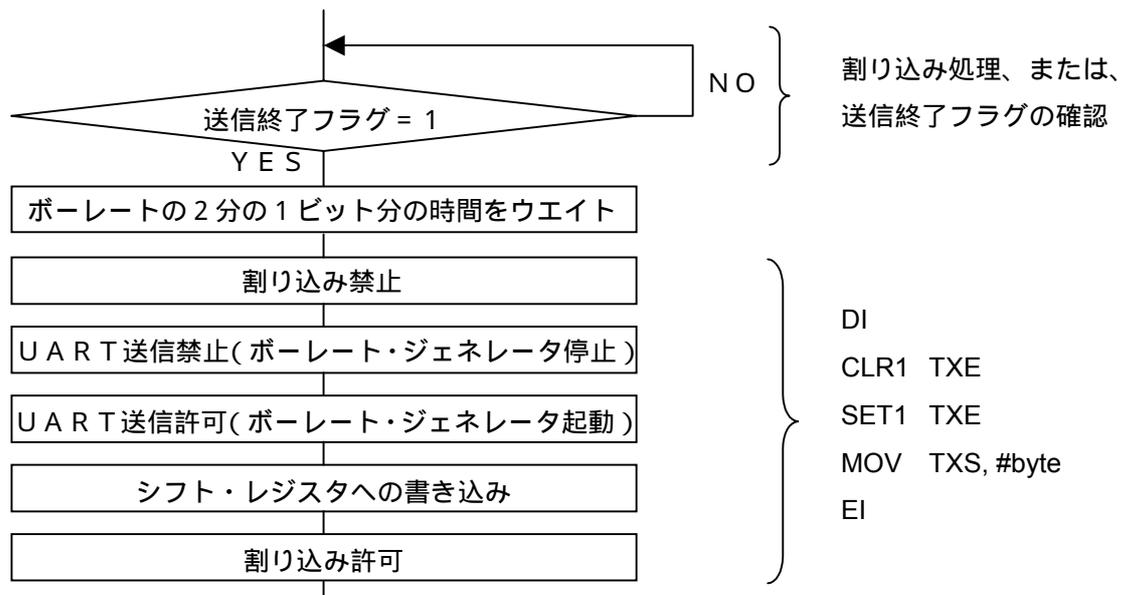
UARTのシフト・レジスタがシフトするタイミングと、シフト・レジスタへの書き込みを行うタイミングが競合したときに、スタート・ビットが正常に出力されない場合があります。

【回避策】

この制限事項を回避するためには以下の対策を行っていただきますようお願い致します。

シフト・レジスタへのデータを書き込む度に、ボーレート・ジェネレータを再起動させ、シフト・レジスタがシフトするタイミングとシフト・レジスタへの書き込みを行うタイミングとの一致を避けて下さい。この時、UART送信許可とシフト・レジスタへの書き込み処理を連続して行うために、下記回避プログラム例の様に割り込みの受付を禁止すると共に、UART送信時には、マクロ・サービスの起動および動作を禁止して下さい。さらに、送信終了フラグがセットされてからボーレートの2分の1ビット分の時間が経過した後に、次に転送する送信データをシフト・レジスタにセットして下さい。

[回避プログラムのフローチャート]



ただし、上記の回避プログラムを用いた場合、内部システム・クロックの発振周波数に対する分周比ボーレートとの関係は、次の ~ 式が満たされる様にして下さい。

- ・高速フェッチを選択（メモリ拡張モード・レジスタ（MM）のIFCHビットを1に設定）し、ボーレート・クロック作成のためのクロックを内部クロックにした場合。

$$(k + 15) \times 2^{n+3} > 17 \times a \dots\dots\dots$$

- ・高速フェッチを選択（メモリ拡張モード・レジスタ（MM）のIFCHビットを1に設定）し、ボーレート・クロック作成のためのクロックをASCK端子から入力するクロックにした場合。

$$15 \times 2^{n+2} / f_{ASCK} > 17 \times a / f_{XX} \dots\dots\dots$$

- ・通常フェッチを選択（メモリ拡張モード・レジスタ（MM）のIFCHビットを0に設定）し、ボーレート・クロック作成のためのクロックを内部クロックにした場合。

$$(k + 15) \times 2^{n+3} > \{3 \times (3 + b + c) + 13\} \times a \dots\dots$$

- ・通常フェッチを選択（メモリ拡張モード・レジスタ（MM）のIFCHビットを0に設定）し、ボーレート・クロック作成のためのクロックをASCK端子から入力するクロックにした場合。

$$15 \times 2^{n+2} / f_{ASCK} > \{3 \times (3 + b + c) + 13\} \times a / f_{XX} \dots\dots$$

f_{XX} : 発振周波数または外部クロック入力周波数

f_{ASCK} : ASCK端子から入力されるクロックの周波数

a : 内部システム・クロックの発振周波数に対する分周比

b : 外部メモリのアクセス時のリード/ライトに対するアクセス・ウエイト値

c : 外部メモリのアクセス時のアドレス出力に対するアドレス・ウエイト値

k : BRGC (BRGC2) レジスタのMDL3-MDL0 (MDL23-MDL20) ビットの設定値

n : BRGC (BRGC2) レジスタのTPS3-TPS0 (TPS23-TPS20) ビットの設定値

ポー・レート・ジェネレータ・コントロール・レジスタ (BRGC, BRGC2) のフォーマット

	7	6	5	4	3	2	1	0	アドレスリセット時
BRGC	TPS3	TPS2	TPS1	TPS0	MDL3	MDL2	MDL1	MDL0	OFF90H 00H R/W
BRGC2	TPS23	TPS22	TPS21	TPS20	MDL23	MDL22	MDL21	MDL20	OFF91H 00H R/W

TPS3 TPS23	TPS2 TPS22	TPS1 TPS21	TPS0 TPS20	n	プリスケアラの出力選択 (f_{PRS})
0	0	0	0	0	$f_{xx}/4, f_{ASCK}/2$ 注1
0	0	0	1	1	$f_{xx}/8, f_{ASCK}/4$
0	0	1	0	2	$f_{xx}/16, f_{ASCK}/8$
0	0	1	1	3	$f_{xx}/32, f_{ASCK}/16$
0	1	0	0	4	$f_{xx}/64, f_{ASCK}/32$
0	1	0	1	5	$f_{xx}/128, f_{ASCK}/64$
0	1	1	0	6	$f_{xx}/256, f_{ASCK}/128$
0	1	1	1	7	$f_{xx}/512, f_{ASCK}/256$
1	0	0	0	8	$f_{xx}/1024, f_{ASCK}/512$
1	0	0	1	9	$f_{xx}/2048, f_{ASCK}/1024$
1	0	1	0	10	$f_{xx}/4096, f_{ASCK}/2048$
1	0	1	1	11	$f_{xx}/8192, f_{ASCK}/4096$
上記以外					設定禁止

MDL3 MDL23	MDL2 MDL22	MDL1 MDL21	MDL0 MDL20	k	ポー・レート・ジェネレータの入カクロック 注2
0	0	0	0	0	$f_{PRS}/16$
0	0	0	1	1	$f_{PRS}/17$
0	0	1	0	2	$f_{PRS}/18$
0	0	1	1	3	$f_{PRS}/19$
0	1	0	0	4	$f_{PRS}/20$
0	1	0	1	5	$f_{PRS}/21$
0	1	1	0	6	$f_{PRS}/22$
0	1	1	1	7	$f_{PRS}/23$
1	0	0	0	8	$f_{PRS}/24$
1	0	0	1	9	$f_{PRS}/25$
1	0	1	0	10	$f_{PRS}/26$
1	0	1	1	11	$f_{PRS}/27$
1	1	0	0	12	$f_{PRS}/28$
1	1	0	1	13	$f_{PRS}/29$
1	1	1	0	14	$f_{PRS}/30$
1	1	1	1	15	f_{PRS} 注3

注1 . MDL3-MDL0 (MDL23-MDL20)でk=15を選択した場合は選択できません。

2 . ASCK (ASCK2) 入力使用時は、 $f_{PRS}/16$ しか選択できません。

3 . 3線式シリアルI/Oモード時のみ使用可能。

[式の使用例]

例として、通常フェッチを選択し、ポー・レート・クロックを生成するためのクロックを内部クロックにしたときに、外部メモリに対して、ノー・ウエイトで使用する ($b = c = 0$) とともに、ポー・レートを最高速で使う場合 ($k = n = 0$) を示します。この条件では、式は以下の様になります。

$$a < 5 . 4 5$$

この場合、内部システム・クロックは発振周波数を2分周と4分周時に使用することが出来ますが、8分周と16分周時には使用出来ないことを表しています。

回避策プログラムの注意点

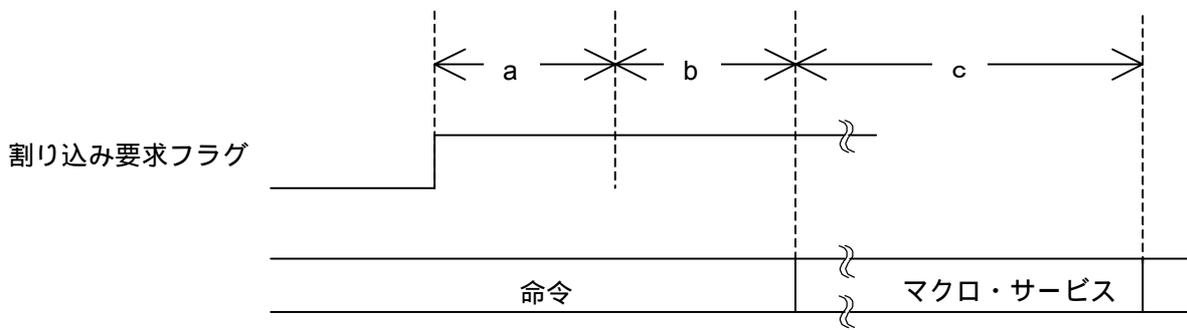
マクロ・サービスを用い、UARTの転送処理を行う場合も、シフト・レジスタのシフトのタイミングとシフト・レジスタへの書き込みのタイミングが一致すると、本制限事項は発生します。しかし、以下の3点について注意していただければ、本制限事項の発生するタイミングは存在しないため、本制限事項を回避することができます。

UARTの送信許可 (SET1 TXE) の直後に、マクロ・サービスを起動して下さい。

ポー・レート周期を、マクロ・サービスの要求から終了までの時間よりも長くして下さい。

他のマクロ・サービスにより、UARTのデータ転送のマクロ・サービスが保留されない様にして下さい。(マクロ・サービスを用い、UARTのデータ転送を行う場合、他の優先順位の高いマクロ・サービスの処理を禁止して下さい。)

マクロ・サービスの要求から終了までの実行時間は下図の a , b , c の時間を合計した値になります。



a : 割り込み要求フラグ・セット後の割り込み優先順位の判定時間

割り込み要求フラグがセットされた後、優先順位などの判定を行うために、8システム・クロックの時間がかかります。

b : 割り込み要求フラグがセットされたときに、実行中の命令が終了するまでの時間

割り込み要求フラグがセットされた時に実行していた命令が、処理を終了した時点でマクロ・サービスが実行されます。なお、実行中の命令がマクロ・サービスを一時的に保留する命令であれば、その次の命令を終了した後に、マクロ・サービスが受け付けられます。

[マクロ・サービスが一時的に保留される命令]

EI, DI, BRK, BRKCS, RETCS, RETCSB !addr16, RETI, RETB, LOCATION OH, LOCATION 0FH, POP PSW, POPU post, MOV PSWL,A, MOV PSWL,#byte, MOVG SP,#imm24、割り込み制御レジスタ、MK0, MK1L, IMC, ISPR, SNMI の各レジスタに対する書き込み命令およびビット操作命令 (BT, BF 命令を除く)

PSW のビット操作命令 (BT PSWL.bit,\$ADDR20, BF PSWL.bit,\$ADDR20, BT PSWH.bit,\$ADDR20, BF PSWH.bit,\$ADDR20, SET1 CY, NOT1 CY, CLR1 CY を除く)

C : マクロ・サービスの処理時間

SFR へデータ転送するときの、マクロ・サービスの処理時間は次のようになります。

マクロ・サービスの処理タイプ		データ領域	
		IRAM	その他
メモリ SFR (1 バイト)	タイプ A	24	-
	タイプ B	34	36

単位：クロック=1/fCLK

備考 1 . IRAM : 内蔵高速 RAM

- メモリ領域が外部メモリおよび高速フェッチに設定していない内蔵 ROM (EMEM) の場合は、上記数値にデータ・アクセス時のウェイト数 (クロック数) を加算して下さい。
- MSC=0 の場合は、1 クロック加算して下さい。

No.11 : IDLE モード解除に関する制限事項

【内容】

IDLE モードの命令実行と、IDLE モード解除要因である割り込みが競合すると、STOP モード実行後、STOP モードを解除する場合があります。

その場合、IDLE モードの設定をしているのにも関わらず、IDLE モード解除において、発振安定時間レジスタ (OSTS) により設定されている発振安定時間を待つ動作を行います。

【回避策】

この制限事項を回避するためには以下の対策を行っていただきますようお願い致します。

プログラムによる完全な対策はありません。IDLE モードを使用する場合は、発振安定時間指定レジスタ (OSTS) により設定される発振安定時間の値が最小になるように設定して下さい。

No.12 : コンペア・レジスタ CRn0 一致割り込みに関する制限事項

【内容】

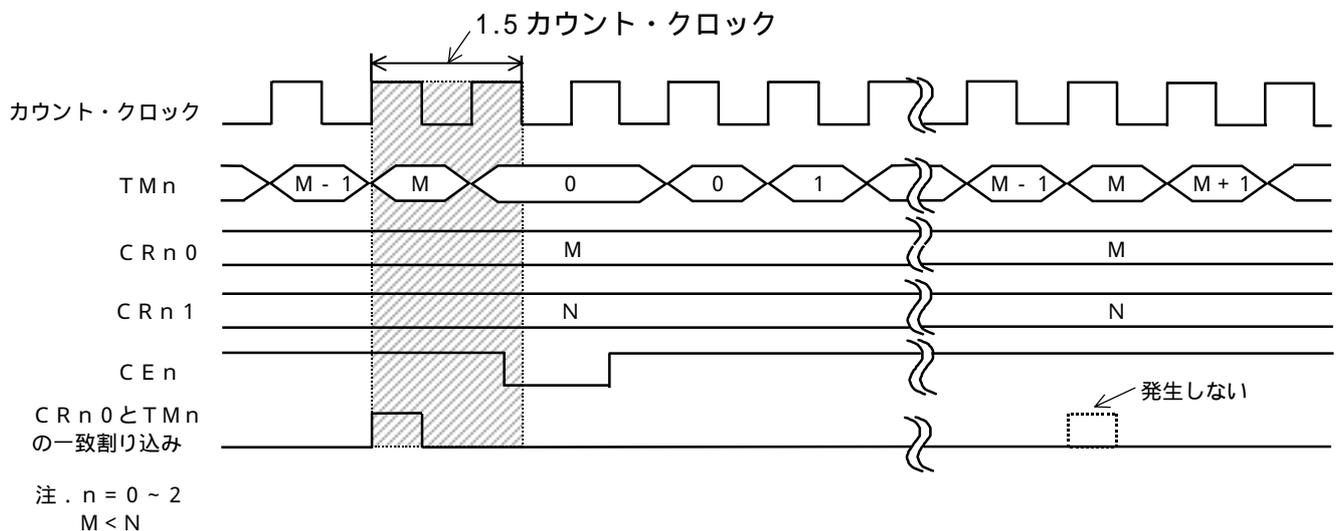
コンペア・レジスタ CRn0 とタイマ・レジスタ TMn の一致タイミングで TMn のカウント動作を停止すると、次回タイマ起動後の CRn0 と TMn の一致割り込みが発生しない場合があります (n=0,1,2)。

コンペア・レジスタ CRn0 とタイマ・レジスタ TMn の一致タイミングで TMn のカウント動作を停止すると、次回タイマ起動後の CRn0 と TMn の一致割り込みが発生しない場合があります。

CRn0 と TMn が一致してから 1.5 カウント・クロック以内に TMn のカウント動作を停止した場合、次回タイマ起動後、最初の一致割り込みが発生しません。2 回目以降の一致割り込みは正常に動作します。なお、タイマ出力は本制限事項の影響を受けず正常に動作します。

今回の異常動作は、斜線部範囲内でタイマを停止するとタイマ割り込み制御回路が割り込みをマスクしてしまうために発生します。

割り込み制御回路はタイマのオーバフローおよび CRn1 と TMn の一致で初期化されます。



【回避策】

この制限事項を回避するためには以下の対策を行っていただきますようお願い致します。

コンペア・レジスタ CRn0 とタイマ・レジスタ TMn の一致から 1.5 カウント・クロック以内にタイマを停止しないようにして下さい (n=0~2)。

例えば、タイマを停止する時は、すべての割り込み要求 (マクロ・サービスを含む) を禁止し、停止させるタイマの値を読み出して CRn0 と TMn の一致から 1.5 カウント・クロック以内にタイマ停止しないようにして下さい。

No.13 : 3 線式シリアル I/O モードのシリアル・クロック ($\overline{\text{SCK0}}$) の出力に関する制限事項

【内容】

3 線式シリアル I/O モードにおいてマスタ送信とスレーブ受信を交互に実行するとき、 $\overline{\text{SCK0}}$ 端子から不正なシリアル・クロックが出力される場合があります。($\overline{\text{SCK1}}$, $\overline{\text{SCK2}}$ 端子 : 非該当)

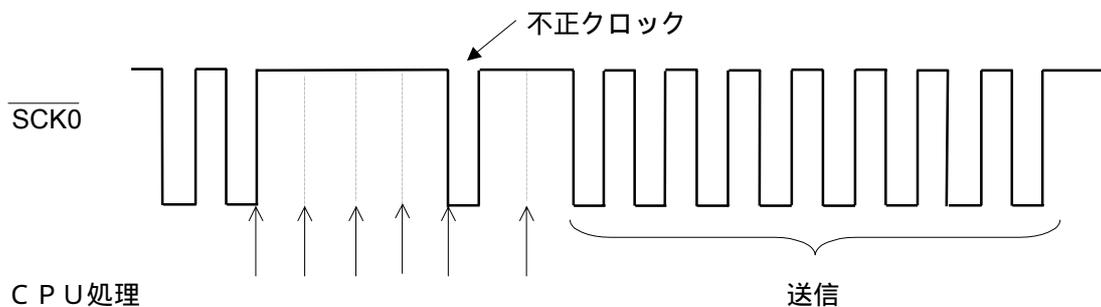
本シリアル・インターフェースは、下記のシリアル動作起動条件が成立すると、内部シリアル・クロック生成回路を起動します。

- ・送信許可時のシフト・レジスタ S I O にデータを書くとき (受信許可は任意)
- ・受信許可ビットのセットしたとき (送信許可は任意)
- ・受信のみ許可時のシフト・レジスタ S I O のデータを読むとき (送信禁止時)

マスタ送信時の場合、S I O にデータを書くと、送信を行うために、シリアル・クロック生成回路は起動し、8 クロック出力後停止します。また、スレーブ受信時も、受信許可ビットのセットまたは S I O のデータを読む (受信のみ許可時) ときもシリアル・クロック生成回路は起動し、シリアル・クロックがマイコン内部で 8 クロック出力されると動作を停止します。

受信許可ビットのセットまたは受信のみ許可時に S I O のデータを読むと、シリアル・クロック生成回路を起動します。シリアル・クロック生成回路がマイコン内部で 8 クロック出力しないうちに受信を禁止し、送信許可にした場合、内部動作中のシリアル・クロックが $\overline{\text{SCK0}}$ 端子から外部出力されることが原因になります。

なお、受信禁止状態に設定している場合、不正クロックは最大 1 シリアル・クロックになります。



- ↑ : スレーブ受信終了
- ↑ : S I O リード
- ↑ : 受信禁止 (CRXE=0)
- ↑ : 送信クロック選択
- ↑ : マスタ送信許可 (CTXE=1)
- ↑ : S I O ライト

【回避策】

この制限事項を回避するためには以下の対策を行っていただきますようお願い致します。

マスタ送信とスレーブ受信を交互に実行する場合は、不正クロック発生する可能性のある期間、 $\overline{\text{SCK0}}$ をハイ・レベル出力のポート・モードにして下さい。

[回避プログラム例]

内部クロックとしてTM3 / 2を選択時

```
SET1  P3.2          ;P32 = 1
CLR1  PMC3.2       ; $\overline{\text{SCK0}}$ 端子：入出力ポート・モード
CLR1  CRXE         ;受信禁止
SET1  CSIM.0       ;スレーブ   マスター
SET1  CTXE         ;送信許可
      :            ;1 シリアル・クロック分以上のウェイト
SET1  PMC3.2       ; $\overline{\text{SCK0}}$ 端子： $\overline{\text{SCK0}}$ 入出力モード
MOV   SIO,A        ;SIOレジスタへの書き込み
```

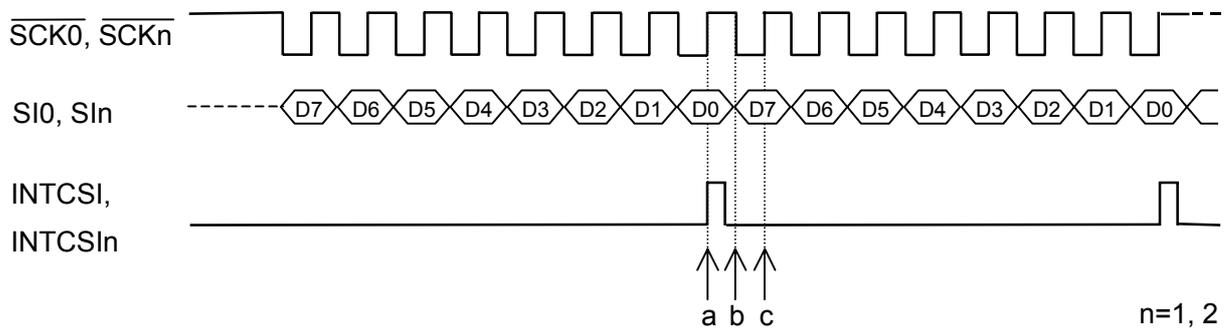
No.14 : 3 線式シリアル I/O モードの連続受信に関する制限事項

【内容】

3 線式シリアル I/O モードにおいて、送信側からデータが連続送信される場合、次の、 の条件では、2 回目以降の受信データが不定になる場合があります。

受信完了(下図 a)後、次のシリアル・クロック ($\overline{\text{SCK0}}$, $\overline{\text{SCKn}}$) の立ち下がり(下図 b)までに、シフト・レジスタ (SIO, SIO_n) のリードが終了しないとき (n=1, 2)

受信完了(下図 a)後、次のシリアル・クロック ($\overline{\text{SCK0}}$, $\overline{\text{SCKn}}$) の立ち上がり(下図 c)までに、受信許可ビットをクリアし、シフト・レジスタ (SIO, SIO_n) をリード後、受信許可フラグをセット出来ないとき (n=1, 2)



【回避策】

この制限事項を回避するためには以下の何れかの対策を行っていただきますようお願い致します。

- 1) 受信完了後(上図 a) 次のシリアル・クロックの立ち下がり(上図 b)までに、シフト・レジスタをリードして下さい。
- 2) 受信完了後(上図 a) 次のシリアル・クロックの立ち上がり(上図 c)までに、受信許可ビットをクリアし、シフト・レジスタをリード後、受信許可フラグをセットして下さい。

μPD784038、784038Y サブシリーズのドキュメント訂正一覧

1) 対象ドキュメント

- ・ μPD784038, 784038Y サブシリーズ ユーザーズ・マニュアル ハードウェア編 : U11316JJ

2) 訂正内容

No.	訂正内容	改版番号	
		第1~3版	第4版
1	A/D コンバータの変換動作時間に関する訂正事項	×	

: 記載予定、× : 未記載

No.1 : A/D コンバータの変換動作時間に関する訂正事項

【内容】

A/D コンバータ・モード・レジスタ (ADM) の FR ビットは A/D 変換時間を設定するビットです。
 低速変換 (FR=0) のとき、A/D 変換時間が $242/f_{CLK}$ になります。

《誤》

FR	変換速度制御 ($f_{CLK}=16\text{MHz}$)	
0	<u>$180/f_{CLK}$ (11.25 μs)</u>	低速変換
1	$120/f_{CLK}$ (7.5 μs)	高速変換

《正》

FR	変換速度制御 ($f_{CLK}=16\text{MHz}$)	
0	<u>$242/f_{CLK}$ (15.125 μs)</u>	低速変換
1	$120/f_{CLK}$ (7.5 μs)	高速変換