

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

V53A™レジスタ活用表

(適用品種: μPD70236A)



CPU関係のレジスタ一覧

I/Oアドレス	レジスタ名称	略号	R/W	リセット時	設定対象
FF00H-FF7FH	ページ・レジスタ	PGR1-PGR64	R/W	不定 ^注	CPU
FF80H	拡張アドレス・モード・レジスタ	XAM	R	XXXXXXXX0B	

注 電源投入時 : 不定

通常リセット時: リセット前の状態を保持

システムI/O領域のレジスタ一覧

I/Oアドレス	レジスタ名称	略号	R/W	リセット時	設定対象	
FF81H-FFDFH	予約	-	-	-	-	
FFE0H	バンク選択レジスタ	BSEL	R/W	不定	DMAU (μPD71037モード)	
FFE1H	バンク・アドレス・レジスタ	BADR				
FFE2H-FFE7H	予約	-	-	-	-	
FFE8H	予約	-	-	-	-	
FFE9H	ポーレート・カウンタ	BRC	R/W	00000000B	SCU	
FFEAH	プログラマブル・ウエイト・メモリ領域設定レジスタ0	WMB0		X111X111B	WCU	
FFEBH	プログラマブル・ウエイト・サイクル数設定レジスタ1	WCY1		X111X111B		
FFECH	プログラマブル・ウエイト・サイクル数設定レジスタ0	WCY0		XXXXX111B		
FFEDH	プログラマブル・ウエイト・メモリ・アドレス・コントロール・レジスタ	WAC		XXXX0000B		
FFEEH-FFEFH	予約	-	-	-	-	
FFF0H	タイマ・クロック選択レジスタ	TCKS	R/W	XXX00000B	TCU	
FFF1H	スタンバイ・コントロール・レジスタ	SBCR		XXX00000B	CG	
FFF2H	リフレッシュ・コントロール・レジスタ	RFC		X0X01000B	REFU	
FFF3H	プログラマブル・ウエイト・メモリ領域設定レジスタ1	WMB1		X111X111B	WCU	
FFF4H	プログラマブル・ウエイト・サイクル数設定レジスタ2	WCY2		X111X111B		
FFF5H	プログラマブル・ウエイト・サイクル数設定レジスタ3	WCY3		X111X111B		
FFF6H	プログラマブル・ウエイト・サイクル数設定レジスタ4	WCY4		X111X111B		
FFF7H	予約	-		-	-	-
FFF8H	SCUロウ・アドレス・レジスタ	SULA	R/W	不定	システムI/O	
FFF9H	TCUロウ・アドレス・レジスタ	TULA				
FFFAH	ICUロウ・アドレス・レジスタ	IULA				
FFFBH	DMAUロウ・アドレス・レジスタ	DULA				
FFFCH	オンチップ・ペリフェラル・ハイ・アドレス・レジスタ	OPHA				
FFFDH	オンチップ・ペリフェラル・セレクション・レジスタ	OPSEL				XXXX0000B
FFFEH	システム・コントロール・レジスタ	SCTL				XXX00000B
FFFFH	予約	-	-	-	-	

備考 X: 不定

注意 このシステムI/O領域へのアクセスをはじめV53Aの内蔵I/Oへのアクセスは基本的にバイト・タイプのIN/OUT命令で行ってください。ただし、μPD71071モード時のDMAU内レジスタでワード・アクセスが可能なレジスタがあります。また、ページ・レジスタへのアクセスはワード・タイプのIN/OUT命令で行ってください。

V53A™は日本電気株式会社の商標です。

本資料の内容は、後日変更する場合があります。

タイマ/カウンタ・ユニット (TCU) の内部レジスタ一覧

IOAG ビット	I/Oアドレス					レジスタ名称	略号	R/W	リセット時	
	A15-A8	A7-A3	A2	A1	A0					
1	OPHA	TULA	0	0	0	タイマ・カウント・レジスタ# 0	TCT#0	R/W	不 定	
					0	タイマ・ステータス・レジスタ 0	TST0	R		
					1	0	タイマ・カウント・レジスタ# 1	TCT#1		R/W
						0	タイマ・ステータス・レジスタ 1	TST1		R
					1	0	タイマ・カウント・レジスタ# 2	TCT#2		R/W
						0	タイマ・ステータス・レジスタ 2	TST2		R
1	タイマ・モード・レジスタ	TMD	W							
0	OPHA	TULA	0	0	T	タイマ・カウント・レジスタ# 0	TCT#0	R/W	不 定	
					U	タイマ・ステータス・レジスタ 0	TST0	R		
					1	L	タイマ・カウント・レジスタ# 1	TCT#1		R/W
						A	タイマ・ステータス・レジスタ 1	TST1		R
					1	0	タイマ・カウント・レジスタ# 2	TCT#2		R/W
						0	タイマ・ステータス・レジスタ 2	TST2		R
					1	タイマ・モード・レジスタ	TMD	W		

割り込みコントロール・ユニット (ICU) の内部レジスタ一覧

IOAG ビット	I/Oアドレス					レジスタ名称	略号	R/W	リセット時				
	A15-A8	A7-A3	A2	A1	A0								
1	OPHA	IULA	×	0	0	割り込み要求レジスタ	IRQ	R	不 定				
					0	割り込みインサースビス・レジスタ	IIS						
					0	割り込みポーリング・レジスタ	IPOL						
					1	0	割り込みイニシャライズ・ワード1レジスタ	IIW1		W			
						0	割り込みプライオリティ、フィニッシュ・ワード・レジスタ	IPFW					
						0	割り込みモード・ワード・レジスタ	IMDW					
						0	割り込みマスク・ワード・レジスタ	IMKW			R/W		
					1	IULA	×	0		1	割り込みイニシャライズ・ワード2レジスタ	IIW2	W
										1	割り込みイニシャライズ・ワード3レジスタ	IIW3	
										1	割り込みイニシャライズ・ワード4レジスタ	IIW4	
1	割り込み要求レジスタ	IRQ	R										
1	割り込みインサースビス・レジスタ	IIS											
1	割り込みポーリング・レジスタ	IPOL											
1	IULA	×	0	1					割り込みイニシャライズ・ワード1レジスタ	IIW1	W		
				1	割り込みプライオリティ、フィニッシュ・ワード・レジスタ	IPFW							
				1	割り込みモード・ワード・レジスタ	IMDW							
				1	割り込みマスク・ワード・レジスタ	IMKW	R/W						
				1	割り込みイニシャライズ・ワード2レジスタ	IIW2	W						
				1	割り込みイニシャライズ・ワード3レジスタ	IIW3							
1	IULA	×	0	1	割り込みイニシャライズ・ワード4レジスタ	IIW4	W						
				1	割り込みイニシャライズ・ワード4レジスタ	IIW4							

備考 ×：任意

シリアル・コントロール・ユニット (SCU) の内部レジスタ一覧

IOAG ビット	I/Oアドレス					レジスタ名称	略号	R/W	リセット時	
	A15-A8	A7-A3	A2	A1	A0					
1	OPHA	SULA	0	0	0	シリアル受信データ・バッファ	SRB	R	不定	
					0	シリアル送信データ・バッファ	STB	W		
					1	0	シリアル・ステータス・レジスタ	SST	R	×0000100B
						0	シリアル・コマンド・レジスタ	SCM	W	××000000B
					1	0	シリアル・モード・レジスタ	SMD		01001011B
						1	シリアル割り込みマスク・レジスタ	SIMK	R/W	××××××11B
0	OPHA	SULA	0	0	S	シリアル受信データ・バッファ	SRB	R	不定	
					U	シリアル送信データ・バッファ	STB	W		
					1	L	シリアル・ステータス・レジスタ	SST	R	×0000100B
						A	シリアル・コマンド・レジスタ	SCM	W	××000000B
					1	0	シリアル・モード・レジスタ	SMD		01001011B
						1	シリアル割り込みマスク・レジスタ	SIMK	R/W	××××××11B

備考 ×：不定

DMAコントロール・ユニット (DMAU) の内部レジスタ一覧 (μPD71071モード時)

I/Oアドレス						レジスタ名称	略号	R/W	リセット時				
A15-A8	A7-A4	A3	A2	A1	A0								
OPHA	DULA	0	0	0	0	DMAイニシャライズ・コマンド・レジスタ	DICM	W	不定				
					1	DMAチャンネル・レジスタ	DCH	R/W	×××00001B				
					1	0	0	DMAベース・カウント・レジスタ (下位バイト)	DBC	R/W	不定		
							0	DMAカレント・カウント・レジスタ ()	DCC				
						1	0	DMAベース・カウント・レジスタ (上位バイト)	DBC				
							0	DMAカレント・カウント・レジスタ ()	DCC				
					1	0	0	DMAベース・アドレス・レジスタ (下位バイト)	DBA	R/W	××00×0××B		
							0	DMAカレント・アドレス・レジスタ ()	DCA				
						1	0	DMAベース・アドレス・レジスタ (中位バイト)	DBA				
							0	DMAカレント・アドレス・レジスタ ()	DCA				
					1	0	0	DMAベース・アドレス・レジスタ (上位バイト)	DBA	R/W	××××××00B		
							0	DMAカレント・アドレス・レジスタ ()	DCA				
						1	0	DMAベース・アドレス・レジスタ (上位バイト)	DBA				
							0	DMAカレント・アドレス・レジスタ ()	DCA				
					1	0	0	0	DMAデバイス・コントロール・レジスタ (下位バイト)	DDC	R/W	××00×0××B	
								1	(上位バイト)				××××××00B
					1	0	0	0	0	DMAモード・コントロール・レジスタ	DMD		000000×0B
									1	DMAステータス・レジスタ	DST	R	00000000B
					1	0	0	0	0	予約			
									1				
1	0	0	0	0	予約								
				1									
				1	DMAマスク・レジスタ	DMK	R/W	××××1111B					

備考 IOAGビットの値には影響されません。

DMAコントロール・ユニット (DMAU) の内部レジスタ一覧 (μPD71037モード時)

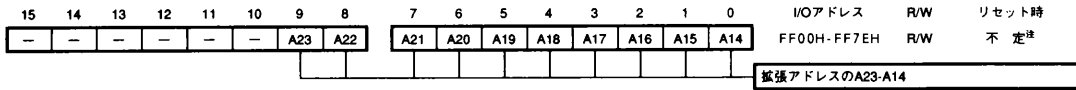
IOAG ビット	I/Oアドレス							レジスタ名称, コマンド名称	略号	R/W	リセット時							
	A15-A8	A7-A5	A4	A3	A2	A1	A0											
1	OPHA	DULA	0	注1	0	0	0	リード・カレント・アドレス・レジスタ	DRCA0-DRCA3	R	不定							
								ライト・ベース&カレント・アドレス・レジスタ	DWBCA0-DWBCA3	W								
								リード・カレント・カウント・レジスタ	DRCC0-DRCC3	R								
								ライト・ベース&カレント・カウント・レジスタ	DWBCC0-DWBCC3	W								
								1	0	0	0	0	0	0	リード・ステータス・レジスタ	DRST	R	××××0000H
															ライト・コマンド・レジスタ	DWC	W	××00×0××H
								1	0	0	0	0	0	0	ライト・リクエスト・レジスタ	DWRQ		全チャンネル リクエスト・クリア
															ライト・シングル・マスク・レジスタ	DWSM		不定
								1	0	0	0	0	0	0	ライト・モード・レジスタ	DWM		
															クリア・バイト・ポインタF/F	DCBP		
								1	0	0	0	0	0	0	イニシャライズ	DINT		
															クリア・マスク・レジスタ	DCM		
								1	0	0	0	0	0	0	ライト・オール・マスク・レジスタ	DWAM		××××1111H
															BADR		BSEL	バンク・レジスタ
0	OPHA	DULA	0	注1	0	0	0	D	リード・カレント・アドレス・レジスタ	DRCA0-DRCA3	R	不定						
								U	ライト・ベース&カレント・アドレス・レジスタ	DWBCA0-DWBCA3	W							
								L	リード・カレント・カウント・レジスタ	DRCC0-DRCC3	R							
								A	ライト・ベース&カレント・カウント・レジスタ	DWBCC0-DWBCC3	W							
								1	0	0	0	0	0	0	リード・ステータス・レジスタ	DRST	R	××××0000H
															ライト・コマンド・レジスタ	DWC	W	××00×0××H
								1	0	0	0	0	0	0	ライト・リクエスト・レジスタ	DWRQ		全チャンネル リクエスト・クリア
															ライト・シングル・マスク・レジスタ	DWSM		不定
								1	0	0	0	0	0	0	ライト・モード・レジスタ	DWM		
															クリア・バイト・ポインタF/F	DCBP		
								1	0	0	0	0	0	0	イニシャライズ	DINT		
															クリア・マスク・レジスタ	DCM		
								1	0	0	0	0	0	0	ライト・オール・マスク・レジスタ	DWAM		××××1111H
															BADR		BSEL	注2

注1. 00:チャンネル0選択, 01:チャンネル1選択, 10:チャンネル2選択, 11:チャンネル3選択

2. BADRのビット0

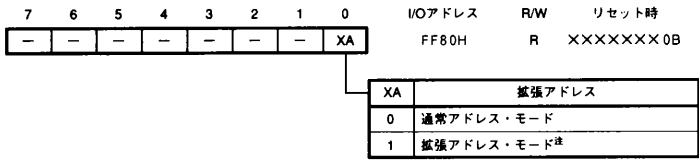
CPU関係のレジスタ

ページ・レジスタ (PGR1-PGR64)



注 電源投入時 : 不定
通常リセット時 : リセット前の状態を保持

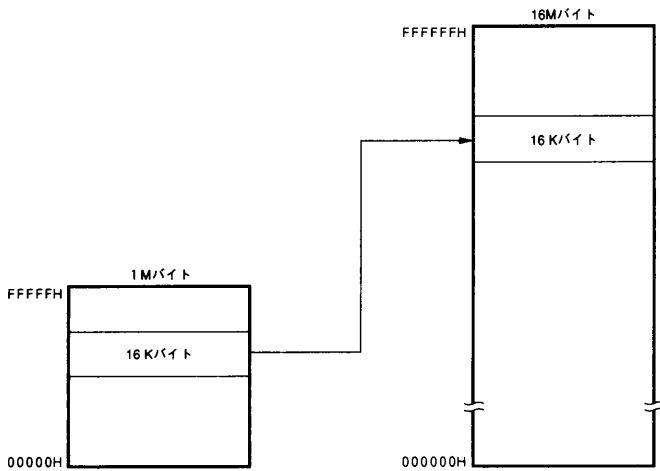
拡張アドレス・モード・レジスタ (XAM)



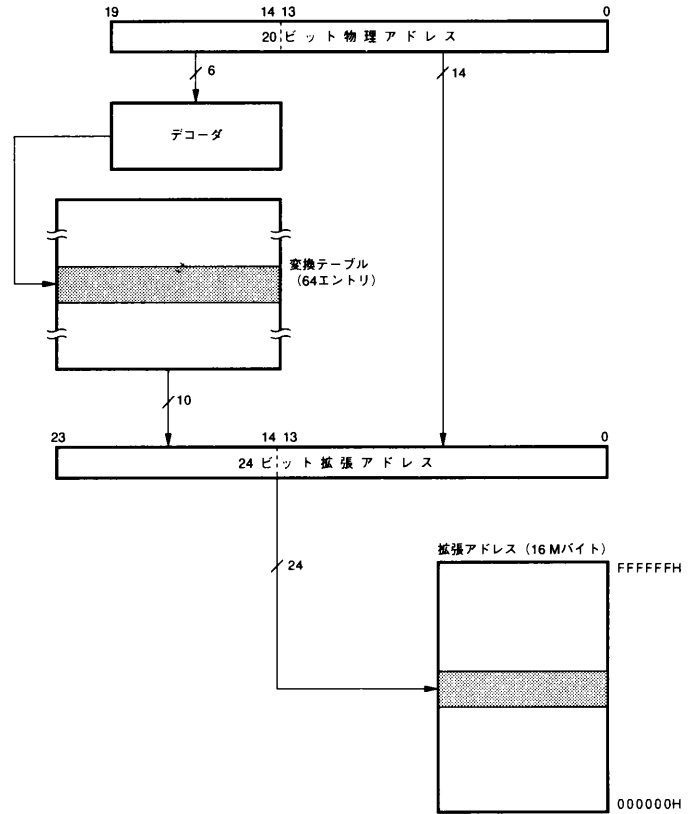
注 アドレス拡張モードに遷移した場合、内部的にアドレス計算クロックが必要となるため、性能が約10%低下します。

備考 X: 不定

アドレス拡張機能概念図

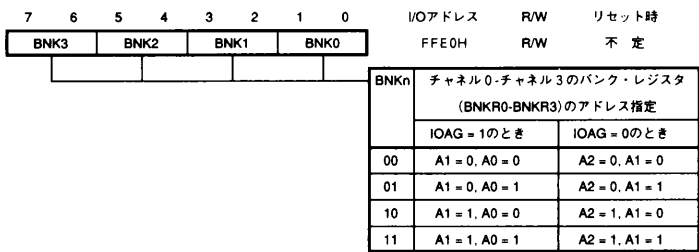


アドレス変換方式概念図

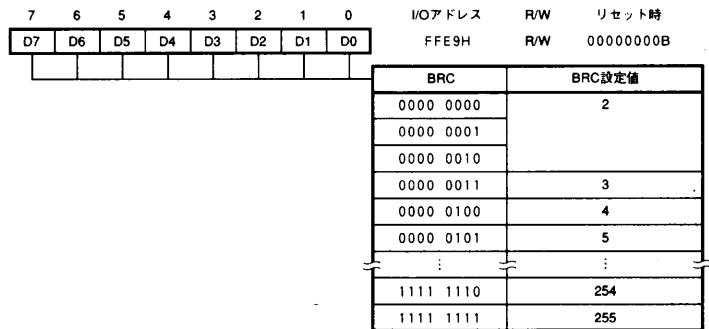


システムI/O領域のレジスタ (1/5)

バンク選択レジスタ (BSEL)

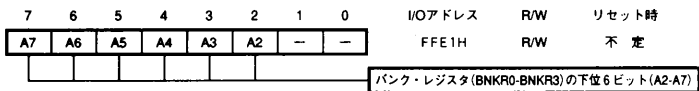


ポー・レート・カウンタ (BRC)

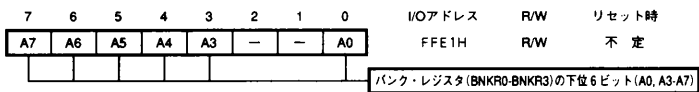


バンク・アドレス・レジスタ (BADR)

IOAG = 1のとき



IOAG = 0のとき



システムI/O領域のレジスタ (2/5)

プログラマブル・ウエイト・メモリ領域設定レジスタ 0 (WMB0)

7	6	5	4	3	2	1	0	I/Oアドレス	R/W	リセット時
—	—	ELMB	—	—	—	—	EUMB	FFEAH	R/W	X111X111B

EUMB	16 Mバイト・メモリ空間の上位メモリ・ブロック・サイズ
000	1 Mバイト
001	2 Mバイト
010	3 Mバイト
011	4 Mバイト
100	5 Mバイト
101	6 Mバイト
110	7 Mバイト
111	8 Mバイト

ELMB	16 Mバイト・メモリ空間の下部メモリ・ブロック・サイズ
000	1 Mバイト
001	2 Mバイト
010	3 Mバイト
011	4 Mバイト
100	5 Mバイト
101	6 Mバイト
110	7 Mバイト
111	8 Mバイト

備考 ×：不定

プログラマブル・ウエイト・サイクル数設定レジスタ 1 (WCY1)

7	6	5	4	3	2	1	0	I/Oアドレス	R/W	リセット時
—	—	EMMW	—	—	—	—	ELMW	FFEBH	R/W	X111X111B

ELMW	16 Mバイト中の下部メモリ・ブロック・アクセス時のウエイト挿入指定
000	ウエイトを自動挿入しない
001	1ウエイトを自動挿入する
010	2ウエイトを自動挿入する
011	3ウエイトを自動挿入する
100	4ウエイトを自動挿入する
101	5ウエイトを自動挿入する
110	6ウエイトを自動挿入する
111	7ウエイトを自動挿入する

EMMW	16 Mバイト中の中部メモリ・ブロック・アクセス時のウエイト挿入指定
000	ウエイトを自動挿入しない
001	1ウエイトを自動挿入する
010	2ウエイトを自動挿入する
011	3ウエイトを自動挿入する
100	4ウエイトを自動挿入する
101	5ウエイトを自動挿入する
110	6ウエイトを自動挿入する
111	7ウエイトを自動挿入する

備考 ×：不定

プログラマブル・ウエイト・サイクル数設定レジスタ 0 (WCY0)

7	6	5	4	3	2	1	0	I/Oアドレス	R/W	リセット時
—	—	—	—	—	—	—	EUMW	FFECH	R/W	XXXXXX111B

EUMW	16 Mバイト中の上位メモリ・ブロック・アクセス時のウエイト挿入指定
000	ウエイトを自動挿入しない
001	1ウエイトを自動挿入する
010	2ウエイトを自動挿入する
011	3ウエイトを自動挿入する
100	4ウエイトを自動挿入する
101	5ウエイトを自動挿入する
110	6ウエイトを自動挿入する
111	7ウエイトを自動挿入する

備考 ×：不定

システムI/O領域のレジスタ (3/5)

プログラマブル・ウエイト・メモリ領域設定レジスタ 1 (WMB1)

7	6	5	4	3	2	1	0	I/Oアドレス	R/W	リセット時
-	-	-	-	-	-	-	-	FFF3H	R/W	X111X111B
LMB										
UMB										
UMB								1 Mバイト・メモリ空間の上位メモリ・ブロック・サイズ		
000								32 Kバイト		
001								64 Kバイト		
010								96 Kバイト		
011								128 Kバイト		
100								192 Kバイト		
101								256 Kバイト		
110								384 Kバイト		
111								512 Kバイト		
LMB								1 Mバイト・メモリ空間の下位メモリ・ブロック・サイズ		
000								32 Kバイト		
001								64 Kバイト		
010								96 Kバイト		
011								128 Kバイト		
100								192 Kバイト		
101								256 Kバイト		
110								384 Kバイト		
111								512 Kバイト		

備考 X:不定

プログラマブル・ウエイト・メモリ・アドレス・コントロール・レジスタ (WAC)

7	6	5	4	3	2	1	0	I/Oアドレス	R/W	リセット時
-	-	-	-	-	-	-	-	FFEDH	R/W	XXXX0000B
UWA										
UWA								1 Mバイトの自動ウエイト設定可能メモリ空間を指定する上位4ビット		
UWA								先頭アドレス = UWA X 100000H		

備考 X:不定

プログラマブル・ウエイト・サイクル数設定レジスタ 2 (WCY2)

7	6	5	4	3	2	1	0	I/Oアドレス	R/W	リセット時
-	-	-	-	-	-	-	-	FFF4H	R/W	X111X111B
MMW										
LMW										
LMW								1 Mバイト中の下位メモリ・ブロック・アクセス時のウエイト挿入指定		
000								ウエイトを自動挿入しない		
001								1ウエイトを自動挿入する		
010								2ウエイトを自動挿入する		
011								3ウエイトを自動挿入する		
100								4ウエイトを自動挿入する		
101								5ウエイトを自動挿入する		
110								6ウエイトを自動挿入する		
111								7ウエイトを自動挿入する		
MMW								1 Mバイト中の中位メモリ・ブロック・アクセス時のウエイト挿入指定		
000								ウエイトを自動挿入しない		
001								1ウエイトを自動挿入する		
010								2ウエイトを自動挿入する		
011								3ウエイトを自動挿入する		
100								4ウエイトを自動挿入する		
101								5ウエイトを自動挿入する		
110								6ウエイトを自動挿入する		
111								7ウエイトを自動挿入する		

備考 X:不定

プログラマブル・ウエイト・サイクル数設定レジスタ 3 (WCY3)

7	6	5	4	3	2	1	0	I/Oアドレス	R/W	リセット時	
-	-	-	-	-	-	-	-	FFF5H	R/W	X111X111B	
IOW											
UMW											
UMW								1 Mバイト中の上位メモリ・ブロック・アクセス時のウエイト挿入指定			
000								ウエイトを自動挿入しない			
001								1ウエイトを自動挿入する			
010								2ウエイトを自動挿入する			
011								3ウエイトを自動挿入する			
100								4ウエイトを自動挿入する			
101								5ウエイトを自動挿入する			
110								6ウエイトを自動挿入する			
111								7ウエイトを自動挿入する			
IOW ^注								外部I/Oサイクル時のウエイト挿入指定		割り込みアクリッジ・サイクル時のウエイト挿入指定	
000								ウエイトを自動挿入しない		2ウエイトを自動挿入する	
001								1ウエイトを自動挿入する		3ウエイトを自動挿入する	
010								2ウエイトを自動挿入する		2ウエイトを自動挿入する	
011								3ウエイトを自動挿入する		3ウエイトを自動挿入する	
100								4ウエイトを自動挿入する		4ウエイトを自動挿入する	
101								5ウエイトを自動挿入する		5ウエイトを自動挿入する	
110								6ウエイトを自動挿入する		6ウエイトを自動挿入する	
111								7ウエイトを自動挿入する		7ウエイトを自動挿入する	

備考 X:不定

注 IOWが000、001のときは、外部I/Oサイクルと割り込みアクリッジ・サイクルとでは、挿入されるウエイトが異なります。

システムI/O領域のレジスタ (4/6)

リフレッシュ・コントロール・レジスタ (RFC)

7	6	5	4	3	2	1	0	I/Oアドレス	R/W	リセット時
RFE	RDB8	—	—	—	—	RTM	—	FFF2H	R/W	X0X01000B
RTM								タイマ・ファクタの設定		
00000								N(タイマ・ファクタ) = 1		
00001								N(タイマ・ファクタ) = 2		
00010								N(タイマ・ファクタ) = 3		
00011								N(タイマ・ファクタ) = 4		
00100								N(タイマ・ファクタ) = 5		
00101								N(タイマ・ファクタ) = 6		
⋮								⋮		
11110								N(タイマ・ファクタ) = 31		
11111								N(タイマ・ファクタ) = 32		
RDB8								リフレッシュ・アドレス更新制御		
0								リフレッシュ・アドレスを2ずつインクリメント UBE: ロウ・レベル出力		
1								リフレッシュ・アドレスを1ずつインクリメント UBE: 偶数アドレス時はハイ・レベル, 奇数アドレス時はロウ・レベル		
RFE								リフレッシュ許可/禁止		
0								リフレッシュ禁止		
1								リフレッシュ許可		

備考 X: 不定

プログラマブル・ウェイト・サイクル数設定レジスタ 4 (WCY4)

7	6	5	4	3	2	1	0	I/Oアドレス	R/W	リセット時
—	—	—	—	—	—	RFW	—	FFF6H	R/W	X111X111B
RFW								リフレッシュ・サイクル時のウェイト挿入指定		
000								ウェイトを自動挿入しない		
001								1ウェイトを自動挿入する		
010								2ウェイトを自動挿入する		
011								3ウェイトを自動挿入する		
100								4ウェイトを自動挿入する		
101								5ウェイトを自動挿入する		
110								6ウェイトを自動挿入する		
111								7ウェイトを自動挿入する		
DMAW								DMAサイクル時のウェイト挿入指定		
000								ウェイトを自動挿入しない		
001								1ウェイトを自動挿入する		
010								2ウェイトを自動挿入する		
011								3ウェイトを自動挿入する		
100								4ウェイトを自動挿入する		
101								5ウェイトを自動挿入する		
110								6ウェイトを自動挿入する		
111								7ウェイトを自動挿入する		

備考 X: 不定

タイマ・クロック選択レジスタ (TCKS)

7	6	5	4	3	2	1	0	I/Oアドレス	R/W	リセット時
—	—	—	CS2	CS1	CS0	PS	—	FFF0H	R/W	XX00000B
PS								内部クロック使用時の周波数指定		
00								TCLKn = f _{clk} /4		
01								TCLKn = f _{clk} /8		
10								TCLKn = f _{clk} /16		
11								TCLKn = f _{clk} /32		
CS0								TCUチャンネル0のクロック選択		
0								内部クロック使用		
1								TCLK端子入力使用		
CS1								TCUチャンネル1のクロック選択		
0								内部クロック使用		
1								TCLK端子入力使用		
CS2								TCUチャンネル2のクロック選択		
0								内部クロック使用		
1								TCLK端子入力使用		

備考 X: 不定

スタンバイ・コントロール・レジスタ (SBCR)

7	6	5	4	3	2	1	0	I/Oアドレス	R/W	リセット時
—	—	—	CLKC	WT	STOP	—	—	FFF1H	R/W	XX00000B
STOP								HALTモード/STOPモードの切り替え		
0								HALT命令の実行によりHALTモードに入る		
1								HALT命令の実行によりSTOPモードに入る		
WT								発振安定時間指定		
00								発振安定時間 = 2 ¹⁰ /f _{clk}		
01								発振安定時間 = 2 ¹¹ /f _{clk}		
10								発振安定時間 = 2 ¹⁶ /f _{clk}		
11								発振安定時間 = 2 ¹⁹ /f _{clk}		
CLKC								内部クロック周波数 (f _{clk}) の指定		
00								f _{clk} = f _{clk} /2		
01								f _{clk} = f _{clk} /4		
10								f _{clk} = f _{clk} /8		
11								f _{clk} = f _{clk} /16		

発振周波数による発振安定時間

WT	発振安定時間 [ms]					
	f _{clk} = 40 MHz	f _{clk} = 32 MHz	f _{clk} = 25 MHz	f _{clk} = 20 MHz	f _{clk} = 10 MHz	
00	2 ¹⁰ /f _{clk}	6.55	8.19	10.48	13.10	26.21
01	2 ¹¹ /f _{clk}	3.27	4.09	5.24	6.55	13.10
10	2 ¹⁶ /f _{clk}	1.63	2.04	2.62	3.27	6.55
11	2 ¹⁹ /f _{clk}	0.81	1.02	1.31	1.63	3.27

システムI/O領域のレジスタ (5/5)

システム・コントロール・レジスタ (SCTL)

7	6	5	4	3	2	1	0	I/Oアドレス	R/W	リセット時	
—	—	—	SC	CE1	CE0	DMAM	IOAG	FFFEH	R/W	XXXX0000B	
								IOAG	機能		
								0	内蔵I/Oアドレスを奇数/偶数に固定する (16ビット・バウンダリ)		
								1	内蔵I/Oアドレスを連続にする (8ビット・バウンダリ)		
								DMAM	DMAUモード指定		
								0	DMAUをμPD71071モードにする		
								1	DMAUをμPD71037モードにする		
								CE0	機能		
								0	μPD71037モード時にキャリアをA16に伝搬しない		
								1	μPD71037モード時にキャリアをA16に伝搬する		
								CE1	機能		
								0	μPD71037モード時にキャリアをA20に伝搬しない		
								1	μPD71037モード時にキャリアをA20に伝搬する		
								SC	SCUの入カクロック指定		
								0	SCUの入カクロックにTOUT1を使用		
								1	SCUの入カクロックにポー・レート・ジェネレータを使用		

備考 X:不定

オンチップ・ペリフェラル・セレクション・レジスタ (OPSEL)

7	6	5	4	3	2	1	0	I/Oアドレス	R/W	リセット時	
—	—	—	—	SS	TS	IS	DS	FFFDH	R/W	XXXX0000B	
								DS	内蔵DMAU使用指定		
								0	内蔵DMAU使用不可		
								1	内蔵DMAU使用可		
								IS	内蔵ICU使用指定		
								0	内蔵ICU使用不可		
								1	内蔵ICU使用可		
								TS	内蔵TCU使用指定		
								0	内蔵TCU使用不可		
								1	内蔵TCU使用可		
								SS	内蔵SCU使用指定		
								0	内蔵SCU使用不可		
								1	内蔵SCU使用可		

備考 X:不定

オンチップ・ペリフェラル・ハイ・アドレス・レジスタ(OPHA)^注

7	6	5	4	3	2	1	0	I/Oアドレス	R/W	リセット時
A15	A14	A13	A12	A11	A10	A9	A8	FFFCH	R/W	不定
内蔵周辺ユニット(TCU, SCU, ICU, DMAU)を割り付けるI/Oアドレスの上位8ビット(A8-A15)										

注 OPHAにはFFHを設定しないでください。

DMAUロウ・アドレス・レジスタ (DULA)

μPD71071モード (IOAG:任意) のとき

7	6	5	4	3	2	1	0	I/Oアドレス	R/W	リセット時
A7	A6	A5	A4	—	—	—	—	FFFBH	R/W	不定
DMAUを割り付けるI/Oアドレスの低位4ビット(A4-A7)										

μPD71037モード (IOAG=1) のとき

7	6	5	4	3	2	1	0	I/Oアドレス	R/W	リセット時
A7	A6	A5	A4	—	—	—	—	FFFBH	R/W	不定
DMAUを割り付けるI/Oアドレスの低位4ビット(A4-A7)										

μPD71037モード (IOAG=0) のとき

7	6	5	4	3	2	1	0	I/Oアドレス	R/W	リセット時
A7	A6	A5	—	—	—	—	A0	FFFBH	R/W	不定
DMAUを割り付けるI/Oアドレスの低位4ビット(A0, A5-A7)										

SCUロウ・アドレス・レジスタ (SULA)

IOAG=1のとき

7	6	5	4	3	2	1	0	I/Oアドレス	R/W	リセット時
A7	A6	A5	A4	A3	A2	—	—	FFF8H	R/W	不定
SCUを割り付けるI/Oアドレスの低位6ビット(A2-A7)										

IOAG=0のとき

7	6	5	4	3	2	1	0	I/Oアドレス	R/W	リセット時
A7	A6	A5	A4	A3	—	—	A0	FFF8H	R/W	不定
SCUを割り付けるI/Oアドレスの低位6ビット(A0, A3-A7)										

TCUロウ・アドレス・レジスタ (TULA)

IOAG=1のとき

7	6	5	4	3	2	1	0	I/Oアドレス	R/W	リセット時
A7	A6	A5	A4	A3	A2	—	—	FFF9H	R/W	不定
TCUを割り付けるI/Oアドレスの低位6ビット(A2-A7)										

IOAG=0のとき

7	6	5	4	3	2	1	0	I/Oアドレス	R/W	リセット時
A7	A6	A5	A4	A3	—	—	A0	FFF9H	R/W	不定
TCUを割り付けるI/Oアドレスの低位6ビット(A0, A3-A7)										

ICUロウ・アドレス・レジスタ (IULA)

IOAG=1のとき

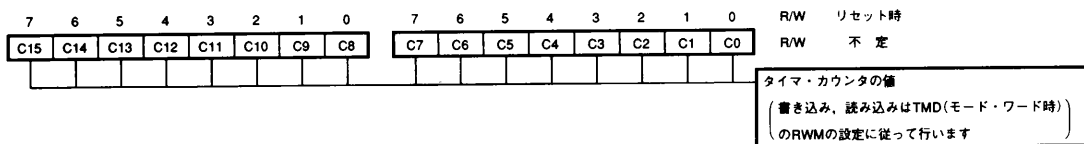
7	6	5	4	3	2	1	0	I/Oアドレス	R/W	リセット時
A7	A6	A5	A4	A3	A2	—	—	FFFAH	R/W	不定
ICUを割り付けるI/Oアドレスの低位6ビット(A2-A7)										

IOAG=0のとき

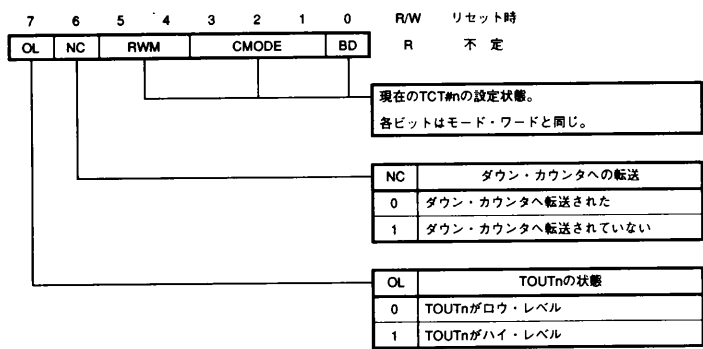
7	6	5	4	3	2	1	0	I/Oアドレス	R/W	リセット時
A7	A6	A5	A4	A3	—	—	A0	FFFAH	R/W	不定
ICUを割り付けるI/Oアドレスの低位6ビット(A0, A3-A7)										

タイマ/カウンタ・ユニット (TCU) の内部レジスタ

タイマ・カウント・レジスタ (TCT#0-TCT#2)



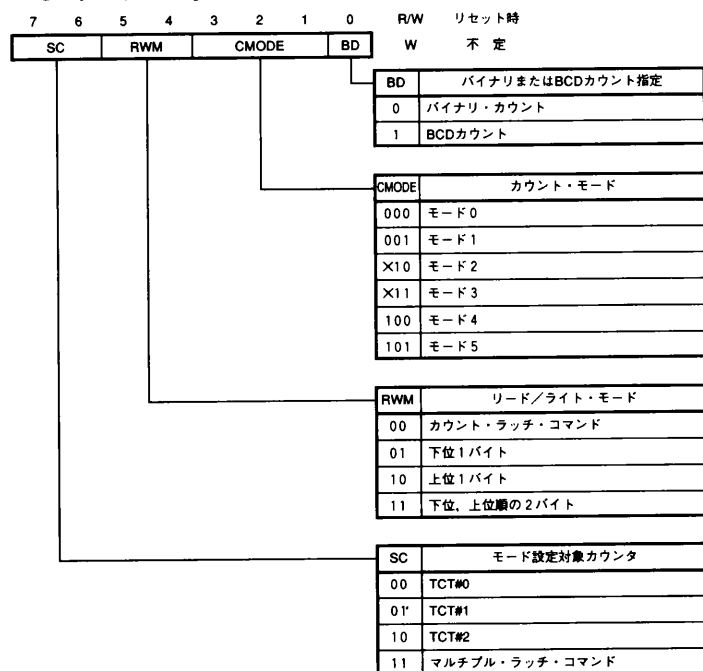
タイマ・ステータス・レジスタ (TST0-TST2)



備考 n=0-2

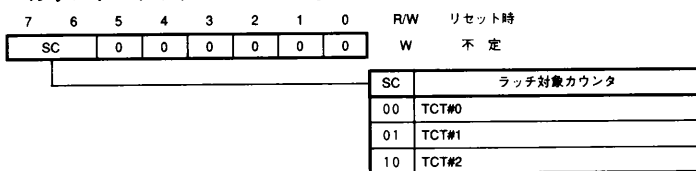
タイマ・モード・レジスタ (TMD)

モード・ワード時

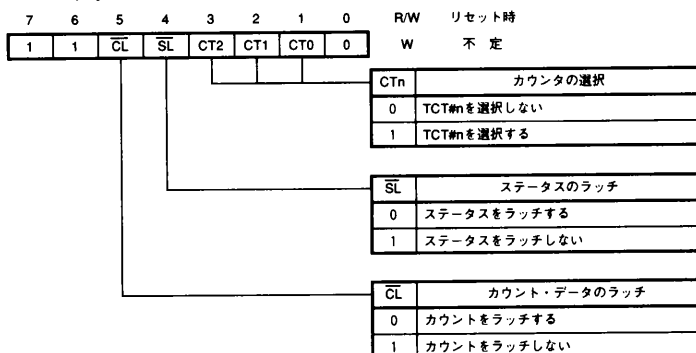


備考 X:任意

カウント・ラッチ・コマンド時



マルチプル・ラッチ・コマンド時



割り込みコントロール・ユニット (ICU) の内部レジスタ

割り込み要求レジスタ (IRQ)

7	6	5	4	3	2	1	0	R/W	リセット時
IRQ7	IRQ6	IRQ5	IRQ4	IRQ3	IRQ2	IRQ1	IRQ0	R	不定

IRQn	INTPnの割り込み要求状態
0	割り込み要求なし
1	割り込み要求あり

備考 IMDWでIRQを選択したとき (SRビット=1, IS/IRビット=0) に読み出せます。

割り込みインサースerviceレジスタ (IIS)

7	6	5	4	3	2	1	0	R/W	リセット時
IIS7	IIS6	IIS5	IIS4	IIS3	IIS2	IIS1	IIS0	R	不定

IISn	INTPnの割り込み処理状態
0	割り込み処理は実行していない
1	割り込み処理実行中

備考 IMDWでIISを選択したとき (SRビット=1, IS/IRビット=1) に読み出せます。

割り込みポーリングレジスタ (IPOL)

7	6	5	4	3	2	1	0	R/W	リセット時
INT	0	0	0	0	PL2	PL1	PL0	R	不定

PL2	PL1	PL0	受け付けた割り込みレベル ³
0	0	0	0
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
1	0	1	5
1	1	0	6
1	1	1	7

注 INTビット=1のときのみ有効

INT	INTPの受け付けの有無
0	なし
1	あり

備考 ポーリング・フェーズ設定中 (IMDWのPOLビット=1のとき) に読み出せます。

割り込みインシャライズ・ワード1レジスタ (IIW1)

7	6	5	4	3	2	1	0	R/W	リセット時
-	-	-	1	LEV	-	SNGL	II4	W	不定

II4	IIW4の書き込み
0	IIW4を書き込まない
1	IIW4を書き込む

SNGL	割り込み規模
0	拡張モード
1	シングル・モード

LEV	入力トリガ・モード
0	エッジ・トリガ(立ち上がり)
1	レベル・トリガ(アクティブ・ハイ)

割り込みプライオリティ、フィニッシュ・ワード・レジスタ (IPFW)

7	6	5	4	3	2	1	0	R/W	リセット時
RP	SIL	FI	0	0	IL2	IL1	IL0	W	不定

IL2	IL1	IL0	割り込みレベルの指定
0	0	0	0
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
1	0	1	5
1	1	0	6
1	1	1	7

RP	SIL	FI	優先順位回転とFIコマンド	
0	0	1	FIコマンド	レベル指定 回転なし 通常FIコマンド
1	0	1		なし 回転あり 通常回転FIコマンド
0	1	1	非FIコマンド	レベル指定 回転なし 指定FIコマンド
1	1	1		あり 回転あり 指定回転FIコマンド
0	1	0	レベル指定	回転なし ノー・オペレーション
1	1	0		回転あり 指定回転コマンド
0	0	0	なし	レベル指定 回転なし セルフFIモード回転リセット
1	0	0	なし	回転あり セルフFIモード回転リセット

割り込みモード・ワード・レジスタ (IMDW)

7	6	5	4	3	2	1	0	R/W	リセット時
-	SNM	EXCN	0	1	POL	SR	IS/IR	W	不定

SR	IS/IR	読み出しレジスタ選択
0	X	ノー・オペレーション
1	0	IRQ選択
1	1	IIS選択

POL	ポーリング
0	ノー・オペレーション
1	ポーリング・コマンド

SNM	EXCN	ネスティング・モード指定(その2)
0	X	ノー・オペレーション
1	0	例外ネスト・モード解除
1	1	例外ネスト・モード設定

備考 X:任意

割り込みマスク・ワード・レジスタ (IMKW)

7	6	5	4	3	2	1	0	R/W	リセット時
M7	M6	M5	M4	M3	M2	M1	M0	R/W	不定

Mn	要求のマスク
0	INTPnをマスクしない
1	INTPnをマスクする

割り込みインシャライズ・ワード2レジスタ (IIW2)

7	6	5	4	3	2	1	0	R/W	リセット時
V7	V6	V5	V4	V3	-	-	-	W	不定

割り込みベクタ番号の上位5ビット							
------------------	--	--	--	--	--	--	--

割り込みインシャライズ・ワード3レジスタ (IIW3)

7	6	5	4	3	2	1	0	R/W	リセット時
S7	S6	S5	S4	S3	S2	S1	0	W	不定

Sn	スレープ接続状況
0	INTPnは非スレープ接続
1	INTPnはスレープ接続

割り込みインシャライズ・ワード4レジスタ (IIW4)

7	6	5	4	3	2	1	0	R/W	リセット時
0	0	0	EXTN	-	-	SFI	1	W	不定

SFI	FIモード
0	FIコマンド・モード
1	セルフFIモード

EXTN	ネスティング・モード指定(その1)
0	通常ネスト・モード
1	拡張ネスト・モード

シリアル・コントロール・ユニット (SCU) の内部レジスタ

シリアル受信データ・バッファ (SRB)

7	6	5	4	3	2	1	0	R/W	リセット時
D7	D6	D5	D4	D3	D2	D1	D0	R	不定

受信データ・バッファ
(このレジスタから受信データを読み出すことができます)

シリアル送信データ・バッファ (STB)

7	6	5	4	3	2	1	0	R/W	リセット時
D7	D6	D5	D4	D3	D2	D1	D0	W	不定

送信データ・バッファ
(送信データをこのレジスタに書き込みます)

シリアル・ステータス・レジスタ (SST)

7	6	5	4	3	2	1	0	R/W	リセット時
DSR	BKD	FE	OVE	PE	1	RBDY	TBDY	R	X0000100B

TBDY	送信データ・バッファ状態
0	STBへの書き込み禁止
1	STBへの書き込み許可

RBDY	受信データ・バッファ状態
0	SRB内は旧データ
1	SRB内は新データ(リード要求)

PE	パリティ・エラー
0	エラーなし
1	エラー発生

OVE	オーバラン・エラー
0	エラーなし
1	エラー発生

FE	フレーミング・エラー
0	エラーなし
1	エラー発生

BKD	ブレイク検出
0	通常受信
1	ブレイク状態検出

DSR	DSR入力端子状態
0	ハイ・レベル
1	ロウ・レベル

備考 X:不定

シリアル・コマンド・レジスタ (SCM)

7	6	5	4	3	2	1	0	R/W	リセット時
-	-	RTS	ECL	SBRK	RE	DTR	TE	W	XX000000B

TE	送信イネーブル指定
0	送信禁止
1	送信許可

DTR	DTR端子制御
0	ハイ・レベル
1	ロウ・レベル

RE	受信イネーブル
0	受信禁止
1	受信許可

SBRK	ブレイク送信
0	TxD端子正常動作
1	TxD端子ロウ・レベル出力

ECL	エラー・クリア
0	ノー・オペレーション
1	エラー・フラグ・クリア

RTS	RTS端子制御
0	ハイ・レベル
1	ロウ・レベル

備考 X:不定

シリアル・モード・レジスタ (SMD)

7	6	5	4	3	2	1	0	R/W	リセット時
STL	PS	CL	BF					W	01001011B

BF	ボー・レート
0X	設定禁止
10	RTCLK周波数÷16
11	RTCLK周波数÷64

CL	キャラクタ長
0X	設定禁止
10	7ビット
11	8ビット

PS	パリティ選択
X0	パリティ禁止
01	奇数パリティ付加/チェック
11	偶数パリティ付加/チェック

STL	ストップ・ビット数
X0	設定禁止
01	1ビット
11	2ビット

備考 X:任意

シリアル割り込みマスク・レジスタ (SIMK)

7	6	5	4	3	2	1	0	R/W	リセット時
-	-	-	-	-	-	TM	RM	R/W	XXXXXXXX11B

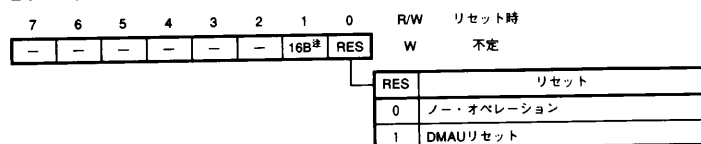
RM	RBDY割り込みマスク
0	非マスク
1	マスク

TM	TBDY割り込みマスク
0	非マスク
1	マスク

備考 X:不定

DMAコントロール・ユニット(DMAU)の内部レジスタ(μ PD71071モード時)(1/2)

DMAイニシャライズ・コマンド・レジスタ (DICM)

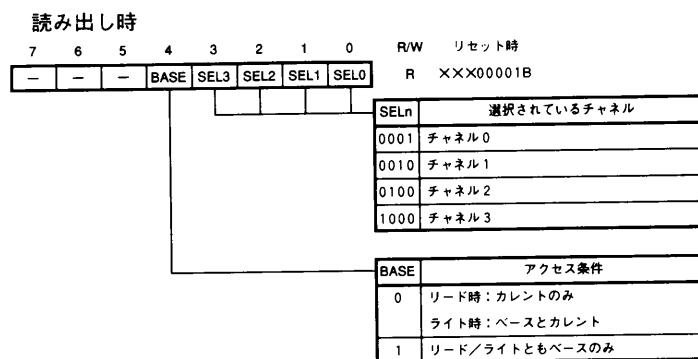


注 μ PD71071では、16Bビットにより8ビット・データ・バス、16ビット・データ・バスの選択を行います。V53Aでは、16Bビットは0、1のどちらでも常に16ビット・データ・バスとなります。

リセットによるレジスタの初期化

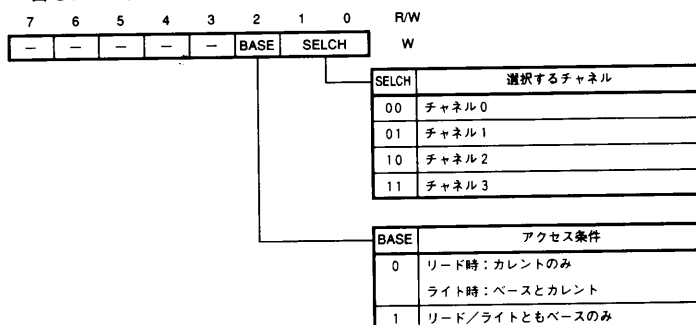
レジスタ名称	初期化内容
アドレス・レジスタ	変化なし
カウント・レジスタ	変化なし
チャンネル・レジスタ	XXXX0001B (CH0選択)
モード・コントロール・レジスタ	00000X0B (全ビット・クリア)
デバイス・コントロール・レジスタ	XX00X0XB (全ビット・クリア)(下位バイト) XXXXXX00B (全ビット・クリア)(上位バイト)
ステータス・レジスタ	00000000B (全ビット・クリア)
マスク・レジスタ	XXXX1111B (全ビット・セット)(全チャンネル・マスク)

DMAチャンネル・レジスタ (DCH)

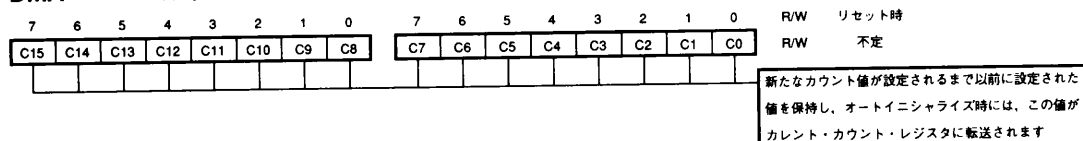


備考 X:不定

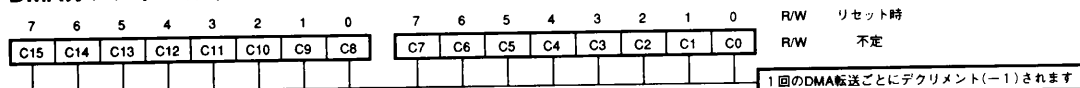
書き込み時



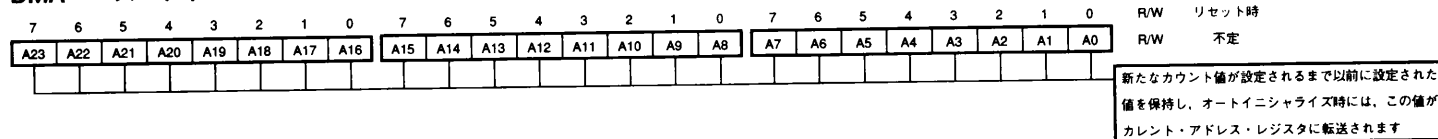
DMAベース・カウント・レジスタ (DBC)



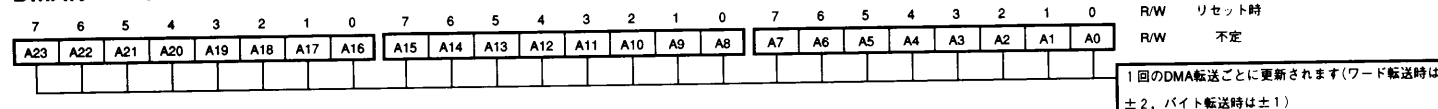
DMAカレント・カウント・レジスタ (DCC)



DMAベース・アドレス・レジスタ (DBA)

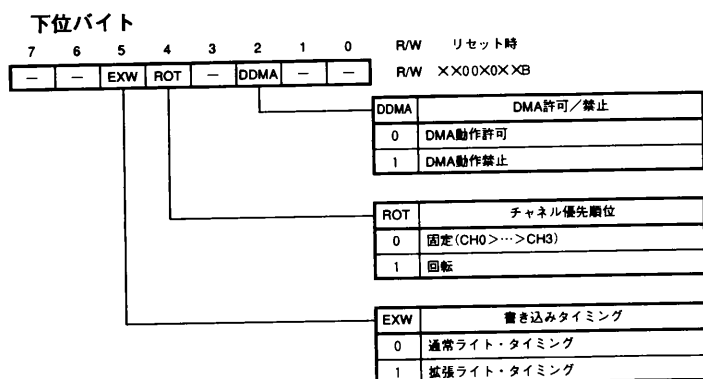


DMAカレント・アドレス・レジスタ (DCA)



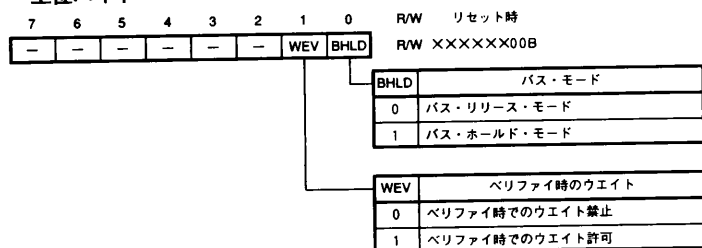
DMAコントロール・ユニット(DMAU)の内部レジスタ(μPD71071モード時)(2/2)

DMAデバイス・コントロール・レジスタ (DDC)



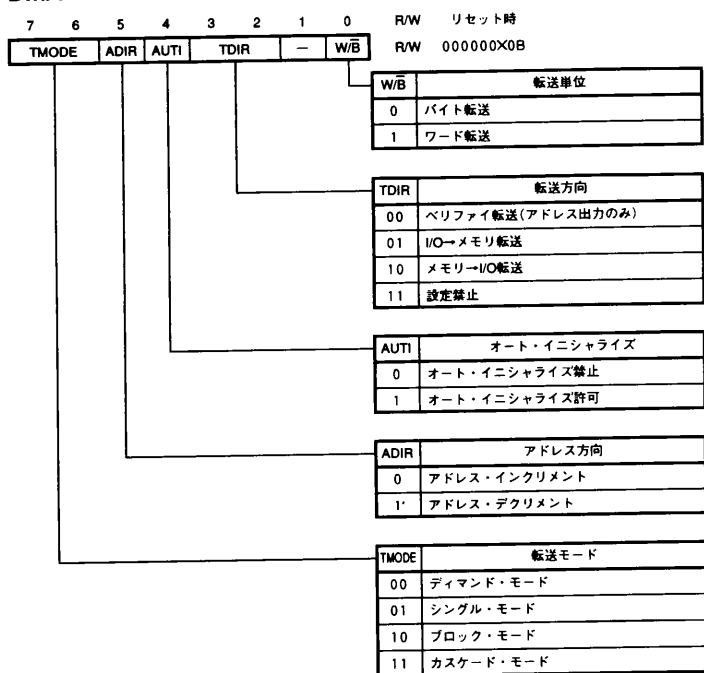
備考 ×:不定

上位バイト



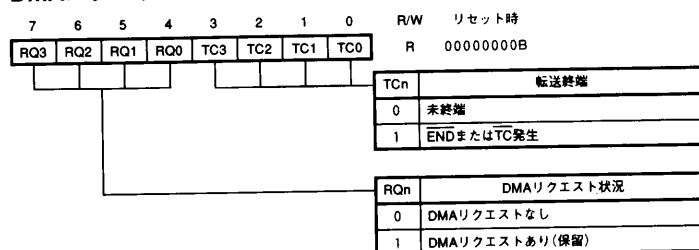
備考 ×:不定

DMAモード・コントロール・レジスタ (DMD)

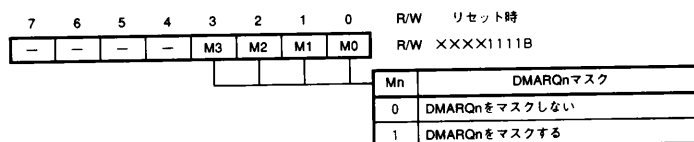


備考 ×:不定

DMAステータス・レジスタ (DST)



DMAマスク・レジスタ (DMK)



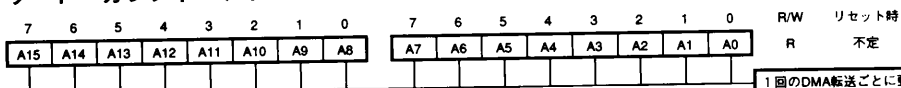
備考 ×:不定

注意 μPD71071の次の機能は内蔵していません。

- ・テンポラリ・レジスタ・リード
- ・リクエスト・レジスタ・リード/ライト
- ・ソフトウェア・リクエスト
- ・データ・バス幅選択(16ビット固定)
- ・DMAAKアクティブ・レベル選択(ロウ・レベル固定)
- ・DMARQアクティブ・レベル選択(ハイ・レベル固定)
- ・圧縮転送
- ・固定アドレス
- ・メモリ-メモリ転送

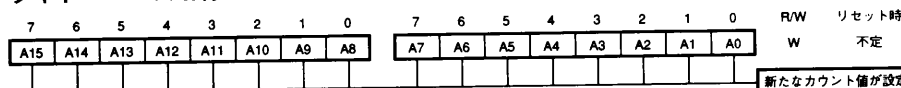
DMAコントロール・ユニット(DMAU)の内部レジスタ(μPD71037モード時)(1/2)

リード・カレント・アドレス・レジスタ (DRCA0-DRCA3)



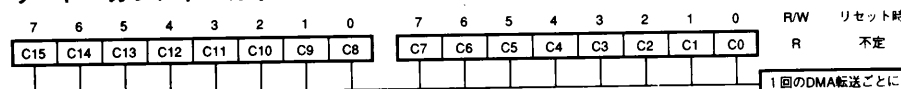
1回のDMA転送ごとに更新されます(ワード転送時は±2、バイト転送時は±1)。下位、上位の順に書き込んでください。

ライト・ベース&カレント・アドレス・レジスタ (DWBCA0-DWBCA3)



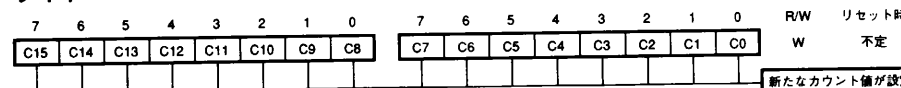
新たなカウント値が設定されるまで以前に設定された値を保持し、オートイニシャライズ時にはこの値がカレント・アドレス・レジスタに転送されます。下位、上位の順に書き込んでください。

リード・カレント・カウント・レジスタ (DRCC0-DRCC3)



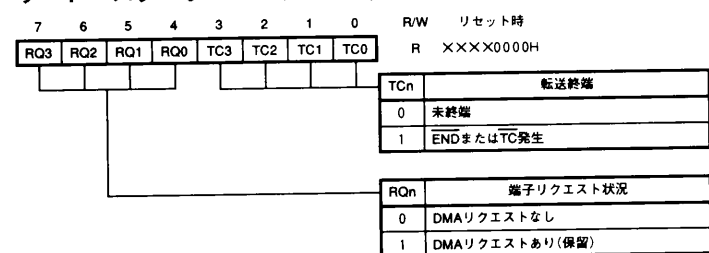
1回のDMA転送ごとにデクリメント(-1)されます。下位、上位の順に書き込んでください。

ライト・ベース&カレント・カウント・レジスタ (DWBCC0-DWBCC3)

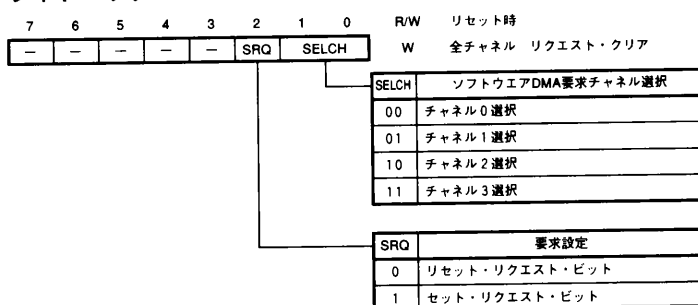


新たなカウント値が設定されるまで以前に設定された値を保持し、オートイニシャライズ時にはこの値がカレント・カウント・レジスタに転送されます。下位、上位の順に書き込んでください。

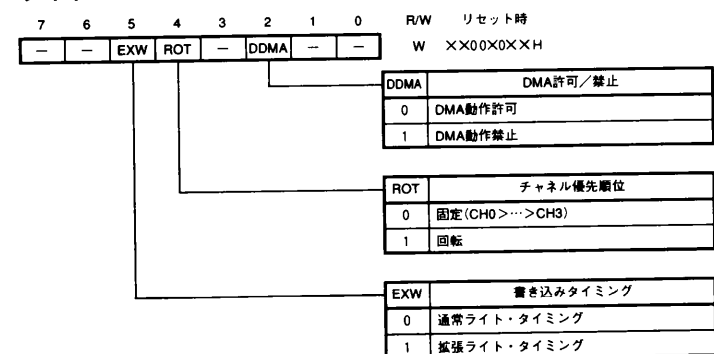
リード・ステータス・レジスタ (DRST)



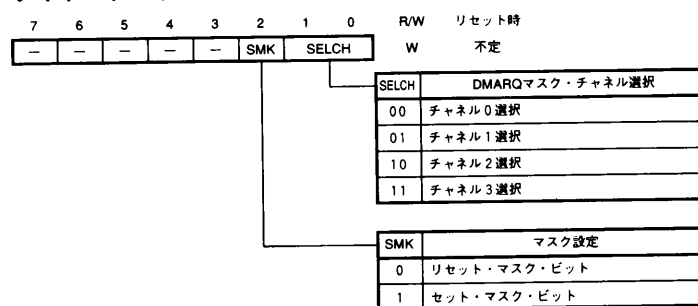
ライト・リクエスト・レジスタ (DWRQ)



ライト・コマンド・レジスタ (DWC)



ライト・シングル・マスク・レジスタ (DWSM)



DMAコントロール・ユニット(DMAU)の内部レジスタ(μ PD71037モード時)(2/2)

ライト・モード・レジスタ (DWM)

7	6	5	4	3	2	1	0	R/W	リセット時
TMODE								W	不定
ADIR								W	不定
AUTI								W	不定
TDIR								W	不定
SELCH								W	不定
SELCH								チャンネル選択	
00								チャンネル0選択	
01								チャンネル1選択	
10								チャンネル2選択	
11								チャンネル3選択	
TDIR								転送方向	
00								ペリファイ転送	
01								I/O→メモリ転送	
10								メモリ転送→I/O転送	
11								設定禁止	
AUTI								オート・イニシャライズ	
0								オート・イニシャライズ禁止	
1								オート・イニシャライズ許可	
ADIR								アドレス方向	
0								インクリメント	
1								デクリメント	
TMODE								転送モード	
00								ダイヤモンド・モード	
01								シングル・モード	
10								ブロック・モード	
11								カスケード・モード	

クリア・マスク・レジスタ (DCM)

7	6	5	4	3	2	1	0	R/W	リセット時
-								W	不定
-								全チャンネルのマスクをクリアし、DMA要求の受け付けを許可	

注 書き込むデータは、意味を持ちません。

ライト・オール・マスク・レジスタ (DWAM)

7	6	5	4	3	2	1	0	R/W	リセット時
-								W	××××1111H
M3 M2 M1 M0								DMARQnマスク	
0								DMARQnをマスクしない	
1								DMARQnをマスクする	

バンク・レジスタ (BNKR0-BNKR3)

7	6	5	4	3	2	1	0	R/W	リセット時
-								W	不定
A23 A22 A21 A20 A19 A18 A17 A16								バンク・レジスタのビット0-ビット7への拡張DMAアドレスA16-A23を設定	

注意 μ PD71037の次の機能は内蔵していません。

- ・テンポラリ・データ・レジスタ・リード
- ・DMAAKアクティブ・レベル選択 (ロウ・レベル固定)
- ・DMARQアクティブ・レベル選択 (ハイ・レベル固定)
- ・圧縮転送
- ・固定アドレス
- ・メモリ-メモリ転送

クリア・バイト・ポインタF/F (DCBP)

7	6	5	4	3	2	1	0	R/W	リセット時
-								W	不定
-								バイト・ポインタF/Fのクリア(アドレス/カウント・レジスタをアクセスする際は、このコマンドを発行してから行ってください)注	

注 書き込むデータは、意味を持ちません。

イニシャライズ (DINT)

7	6	5	4	3	2	1	0	R/W	リセット時
-								W	不定
-								DMAUの初期化(RESET入力時と同じ状態になります)注	

注 書き込むデータは、意味を持ちません。

リセットによるレジスタの初期化

レジスタ名称	初期化内容
アドレス・レジスタ	変化なし
カウント・レジスタ	変化なし
ライト・モード・レジスタ	変化なし
ライト・コマンド・レジスタ	××00×0××H(全ビット・クリア)
リード・ステータス・レジスタ	××××0000H(全ビット・クリア)
ライト・リクエスト・レジスタ	全チャンネル リクエスト・クリア
ライト・オール・マスク・レジスタ	××××1111H(全ビット・クリア)

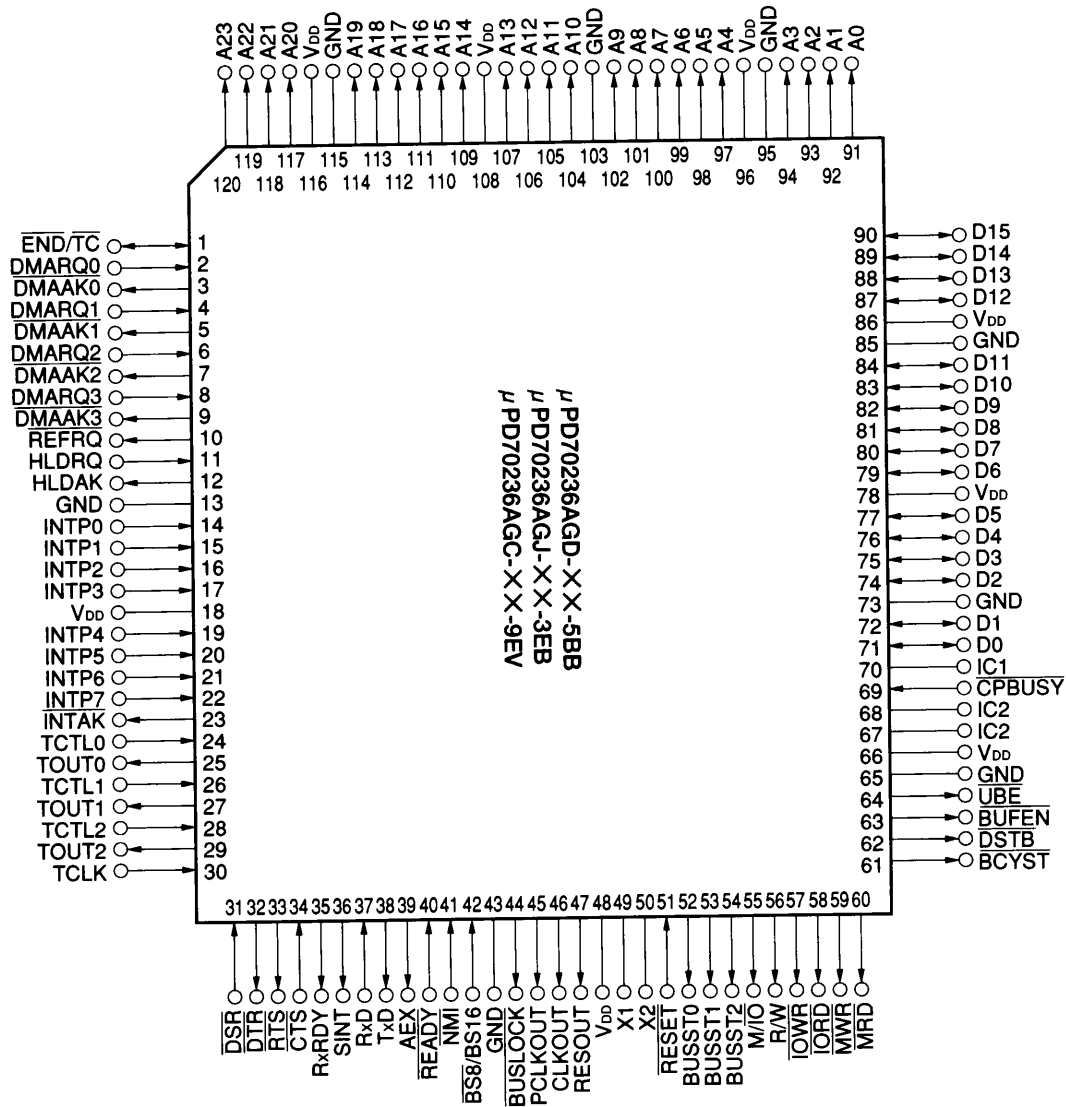
注意 リセット後、アドレス・レジスタ、カウント・レジスタに最初に書き込まれる1バイト・データは、これらレジスタの下位バイトに入ります。

端子接続図

120ピン・プラスチック QFP (□28 mm) (Top View)

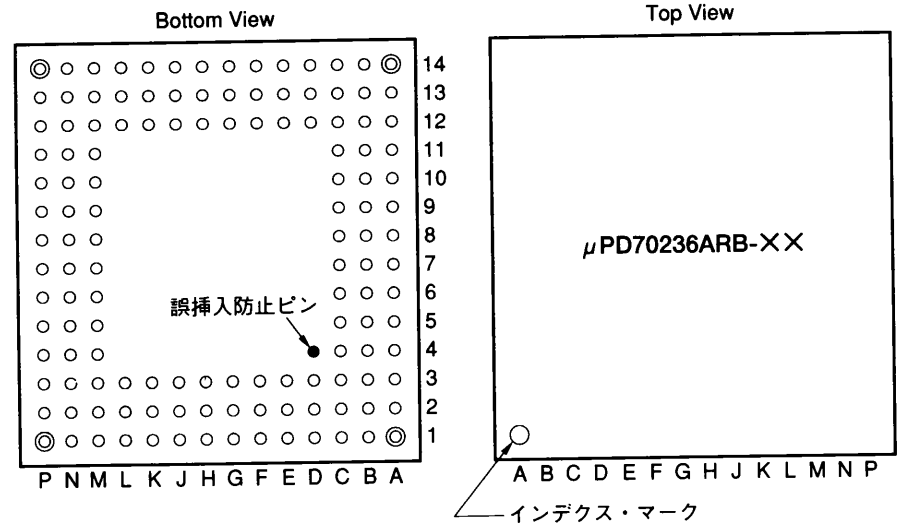
120ピン・プラスチック QFP (ファインピッチ) (□20 mm) (Top View)

120ピン・プラスチック TQFP (ファインピッチ) (□14 mm) (Top View) (開発中)



IC : Internally Connected

- 注意 1. IC1 : オープンにしてください。
- 2. IC2 : グランドに接続してください。



備考 誤挿入防止ピンは、ピン数に含みません。

番号	名称	番号	名称	番号	名称	番号	名称	番号	名称	番号	名称
A1	A22	B9	A9	D3	DMARQ0	H1	INTP2	L13	GND	N7	BUSLOCK
A2	A20	B10	A5	D12	D14	H2	INTP3	L14	IC2	N8	RESOUT
A3	GND	B11	GND	D13	IC1	H3	V _{DD}	M1	TOUT0	N9	X2
A4	A19	B12	A2	D14	D11	H12	GND	M2	TCTL2	N10	BUSST0
A5	A16	B13	IC1	E1	HLDRQ	H13	D2	M3	TCLK	N11	R/W
A6	A14	B14	D12	E2	DMAAK3	H14	D3	M4	DTR	N12	IORD
A7	A12	C1	DMAAK2	E3	DMARQ2	J1	INTP4	M5	RxRDY	N13	BCYST
A8	A11	C2	DMAAK0	E12	V _{DD}	J2	INTP5	M6	AEX	N14	UBE
A9	NC	C3	IC1	E13	D10	J3	INTP7	M7	GND	P1	DSR
A10	A8	C4	A23	E14	D8	J12	IC1	M8	V _{DD}	P2	CTS
A11	A6	C5	IC1	F1	NC	J13	D1	M9	BUSST1	P3	SINT
A12	A4	C6	A18	F2	HLDAK	J14	NC	M10	IC1	P4	TxD
A13	A3	C7	V _{DD}	F3	REFRQ	K1	INTP6	M11	MRD	P5	READY
A14	A0	C8	GND	F12	D9	K2	INTAK	M12	IC1	P6	BS8/BS16
B1	DMARQ1	C9	A7	F13	D7	K3	TCTL1	M13	BUFEN	P7	PCLKOUT
B2	END/TC	C10	V _{DD}	F14	D6	K12	V _{DD}	M14	IC2	P8	CLKOUT
B3	A21	C11	A1	G1	INTP1	K13	CPBUSY	N1	TOUT1	P9	X1
B4	V _{DD}	C12	D15	G2	INTP0	K14	D0	N2	IC1	P10	RESET
B5	A17	C13	D13	G3	GND	L1	TCTL0	N3	RTS	P11	BUSST2
B6	A15	C14	GND	G12	V _{DD}	L2	IC1	N4	IC1	P12	M/I _O
B7	A13	D1	DMARQ3	G13	D5	L3	TOUT2	N5	RxD	P13	IOWR
B8	A10	D2	DMAAK1	G14	D4	L12	DSTB	N6	NMI	P14	MWR

- 注意 1. IC1: オープンにしてください。
 2. IC2: グランドに接続してください。