

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

インフォメーション

RENESAS

保守 / 廃止

# μPD98412 Q&A 集

(NEASCOT-X15™)

1.5G ATM Switch LSI

---

資料番号 S15355JJ1V0IF00 (第1版)

発行年月 March 2001 NS CP(K)

©NEC Corporation 2001

[メ モ]

## 目 次 要 約

第 1 章	UTOPIA インタフェース ...	10
第 2 章	ヘッダ変換 ...	13
第 3 章	キュー制御 ...	20
第 4 章	ABR 輻輳制御 ...	22
第 5 章	モニタリング ...	23
第 6 章	マイクロプロセッサ・インタフェース ...	25
第 7 章	外部メモリ・インタフェース ...	27
第 8 章	内部レジスタ ...	29
第 9 章	電気的特性 ...	31
第 10 章	応用動作 ...	32
第 11 章	その他 ...	35

## CMOSデバイスの一般的注意事項

**静電気対策（MOS全般）**

**注意** MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

**未使用入力処理（CMOS特有）**

**注意** CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して $V_{DD}$ またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

**初期化以前の状態（MOS全般）**

**注意** 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

NEASCOT-X15 は、日本電気株式会社の商標です。

- **本資料の内容は予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。**
- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
- 本資料に記載された回路、ソフトウェア、及びこれらに付随する情報は、半導体製品の動作例、応用例を説明するためのものです。従って、これら回路・ソフトウェア・情報をお客様の機器に使用される場合には、お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責を負いません。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災 / 防犯装置、各種安全装置、生命維持を直接の目的としない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート / データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

巻末にアンケート・コーナを設けております。このドキュメントに対するご意見をお気軽にお寄せください。





## 目次

**第1章 UTOPIA インタフェース ... 10**

- Q.1 15-PHY Polling モードの TX 側ポーリング・アドレスについて ... 10
- Q.2 PHY に対して出力するセルがない場合の、TXENB\_B の出力レベルについて ... 11
- Q.3  $\mu$ PD98412 のポーリング動作について ... 11
- Q.4 1-Group Weighted Polling モードでのセクション・アドレスの決定方法について ... 12

**第2章 ヘッダ変換 ... 13**

- Q.5 ヘッダ変換テーブルのアドレス算出方法について ... 13
- Q.6 VPI/VCI と HTT メモリの関係について ... 15
- Q.7 セルの内部廃棄とスイッチングについて ... 16
- Q.8 NVCI = 3 のときの、VP コネクションと VC コネクションの動作について ... 17
- Q.9 VP コネクション設定のルートに F4 OAM のセルを設定する方法について ... 17
- Q.10 有効 VCI 以外の上位ビットに“1”が存在するセルの処理について ... 17
- Q.11 Area-A が CEN = 0 : 無効に設定されていた場合の処理について ... 18
- Q.12 マイクロプロセッサ接続ポートの設定について ... 19

**第3章 キュー制御 ... 20**

- Q.13 レジスタ等の設定値を変更した場合の、ノンストップ、セル廃棄なしの動作は可能か? ... 20
- Q.14 ミニマム保証機能について ... 20
- Q.15 OQthUBR と OQthUCL のセル廃棄方法について ... 21
- Q.16 セルを流しながらの、シングルキャストとマルチキャストの切り換えは可能か? ... 21

**第4章 ABR 輻輳制御 ... 22**

- Q.17 EFCI マーキングを止める方法について ... 22

**第5章 モニタリング ... 23**

- Q.18 HM ビット設定により HEC エラーによるセル廃棄を“無効”と設定した場合のセル出力について ... 23
- Q.19 ステータス・レジスタの「HEC エラー」について ... 23
- Q.20 HEC 計算方法について ... 23
- Q.21 入力セル・カウント・レジスタ上に廃棄セルのカウント・アップをするのか? ... 24

**第6章 マイクロプロセッサ・インタフェース ... 25**

- Q.22 RDY\_B がアサート出力されたあと、IOCS\_B、MCS\_B をネゲート入力するタイミングについて ... 25
- Q.23 RDY\_B 信号の動作について ... 26
- Q.24 セル・バッファ・メモリにデータを書き込む順番について ... 26

**第7章 外部メモリ・インタフェース ... 27**

- Q.25 外部メモリ・インタフェースに要求される、メモリのアクセス時間について ... 27
- Q.26 外部メモリ・インタフェースの初期化について ... 27
- Q.27 パリティ・エラーの発生要因と、パリティ・チェックについて ... 28

**第8章 内部レジスタ ... 29**

- Q.28 リード・クリア, ライト・クリアできないビットについて ... 29
- Q.29 ライト・クリア可能なビットが“1”にセットされた場合の処理方法について ... 30
- Q.30 スイッチング動作中のフィールド設定値の書き換えについて ... 30

**第9章 電気的特性 ... 31**

- Q.31 電源電流 (I<sub>DD</sub>) TYP.値の計算式について ... 31
- Q.32 UCLK をバーストクロックとして使用可能か? ... 31

**第10章 応用動作 ... 32**

- Q.33  $\mu$ PD98409 との接続イメージについて ... 32
- Q.34 1:2 のマルチキャストで使用する際の、最大スイッチング能力について ... 33
- Q.35  $\mu$ PD98412 スイッチング時間の実測値について ... 34
- Q.36 CD フィールドを“1”とした場合の動作について ... 34

**第11章 その他 ... 35**

- Q.37  $\mu$ PD98412 のランド開口サイズについて ... 35
- Q.38 製品規格による、半田付け推奨条件の違いについて ... 35
- Q.39 BSDL (Boundary Scan Description Language) ファイルについて ... 35



**Q.2**

μ PD98412 から PHY に対して出力するセルがない場合、TXENB\_B の出力レベルはどうか？

**A.2**

μ PD98412 から PHY に対して出力するセルがない場合、TXENB\_B はそのサイクル (1CLK から 54CLK まで) の間、ずっと “ハイ・レベル” を出力します。

**Q.3**

μ PD98412 を 16 ビット UTOPIA の 1-Group Weighted Polling モードでの使用を検討している。μ PD98410 では、RXCLAV がハイ・レベルにアサートされれば、そこでポーリングは終了していたが、μ PD98412 も同じポーリング動作になるか？

**A.3**

μ PD98410 と μ PD98412 では、異なるポーリング動作をします。

μ PD98410 は、RXCLAV がハイ・レベルにアサートされれば、そこでポーリングは終了していましたが、μ PD98412 (1-Group Weighted Polling モード) ではポーリングを続けます。μ PD98412 はできるかぎりポーリングを続けて各 PHY の RXCLAV 情報を集めます。そして、次のセル転送の直前でポーリング・クラスの優先順位を加味してセレクションを行います。

ポーリングの順番は、ユーザズ・マニュアルの「**3.9 1-Group Weighted Polling モード**」に記載されている規則で行います。ただし、セル転送中の PHY のポーリングは飛ばして行われます (セル転送中の PHY のポーリング・サイクルは RXADDR = “1F” となります)。

**Q.4**

16 ビット UTOPIA の 1-Group Weighted Polling モードでの RX 側のセクション・アドレス (SA) 決定方法について教えてほしい。判定開始アドレス (Check Start Address) はポーリング周期ごとにポーリング・クラス等で決定されたアドレスで推移すると思われる。そのあと  $\mu$  PD98412 はポーリング・アドレス (PA) を出力し、すべてポーリングして SA を決定すると思われるが、これはポーリング・クラスに関係なく、01h 1Dh で RXCLAV をアサートした一番近いアドレスになるか？

**A.4**

まず、 $\mu$  PD98412 ではポーリング・アドレス (PA) の決定と、判定開始アドレス (Check Start Address) の決定は、完全に独立して行われることに注意してください。ただし、判定開始アドレスはポーリング・アドレス決定アルゴリズムと同じアルゴリズムで決定します。

一度判定開始アドレスが決定すると、そのあとはアドレスの昇順に転送可能な PHY をポーリングで得られた各 PHY の RXCLAV 情報をもとに探して行きます。

つまり、最優先でセクション候補となる PHY (Check Start Address) だけが、ポーリング / クラスの優先順位を考慮して決定されます。次優先で候補となる PHY は単にアドレスの昇順で決まります。

なお、このセクション・アドレスの決定は、セクション・アドレス出力の直前で、それまでに得られている RXCLAV の情報をもとに行われます。ポーリング周期 (全部の PHY をポーリングする周期) とは無関係です。

## 第2章 ヘッダ変換

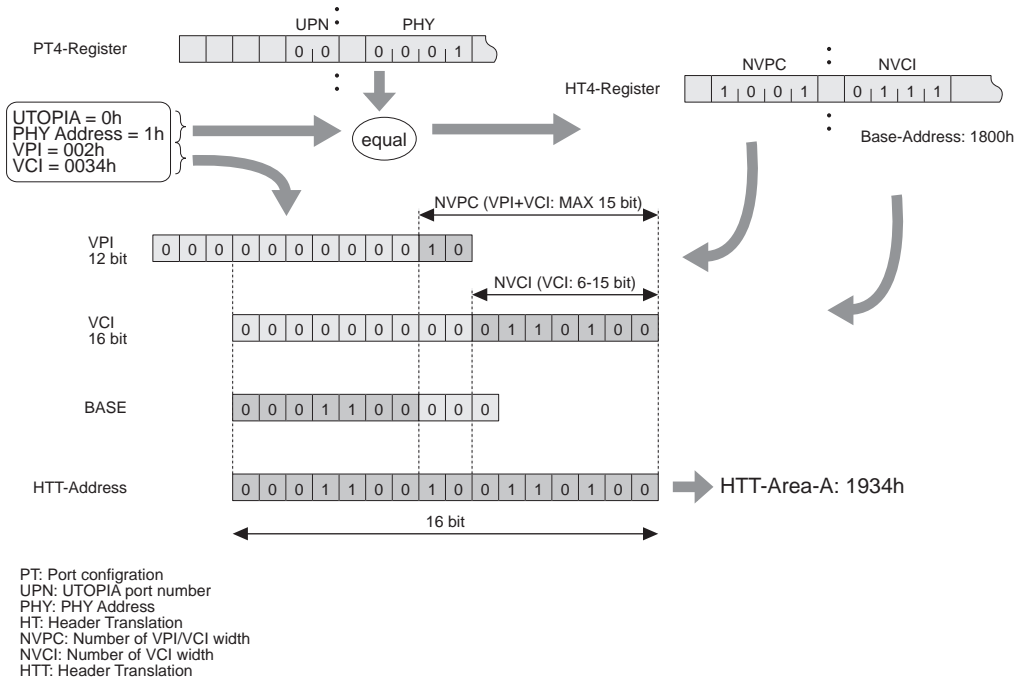
### Q.5

ヘッダ変換テーブル (HTT) のアドレスを算出する方法を教えてください。

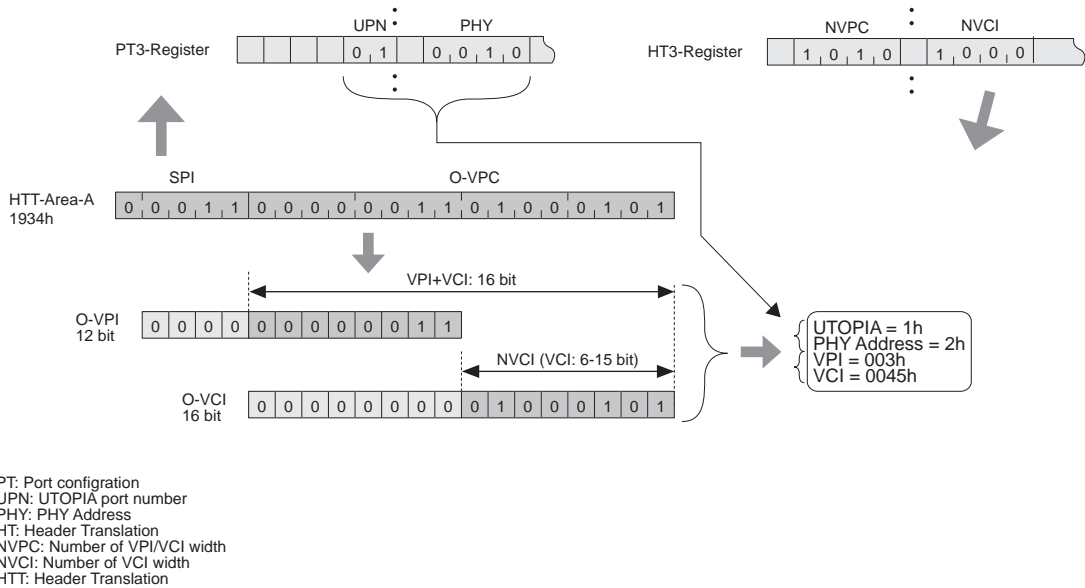
### A.5

(1) VC スイッチングの場合

・セル受信サイド

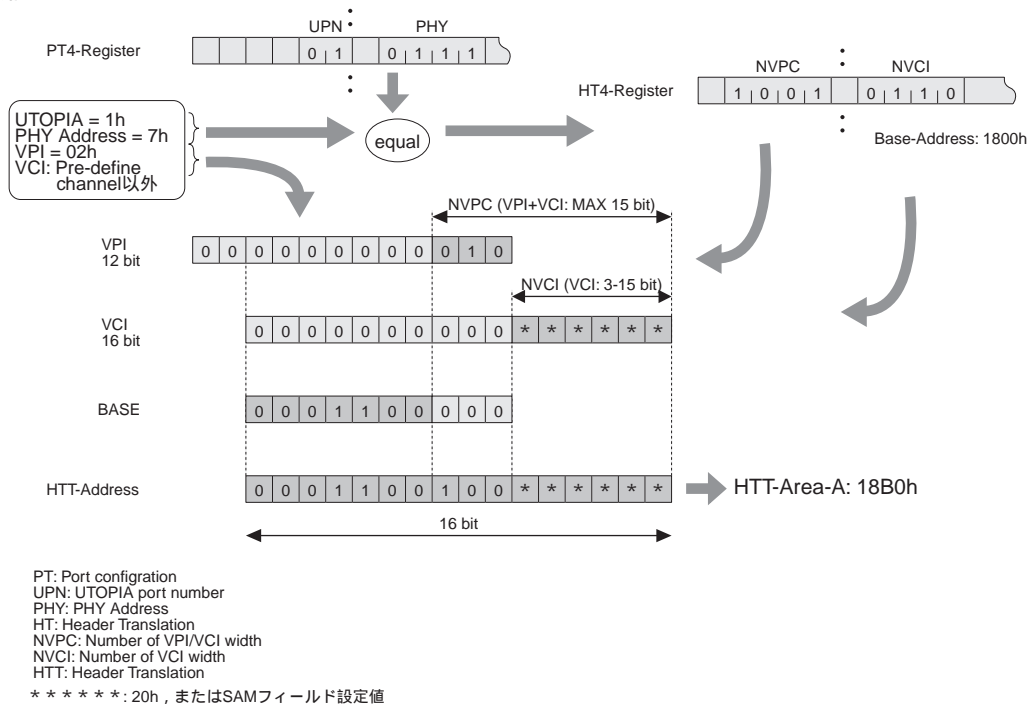


・セル送信サイド

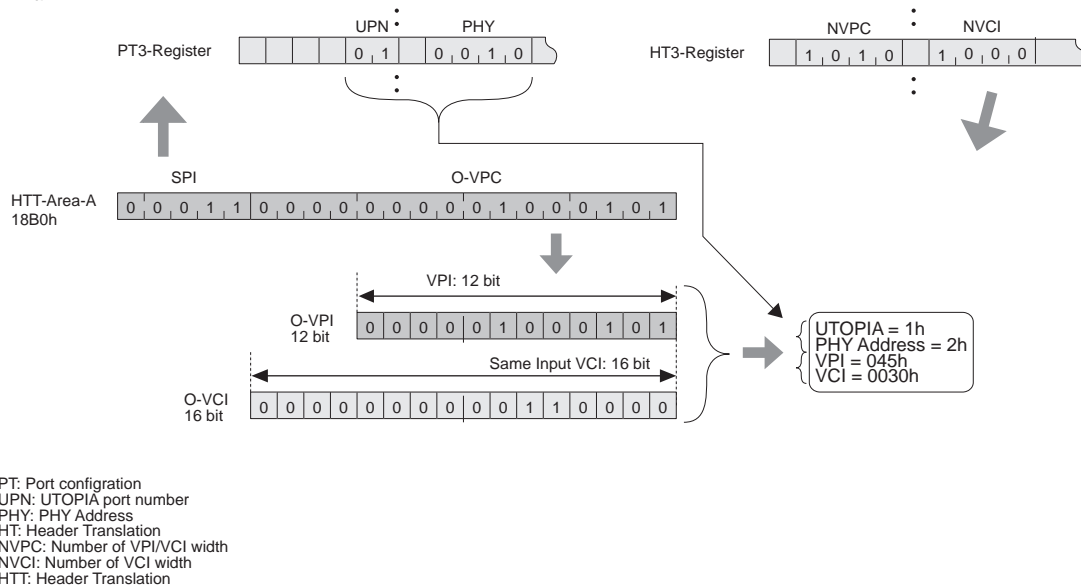


(2) VP スwitchingの場合

・セル受信サイド



・セル送信サイド





**Q.6**

VPI/VCI と HTT メモリ の関係で、以下の条件で使用できるか？

- ・ 30 論理ポート使用
- ・ 各論理ポートごとに VCI = 0 ~ 1023 ( 10 bit ) , VPI = 0 ~ 31 ( 5 bit ) を設定。

**A.6**

使用できません。

30 論理ポートごとに VCI+VPI で 15 ビット幅の設定をすることはできません。1 論理ポートあたりユニキャストで  $1024 (VCI) \times 32 (VPI) = \text{約 } 33 \text{ K}$  チャンネルとなり、30 論理ポートすべてに同じチャンネル数とすると、合計  $30 \times 33 \text{ K} = \text{約 } 990 \text{ K}$  チャンネルになります。これは、最大の 64 K チャンネルを越えることになります。

30 論理ポートの場合、BASE アドレスで 5 ビット使用することになるので、最大 VCI+VPI で 11 ビット ( 16 ビット - 5 ビット ) 幅まで設定可能ということになります。

## Q.7

ヘッダ変換で、たとえば入力VPI = 0, VCI = 21hのセルAがVCコネクションで、パス設定されているとき、仮に同じ入力ポートから、VPI = 0, VCI = 20hのセルBが紛れ込んで入力された場合、セルBがVPI = 0, VCI = 20hのHTTにアクセスし、そのHTT情報(SPI, OVPC)にしたがってスイッチングされてしまう。この場合、セルAのパスにセルBが誤配されているため、セルBを $\mu$ PD98412内部で廃棄させる方法を教えてほしい。

## A.7

2つの案が考えられます。

- (1) スイッチング・モード・アドレス(SMA)レジスタのENフィールドを“1”に設定して、VCI = 0~1Fhにします。
- (2) スイッチング・モード・アドレス(SMA)レジスタのENフィールドを“0”に設定して、VPI = 0, VCI = 20hのHTT-A領域のSPIフィールドをリザーブ値(たとえばALL“1”)にします。

(2)の場合の $\mu$ PD98412動作について詳しく説明します。VPI = 0, VCI = 20hのセルが入力されたときの $\mu$ PD98412は、1回目のHTT-AアクセスにCENとSMビットのみ参照して、VCコネクションと判断します。2回目も先ほどの1回目と同じHTT-A領域をアクセスして、今度はSPIやOVPCビットなどスイッチングに必要なビットも参照することで、セルを内部廃棄せずに、スイッチングさせます。

VPI = 0, VCI = 20hのセルBを $\mu$ PD98412の内部で廃棄させたい場合には、VPI = 0, VCI = 20hのHTT-A CENビットを0(無効)に設定することでは対策をとることはできません。なぜならば、VCI = 20hのセルが入力されなくなったとって、VPI = 0, VCI = 20hのHTT-A CENビットを0(無効)にされると、他のVCI値セル入力時に、1回目のHTT-AアクセスもできないVCコネクションなのか、VPコネクションなのかも判別できなくなるからです。

したがって、この場合には、VPI = 0, VCI = 20hのHTT-A領域のSPIフィールドをリザーブ値(たとえばALL“1”)に設定しておけば、 $\mu$ PD98412内部で廃棄されて、UTOPIAには出力されなくなります。しかし、 $\mu$ PD98412はヘッダ変換エラーと認識してセル廃棄するので、ERHT(ヘッダ変換エラー廃棄)レジスタのIOPビットに“1”が表示されます。

**Q.8**

ヘッダ変換コンフィギュレーション (HT) レジスタの有効VCIビット数 (NVCI) フィールドをNVCI = 3と設定した場合、VCI = 8のセル入力があるとそのセルは廃棄されるか？ また、このことはVPコネクションとVCコネクションとで同じか？

**A.8**

VPコネクションとVCコネクションでは、動作が異なります。

NVCI = 3なので、SMA・EN = 1, SMA・SMA = 0~7とします。

- (1) VPコネクションでは、VCIの値にかかわらずスイッチングされます。
- (2) VCコネクションでは、VCI ≠ SMA 以外はスイッチングされます。

**Q.9**

VPコネクション設定のルートにF4 OAM (VCI = 4) のセルを設定したい場合、どのように設定すれば良いのか？

**A.9**

VPコネクションで設定した場合、VCI = 0~1Fh入力セルは、VPコネクションできません。しかし、VCI = 0~1Fhについては、VCコネクションが可能なので、HTTにVCI = 0~1Fh/VPIで設定すれば通常にセル出力されます。

**Q.10**

VCスイッチング・モード、セル受信の際に有効VCI (= NVCIで設定したビット数) 以外の上位ビットに“1”が存在している場合、μPD98412はヘッダ変換エラーで廃棄するか？

**A.10**

廃棄します。

たとえば、NVCI = 8ビットと設定した場合、受信セルのVCIが“0000 0000 1011 0111”ならば、正常にスイッチングされ、出力されます。しかし、受信セルのVCIが“0000 1000 1011 0111”ならば、ヘッダ変換エラーとμPD98412は認識/廃棄して、出力ポートへセルは出力されません。

**Q.11**

ユーザズ・マニュアルの「3.12.4 HTTへのアクセス方法」によると、HTTをアクセスするには、まずPort No. + VPI + VCI (20hまたはSMAフィールド設定値)でArea-Aをアクセスし、その後、SMフィールドの値にしたがって処理を行うが、その際にPort No. + VPI + VCI (20hまたはSMAフィールド設定値)でアクセスしたArea-AがCEN = 0 : 無効であっても(無効に書き換えて)問題ないか?

**A.11**

問題あります。

HTTをアクセスするには、まずPort No. + VPI + VCI (20hまたはSMAフィールド設定値)でArea-Aをアクセスしたあと、SMフィールドの値にしたがって処理を行いますが、最初にPort No. + VPI + VCI (20hまたはSMAフィールド設定値)でアクセスしたArea-AがCEN = 0 : 無効に設定されていた場合、 $\mu$ PD98412は受信したセルをヘッダ変換エラーで内部廃棄します。

正常に受信したい場合には、CEN = 1 : 有効に設定してください。

## Q.12

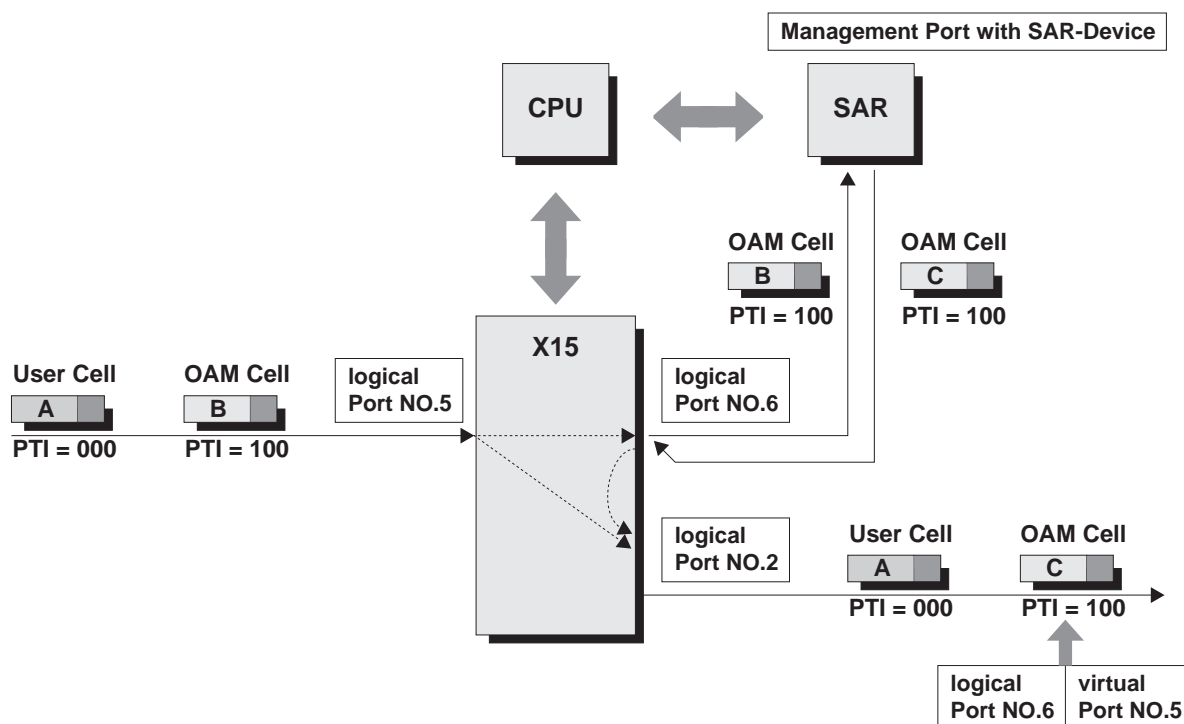
シグナリング処理，OAMセル処理のためマイクロプロセッサ接続ポートを設定（SRLPレジスタにて設定）できるようだが，どのような機能なのか教えてほしい。

## A.12

下図の例にて，説明します。

論理ポート No. 5 論理ポート No. 2 へ，ユーザ・セルと OAM セルをルーティングさせるケースです。

- (1) ユーザ・セルは，論理ポート No. 5 論理ポート No. 2 へ直接ルーティングされます。
- (2) OAM セルは，論理ポート No. 5 論理ポート No. 6（このケースでは，この論理ポート No. 6 をマイクロプロセッサ接続ポートと呼びます）へ，まずルーティングされます。そこで入力 OAM セルから情報を取り出し，出力セルに対して情報付加します。その後，論理ポート No. 6 論理ポート No. 2 へ OAM セルをルーティングさせます。



## 第3章 キュー制御

### Q.13

キュー制御レジスタ変更時の動作について教えてほしい。VP/VCの設定・削除ごとにキューのしきい値，クラス優先制御レジスタ等の輻輳制御に関するレジスタをこまめにチューニングする必要があるが，このとき  $\mu$  PD98412はノン・ストップ，セル廃棄なしで動作可能か？

### A.13

一部のレジスタ等設定値を変更した場合，ノン・ストップ，セル廃棄なしでは動作しない場合があります。

以下の場合には，ノン・ストップ，セル廃棄なしでは動作しません。

- (1) ポート・コンフィギュレーション (PT) レジスタの論理ポート設定変更の場合，該当論理ポートのキューが空でないときは，変更前のPHYに出力すべきセルを，変更後のPHYに出力します。
- (2) UBRクラス出力キュー最小しきい値 (OQminUBR) レジスタなどの各種最小しきい値 (ALLminを含む) を変更するときは，一度LSIリセットが必要になります。

### Q.14

ミニマム保証機能とは何か？

### A.14

ミニマム保証機能とは，各種最小しきい値を設定することで実現する機能のことです。

具体的には，各種 TCminXXX，OQminXXX，MQminXXX，ALLmin レジスタに最低保証セル数を設定することで，ミニマム保証します。

**Q.15**

出力キュー長に関するセル廃棄しきい値について教えてほしい。たとえばOQthUBR(該当ポートのUBRセル廃棄しきい値)と、OQthUCL(該当ポートのCLP = 1に設定されたUBRセル廃棄しきい値)では、セル廃棄方法が違うのか？

**A.15**

OQthUBR と OQthUCL のセル廃棄方法は同じです。

どちらも廃棄方法は、廃棄しきい値を越えたとき、越えた分だけ廃棄されます。全セル廃棄ではありません。

**Q.16**

μ PD98412でシングルキャストからマルチキャストへの変更、およびその逆の変更をするとき、μ PD98412内部FIFO、およびセル・バッファ上に滞留セルがなくなるの確認せずに行っても問題ないか？ つまり、セルを流しながらのシングルキャスト → マルチキャストへの変更は可能か？ 現在AポートからBポートへ流れているセルをCポートでモニタすることを考えている。ただし、モニタは必要なとき(数十秒~数分間)のみ実行する。

**A.16**

セルを流しながらシングルキャストとマルチキャストの切り換えを行うと、セルの順序入れ替わりや欠落などの流れを乱してしまう可能性があります。

方法として考えられるのは、セルを流しながらマルチキャストの同報数だけを変える以下の方法です。

< 通常時の設定 >

AポートからBポートに、1同報マルチキャストとしてコネクションを張る(シングルキャストではありません)。

< AポートからBポートへ流れるセルをCポートで同時モニタ開始 >

ユーザズ・マニュアル「6.1.2 マルチキャスト・コネクション」にしたがって、AポートからBポートの1同報マルチキャストに、Cポートを加えて2同報マルチキャストにする。

< モニタ終了 >

ユーザズ・マニュアル「6.1.2 マルチキャスト・コネクション」にしたがって、2同報マルチキャストを1同報マルチキャストにする。

ただし、上の方法の場合、注意事項があります。マルチキャストはシングルキャストと比べて、サポートできるVP/VC数が1/16に減るので注意してください。

## 第4章 ABR 輻輳制御

## Q.17

EFCI (Explicit Forward Congestion Indicator) マーキングを意識的に止めるためには、たとえばABRクラスについては、OQthACI (ABRクラス出力キュー-EFCIしきい値) をOQthABR (ABRクラス出力キュー最大しきい値) と同じ値に設定すれば良いか？

## A.17

これでは、EFCI マーキングを止めることはできません。

初めに理由を説明したのち、最後にEFCI マーキングを止める方法を記載します。

EFCIマーキングの判断は、セル出力時に行っています。すなわち、(セル入力される前のキュー長 < OQthABR) でセル入力して、(セル出力される前のキュー長 > OQthACI) でマーキングします。

キュー長がOQthABR-1の状態セル入力されると、キュー長がOQthABR (=OQthACI) と等しくなり、そのときにセル出力されるとEFCIマーキングされます。

EFCI マーキングを止める方法

次のように設定していただければ、ABRセルに対する EFCI マーキングを止めることができます。

OQthACI > max. ( OQthAVR )



## 第5章 モニタリング

## Q.18

モード1レジスタ (MODE1) のHMビット設定により、HECエラーによるセル廃棄を“無効”と設定しているが、この設定でも $\mu$  PD98412より出力されるセルのHECは正しく生成されて出るか？

## A.18

HMビット設定によりHECエラーによるセル廃棄を“無効”と設定した場合でも、出力されるセルのHECは正しく生成されて出てきます。

## Q.19

ステータス・レジスタ (STATUS) のHEビットの「HECエラー」は、1ビットHECエラーのセルを受信したときでも「HECエラー」と表示されるか？

## A.19

「HECエラー」と表示されます。

$\mu$  PD98412では、1ビットのHECエラーでも、自動補正は行っていません。

## Q.20

$\mu$  PD98412のHEC計算方法はどのようなものか？ モード1レジスタ (MODE1) のHMビット設定により、HECエラーによるセル廃棄を“無効”および“有効”と選択できるが、設定単位は論理ポートごとに可能か？

## A.20

HEC計算は、生成多項式  $X^8 + X^2 + X + 1$  の余りに 01010101 (b) を加算して求めています。

設定単位は、論理ポートごとではなく、全ポート共通の設定となります。

**Q.21**

μPD98412は、入力セル・カウント・レジスタ（CTINP）上に廃棄セルのカウント・アップもするのか？

**A.21**

入力セル・カウント・レジスタでは、HECエラー、CRCエラー、ヘッダ変換エラーのため廃棄されたセルは、カウントされません。しかし、しきい値越え、EPD処理、およびRMマージのために廃棄されたセルはカウントされます。

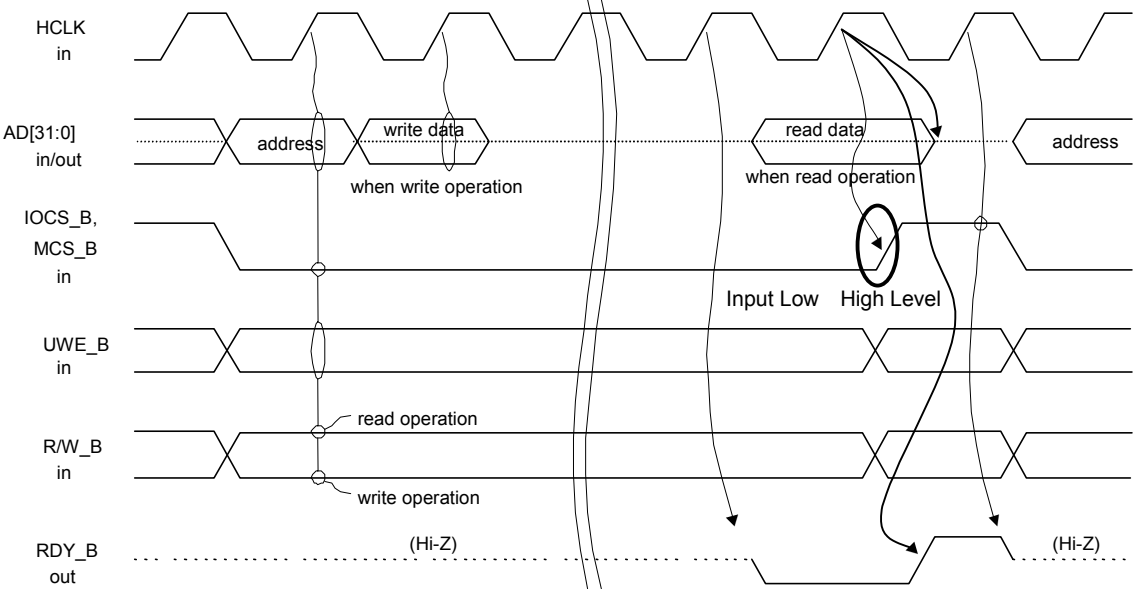
## 第6章 マイクロプロセッサ・インタフェース

### Q.22

RDY\_Bがアサート（ロウ・レベル出力）されたあと、マイクロプロセッサはどのタイミングでIOCS\_B, およびMCS\_Bをネゲート（ロウ・レベル ハイ・レベル入力）すればよいのか？

### A.22

RDY\_Bがアサートされた次のHCLKの立ち上がり同期して（またはRDY\_Bアサートと同じHCLKサイクル以内に）、必ずIOCS\_B, およびMCS\_Bをネゲートさせるようにしてください。タイミング図を以下に示します。



$\mu$  PD98412はIOCS\_BとMCS\_Bがアサートされると、HCLKの立ち上がり同期してAD [ 31:0 ] , UWE\_B, およびRW\_Bを取り込み、AD [ 31:0 ] で指示されるアドレスのレジスタまたはメモリに対しアクセスを行います。アクセス終了時、IOCS\_B, およびMCS\_Bをネゲートする必要があります。

たとえばRDY\_Bアサート後 HCLK の 5 サイクル間、ずっと IOCS\_B または MCS\_B をネゲートせずにロウ・レベル固定入力した場合でも、RDY\_B ロウ・レベル、および AD [ 31:0 ] データ出力期間を伸ばすことはできません。 $\mu$  PD98412 は必ず HCLK の 1 サイクル期間しか RDY\_B ロウ・レベル、および AD [ 31:0 ] データを出力しないので注意が必要です。

**Q.23**

RDY\_B 信号の動作について詳しく説明してほしい。

**A.23**

以下にRDY\_B信号の動作について説明します。

$\mu$ PD98412はR/W\_Bがハイ・レベルの場合にリード・オペレーションを開始します。 $\mu$ PD98412はデータの出  
力準備ができると、HCLKの立ち上がり同期してAD [ 31:0 ] にデータを出力するとともに、RDY\_Bをアサート  
します。 $\mu$ PD98412はRDY\_Bをアサートした次のHCLKの立ち上がりでRDY\_Bをネゲートし(このときIOCS\_B、  
およびMCS\_B信号レベルに関係なくRDY\_Bを必ずネゲ - ト)、AD [ 31:0 ] をハイ・インピーダンスにします。  
 $\mu$ PD98412は、さらに次のHCLKの立ち上がりでRDY\_Bをハイ・インピーダンスにします。

$\mu$ PD98412はR/W\_Bがロウ・レベルの場合にライト・オペレーションを開始します。次のHCLKの立ち上がり  
に同期して、AD [ 31:0 ] 上のデータを取り込み、次のバス・サイクルのオペレーションが可能になるとRDY\_B  
をアサートします。 $\mu$ PD98412はRDY\_Bをアサートした次のHCLKの立ち上がりでRDY\_Bをネゲートします(こ  
のとき、IOCS\_B、およびMCS\_B信号レベルに関係なくRDY\_Bを必ずネゲ - ト)。 $\mu$ PD98412は、さらに次のHCLK  
の立ち上がりでRDY\_Bをハイ・インピーダンスにします。

**Q.24**

32 ビット幅のマイクロプロセッサ・インタフェースから 88 ビット幅のセル・バッファ・メモリにデータを書  
き込むときの、書き込む順番を教えてください。

**A.24**

たとえばセル・バッファ・メモリCBA [ 17:0 ] = 00000h番地に88ビット・データをライトするときは、マイク  
ロプロセッサ・インタフェースからAD [ 21:0 ] = 000008h, 000004h, 000000hの順番に32ビット・デ - タを3  
度書き込みます。

## 第7章 外部メモリ・インタフェース

### Q.25

$\mu$  PD98412に接続される外付けHTT&コントロール・メモリ, およびセル・バッファ・メモリに要求されるメモリのアクセス時間を教えてください。

### A.25

システム・クロック (SWCLK) の周波数に依存します。

SWCLK = 33 MHzで使用      アクセス時間15 ns品

SWCLK = 25 MHzで使用      アクセス時間20 ns品

### Q.26

$\mu$  PD98412電源投入時またはリセット後,  $\mu$  PD98412は自動的に接続されている外付けHTT&コントロール・メモリ, およびセル・バッファ・メモリの初期化を行うか?

### A.26

$\mu$  PD98412は, 自動的に接続されているメモリに対して, 初期化 (“0” クリアまたは “1” クリア) しません。

HTT&コントロール・メモリについては, マイクロプロセッサ側から “0” クリアで初期化してください。セル・バッファ・メモリについては, マイクロプロセッサ側から初期化実行しても, また未実行でも問題はありません。

**Q.27**

現在、セル・バッファ・メモリでパリティ・エラーが発生している。パリティ・エラーが発生する要因は何か？

HTT&コントロール・メモリではパリティを示す信号線があるが、セル・バッファ・メモリではない。したがって、セル・データよりパリティを計算していると考えられるが、計算方法やチェック方法等を知りたい。

**A.27**

セル・バッファ・メモリのパリティ・エラーは、セル・バッファ・メモリへのライト/リードで、データが異なる場合に発生します。

パリティ・チェックは、次の2つの条件で実施しています。

- (1)  $\mu$  PD98412がセル・バッファへライトするとき、格納セル54バイト+2ビット（格納用ヘッダ6バイト、ペイロード48バイト、SM1ビット、CM1ビット）に対して、1バイトのパリティを $\mu$  PD98412が生成して、セル・バッファへ格納します。リード時にその1バイトのパリティをチェックします。
- (2)  $\mu$  PD98412がセル・バッファへライトするとき、Cast Counter (CC) 5ビットに対して、1ビットのCast Counter Parity (CCP) を $\mu$  PD98412が生成して、セル・バッファへ格納します。リード時にその1ビットのCCPをチェックします。

以上の条件(1)と(2)のどちらか、または両方共にNGのときに、パリティ・エラーとなります。

また、UDFフィールド透過モードの場合は、 $\mu$  PD98412がセル・バッファへライトするとき、U2H, U2L, U1H, U1L, Reserved (3ビット) に対して、1ビットのUDF Parity (UDFP) を生成して、セル・バッファへ格納します。リード時にその1ビットのUDFPをチェックします。

## 第8章 内部レジスタ

### Q.28

ステータス・レジスタ (STATUS) の各ビットの中で、リード・クリアもライト・クリアもできないビット (例：UEビット) がある。このリード・クリアもライト・クリアもできないビットが、異常発生にて“1”にセットされた場合、どのような処理をすれば良いか？

### A.28

まず、ユーザズ・マニュアルのSTATUSレジスタ内のビット説明表で、“R/W”とあるものは、ライト・クリアできますが、“R”だけのものはライト・クリアもできないという意味です。

このリード・クリアもライト・クリアもできないビットが、異常発生にて“1”にセットされた場合、重大な障害ステータス発生ということで、 $\mu$ PD98412にリセット処理をかけてもらうことを期待しています。

**Q.29**

ステータス・レジスタ (STATUS) の各ビットの中で、ライト・クリア可能なビット (例: HEビットとEXビット) が連続的に発生してそれぞれ “1” にセットされた場合、どのような処理をすれば良いか?

**A.29**

たとえばHEビット (R/W) とEXビット (R/W) を例に処理の順番を考えると、以下のように考えられます。

- (1) STATUSレジスタのHEビットが、0 1。
- (2) INT信号がロウ・レベル ハイ・レベルになり、CPUが割り込みを認識。
- (3) CPUがSTATUSレジスタをリードし、HEビット = 1を認識。
- (4) HEビットに対する割り込み処理実行。
- (5) 新たにSTATUSレジスタのEXビットが、0 1。
- (6) CPUがSTATUSレジスタのHEビットに “1” をライトし、ステータス・クリア。  
\*ここでは、EXビットは “0” をライト。
- (7) INT信号はハイ・レベルのままなので、再度CPUはSTATUSレジスタをリードし、今度はEXビット = 1を認識。
- (8) EXビットに対する割り込み処理実行。
- (9) CPUがSTATUSレジスタのEXビットに “1” をライト。
- (10) INT信号がハイ・レベル ロウ・レベルになる。

ただし、EXビットとHEビットの割り込み要因は、各割り込み処理実行後すぐに発生しなくなるとした場合です。

**Q.30**

スイッチング動作中にポート・コンフィギュレーション・レジスタ (PT) 内のフィールド設定値を変更した場合の動作について教えてほしい。ユーザズ・マニュアルの中で、SG, PHY, UPN, ENフィールドでは誤動作を起こす可能性があるとして記述されているが、その他のSC, RP, SPR, NTP, CDフィールドへの設定値変更は問題ないか?

**A.30**

PTレジスタのSC, RP, SPR, NTP, CDは、スイッチング動作中に書き換えても問題ありません。書き換えたあとは、自動的に書き換えた値にしたがって動作します。



## 第9章 電気的特性

## Q.31

動作電流 ( $I_{DD}$ ) のMAX.値は1300 mAと規定されているが、TYP.値を算出する際の計算式などがあれば教えてほしい。

## A.31

動作電流 ( $I_{DD}$ ) のTYP.値は、スイッチングのスループットにより変化します。

TYP.値の計算式は、次のようになります。

$$I_{DD} (\text{TYP.}) = 267 \times t + 600 \text{ mA}$$

$$t (\text{スループット}) = 0 \sim 1.5 \text{ [単位: Gbps] ,}$$

(条件) 8ビットUTOPIA × 4ポート, SWCLK = 40 MHz, UCLK0 ~ 3 = 50 MHz

たとえば、 $t (\text{スループット}) = 0.75 \text{ Gbps}$  の場合、 $I_{DD} (\text{TYP.}) = 267 \times 0.75 + 600 = 800.25 \text{ mA}$  となります。

## Q.32

UTOPIAクロックであるUCLK入力パルス幅規定値として、MIN.値があるが、MAX.値の規定はない。そこで、UCLKをバースト・クロックとして使用することが可能か？

## A.32

UCLKをバースト・クロックとして使用することが可能です。

ただし、UCLKパルスのハイ/ロウ・レベル幅MIN.値、およびUCLKの立ち上がり/立ち下りMAX.値、UCLKサイクルMIN./MAX.値の各条件を満足させることは必要です。

## 第10章 応用動作

### Q.33

$\mu$  PD98412のUTOPIAインタフェースはレベル2のマスタであるが、UTOPIAレベル1のマスタの他LSI ( $\mu$  PD98409 : ATM-SAR)と接続したい。どのような接続イメージになるか？

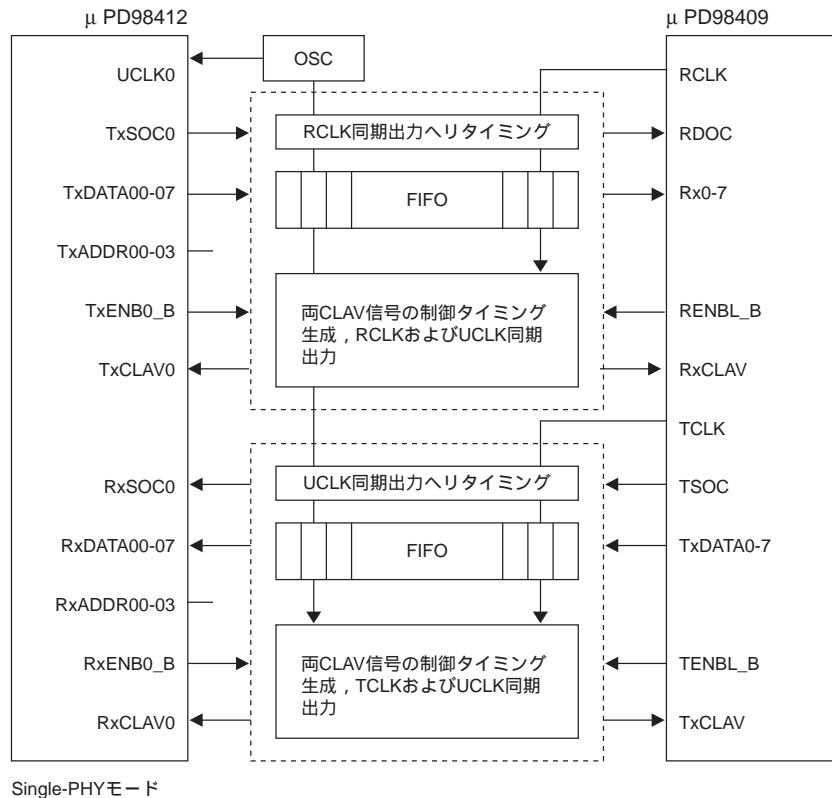
### A.33

まず、単純なインバータをいれて接続するだけでは、うまく動作しないと考えられます。

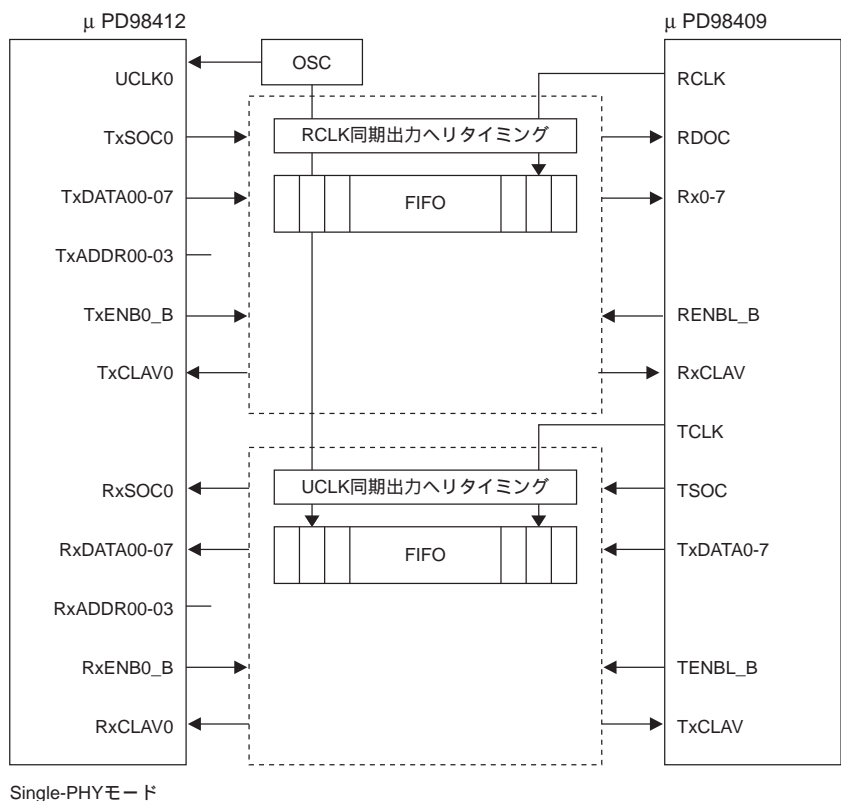
$\mu$  PD98412 -  $\mu$  PD98409間の接続回路に、送受信データを一時保持するためにFIFOが必要になります。簡単に説明すると、 $\mu$  PD98412との入出力はUCLKに同期させて、 $\mu$  PD98409との入出力はRCLK、およびTCLKに同期させます。その $\mu$  PD98412との入出力と $\mu$  PD98409との入出力の位相差は、間にFIFOを入れて吸収します。FIFOの深さは、送受信ごとに5セル分あればスループットも問題ないと思います。

以下にバックプレッシャーあり、なしの場合の接続例を示します。なお、この接続例は当方で一切動作確認を行っていません。お客様の責任において機器設計してください。

#### 案1：バックプレッシャーあり



案2：バックプレッシャーなし



**注意** バックプレッシャーなしの場合、FIFOオーバーフローが発生する可能性がありますので、注意が必要です。

**Q.34**

μ PD98412のあるポートをすべてのスイッチング・データのモニタ機能として使うため、すべて1：2のマルチキャストで使用する。この場合、最大スイッチング能力はどうか？

**A.34**

すべて1：2のマルチキャストで使用する場合、シングルキャスト最大スイッチング容量1.5 Gbpsの1/2，最大0.75 Gbpsとなります。

同じく、1つの入力ポートから受信したセルを3つの出力ポートにマルチキャストする1：3のケースでは、最大スイッチング容量は0.5 Gbpsとなります。

**Q.35**

$\mu$  PD98412のスイッチング時間を保証値ではなく、実測値でもよいので教えてほしい。具体的には、セル入力 スwitchング セル出力までの時間を知りたい。

**A.35**

以下のデータは保証値ではなく、ある1つの条件での実測値なので参考値としてください。

条件：シングルキャスト，UTOPIA = 8 bit，SWCLK = 33 MHz，UCLK = 40 MHz

結果： IN-port	OUT-port	スイッチング時間 (TYP.)
UTOPIA No.0	UTOPIA No.0	6.800 [ $\mu$ s ]
UTOPIA No.0	UTOPIA No.1	5.260 [ $\mu$ s ]
UTOPIA No.0	UTOPIA No.2	5.860 [ $\mu$ s ]
UTOPIA No.0	UTOPIA No.3	6.312 [ $\mu$ s ]

**Q.36**

ポート・コンフィギュレーション・レジスタ (PT) において、CDフィールドを“1”とした場合、 $\mu$  PD98412 はどのような動作を行うか？

**A.36**

CDフィールドを“1”にすると、該当論理ポートの出力キューに滞留していたセルを強制的に排出します。

ここで1つ注意点があります。 $\mu$  PD98412は、CDフィールドを“1”にしても、一括して全滞留セルを排出するのではなく、1セルずつ排出します。たとえば、UTOPIA = 8 bit, SWCLK = 33 MHz, SPR = 127では、シェーピング後のスループットは、 $318/(127+1) = 2.48$  Mbpsになります。滞留セル32セル分の排出時間は、 $32 \times 53 \times 8/2480000 = \text{約}5.5$  msかかることとなります。

また、セル排出できたかどうかは、キュー長モニタリング機能で確認できます。

## 第11章 その他

## Q.37

μ PD98412の「インターポーザ開口径」は、いくらか？

## A.37

μ PD98412の「インターポーザ開口径」は、0.53 mmになります。

なお、当社では「ランド開口サイズ」と呼ばれています。

## Q.38

μ PD98412の製品規格にK規格，E規格，P規格品があるようだが，半田付け推奨条件の違いはあるのか？

## A.38

製品規格によって，半田付け推奨条件は変わりません。いずれも「IR-35-107-3」となります。

半田付け推奨条件の詳細は，インフォメーション資料「**半導体デバイス実装マニュアル**」（C10535）を参照してください。

## Q.39

BSDL（Boundary Scan Description Language）ファイルを手に入れるか？

## A.39

提供可能です。

お客さまのご要求により，μ PD98412 の BSDL ファイルを提出させていただきます。巻末に示したお問い合わせ先の，NEC 半導体テクニカルホットラインにお問い合わせください。

— お問い合わせ先 —

**【技術的なお問い合わせ先】**

NEC半導体テクニカルホットライン  
(電話：午前 9:00～12:00，午後 1:00～5:00)

電話：044-435-9494  
FAX：044-435-9608  
E-mail：s-info@saed.tmg.nec.co.jp

**【営業関係お問い合わせ先】**

第一販売事業部

東京 (03)3798-6106, 6107,  
6108

大阪 (06)6945-3178, 3200,  
3208, 3212

仙台 (022)267-8740

郡山 (024)923-5591

千葉 (043)238-8116

第二販売事業部

東京 (03)3798-6110, 6111,  
6112

立川 (042)526-5981, 6167

松本 (0263)35-1662

静岡 (054)254-4794

金沢 (076)232-7303

松山 (089)945-4149

第三販売事業部

東京 (03)3798-6151, 6155, 6586,  
1622, 1623, 6156

水戸 (029)226-1702

広島 (082)242-5504

前橋 (027)243-6060

鳥取 (0857)27-5313

太田 (0276)46-4014

名古屋 (052)222-2170, 2190

福岡 (092)261-2806

**【資料の請求先】**

上記営業関係お問い合わせ先またはNEC特約店へお申しつけください。

**【NECエレクトロニクス デバイス ホームページ】**

NECエレクトロニクスデバイスの情報がインターネットでご覧になれます。

URL(アドレス)

<http://www.ic.nec.co.jp/>

**アンケート記入のお願い**

お手数ですが、このドキュメントに対するご意見をお寄せください。今後のドキュメント作成の参考にさせていただきます。

[ドキュメント名] μPD98412 Q&A集 インフォメーション  
(S15355JJ1V0IF00 (第1版))

[お名前など] (さしつかえのない範囲で)  
御社名(学校名, その他) ( )  
ご住所 ( )  
お電話番号 ( )  
お仕事の内容 ( )  
お名前 ( )

1. ご評価 (各欄に をご記入ください)

項 目	大変良い	良 い	普 通	悪 い	大変悪い
全体の構成					
説明内容					
用語解説					
調べやすさ					
デザイン, 字の大きさなど					
その他 ( )					
( )					

2. わかりやすい所 (第 章, 第 章, 第 章, 第 章, その他 )  
理由 [ ]

3. わかりにくい所 (第 章, 第 章, 第 章, 第 章, その他 )  
理由 [ ]

4. ご意見, ご要望  
[ ]

5. このドキュメントをお届けしたのは  
NEC 販売員, 特約店販売員, その他 ( )

ご協力ありがとうございました。  
下記あてに FAX で送信いただくか, 最寄りの販売員にコピーをお渡しください。