

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

μPD104915サブシリーズ 特殊機能レジスタ活用表

(適用品種: μPD784915, 784916A, 78P4916)

特殊機能レジスタ (SFR) 一覧 (1/2)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	ビット長	操作可能ビット単位			リセット解除後	
					1ビット	8ビット	16ビット		
FF00H	ポート0	P0	R/W	8	○	○	—	不定	
FF04H	ポート4	P4		8	○	○	—		
FF05H	ポート5	P5		8	○	○	—		
FF06H	ポート6	P6		8	○	○	—		
FF07H	ポート7	P7	R	8	○	○	—	0クリア	
FF08H	ポート8	P8	R/W	8	○	○	—		
FF09H	ポート9	P9		8	○	○	—		
FF0EH	ポート0バッファ・レジスタL	P0L		8	○	○	—		
FF0FH	ポート0バッファ・レジスタH	P0H	8	○	○	—	0クリア		
FF10H	タイマ0コンペア・レジスタ0	CRO0	16	—	—	○			
FF11H	イベント・カウンタ・コンペア・レジスタ0	ECC0	W	8	—	○		—	
FF12H	タイマ0コンペア・レジスタ1	CRO1	R/W	16	—	—		○	
FF13H	イベント・カウンタ・コンペア・レジスタ1	ECC1	W	8	—	○		—	
FF14H	タイマ0コンペア・レジスタ2	CR02	R/W	16	—	—		○	
FF15H	イベント・カウンタ・コンペア・レジスタ2	ECC2	W	8	—	○		—	
FF16H	タイマ1コンペア・レジスタ0	CR10	R/W	16	—	—		○	
FF17H	イベント・カウンタ・コンペア・レジスタ3	ECC3	W	8	—	○		—	
FF18H	タイマ1コンペア・レジスタ1	CR11	R/W	16	—	—		○	
FF1AH	タイマ1コンペア・レジスタ2	CR12	R	16	—	—	○		
FF1CH	タイマ1コンペア・レジスタ3	CR13	R/W	16	—	—	○		
FF1EH	タイマ2コンペア・レジスタ0	CR20		16	—	—	○		
FF20H	ポート0モード・レジスタ	PM0	W	8	—	○	—	FFH	
FF24H	ポート4モード・レジスタ	PM4		8	—	○	—		
FF25H	ポート5モード・レジスタ	PMS		8	—	○	—		
FF26H	ポート6モード・レジスタ	PM6		8	—	○	—		
FF28H	ポート8モード・レジスタ	PM8		8	—	○	—		FDH
FF29H	ポート9モード・レジスタ	PM9		8	—	○	—		7FH
FF2EH	リアルタイム出力ポート0コントロール・レジスタ	RTPC	R/W	8	○	○	—	00H	
FF30H	タイマ・レジスタ0	TM0	R	16	—	—	○	0クリア	
FF31H	イベント・カウンタ	EC	R/W	8	—	○	—		
FF32H	タイマ・レジスタ1	TM1	R	16	—	—	○		
FF34H	フリー・ランニング・カウンタ (ビット0-15)	FRCL		16	—	—	○		0000H
FF35H	フリー・ランニング・カウンタ (ビット16-21)	FRCH		8	—	○	—	00H	
FF36H	タイマ・レジスタ2	TM2	16	—	—	○	0クリア		

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	ビット長	操作可能ビット単位			リセット解除後	
					1ビット	8ビット	16ビット		
FF38H	タイマ・コントロール・レジスタ0	TMC0	R/W	8	○	○	—	00H	
FF39H	タイマ・コントロール・レジスタ1	TMC1		8	○	○	—		
FF3AH	タイマ・コントロール・レジスタ2	TMC2		8	○	○	—		
FF3BH	タイマ・コントロール・レジスタ3	TMC3		8	○	○	—		00x00000
FF3CH	タイマ・レジスタ3	TM3	R	16	—	—	○	0クリア	
FF3DH	タイマ・コントロール・レジスタ4	TMC4	R/W	8	○	○	—	xx000000	
FF3EH	タイマ・レジスタ4	TM4	R	16	—	—	○	0クリア	
FF48H	ポート8モード・コントロール・レジスタ	PMCS	R/W	8	○	○	—	00H	
FF4DH	トリガ・ソース選択レジスタ0	TRGS0		8	○	○	—		
FF4EH	プルアップ抵抗オプション・レジスタL	PUCL		8	○	○	—		
FF4FH	プルアップ抵抗オプション・レジスタH	PUOH		8	○	○	—		
FF50H	入力コントロール・レジスタ	ICR		8	○	○	—		10H
FF51H	アップ/ダウン・カウンタ・カウント・レジスタ	UDC		8	—	○	—		不定
FF52H	イベント・ディバイダ・カウンタ	EDV	R	8	—	○	—	0クリア	
FF53H	キャプチャ・モード・レジスタ	CPTM	R/W	8	○	○	—	00H	
FF54H	タイマ・レジスタ5	TMS	R	16	—	—	○	0クリア	
FF56H	タイマ3キャプチャ・レジスタ0	CPT30		16	—	—	○		
FF58H	タイマ0出力モード・レジスタ	TOM0	W	8	—	○	—	xx000000	
FF59H	タイマ0出力コントロール・レジスタ	TOC0		8	—	○	—	00H	
FF5AH	タイマ1出力モード・レジスタ	TOM1	R/W	8	—	○	—	80H	
FF5BH	タイマ1出力コントロール・レジスタ	TOC1	W	8	—	○	—	00H	
FF5CH	タイマ3コンペア・レジスタ0	CR30	R/W	16	—	—	○	0クリア	
FF5EH	タイマ3コンペア・レジスタ1	CR31		16	—	—	○		
FF60H	ポート8バッファ・レジスタL	P8L		8	○	○	—		00x0x0x
FF63H	アップ/ダウン・カウンタ・コンペア・レジスタ	UDCC	W	8	—	○	—	不定	
FF65H	トリガ・ソース選択レジスタ1	TRGS1	R/W	8	○	○	—	00H	
FF66H	ポート6モード・コントロール・レジスタ	PMCS		8	○	○	—		
FF68H	A/Dコンバータ・モード・レジスタ	ADM		16	—	—	○		0000H
		ADML ^注		8	○	○	—		
FF6AH	A/D変換結果レジスタ	ADCR	R	8	—	○	—	不定	

注 ADMLはADMの下位8ビットを指し、1ビット操作および8ビット操作可能です。
 備考 0クリア: リセット解除後16クロック以内にカウンタを0に初期化 (初期化以前の内容は不定)。

本資料は、この製品の企画段階で作成していますので、予告なしに内容を変更することがあります。
 また本資料で扱う製品の製品化を中止することがあります。

本文欄外の★印は、本版で改訂された主な箇所を示しています。

μPD104915サブシリーズ

特殊機能レジスタ (SFR) 一覧 (2/2)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット単位			リセット 解除後	
				1ビット	8ビット	16ビット		
FF6CH	ハードウェア時計カウンタ0	HW0	R/W	16	—	—	○	リセットに影
FF6EH	ハードウェア時計カウンタ1	HW1	R	16	—	—	○	響されない
FF6FH	時計モード・レジスタ	WM		8	○	○	—	00×0×00
FF70H	PWMコントロール・レジスタ0	PWMC0		8	○	○	—	05H
FF71H	PWMコントロール・レジスタ1	PWMC1		8	○	○	—	15H
FF72H	PWM0モジュロ・レジスタ	PWM0	R/W	16	—	—	○	0000H
FF73H	PWM2モジュロ・レジスタ	PWM2		8	—	○	—	00H
FF74H	PWM1モジュロ・レジスタ	PWM1		16	—	—	○	0000H
FF75H	PWM3モジュロ・レジスタ	PWM3		8	—	○	—	00H
FF76H	PWM5モジュロ・レジスタ	PWM5		16	—	—	○	0000H
FF77H	PWM4モジュロ・レジスタ	PWM4		8	—	○	—	00H
FF78H	イベントディバイダ・コントロール・レジスタ	EDVC	W	8	—	○	—	00H
FF79H	クロック出力モード・レジスタ	CLOM	R/W	8	○	○	—	00H
FF7AH	タイマ4キャプチャ/コンペア・レジスタ0	CR40		16	—	—	○	0クリア
FF7BH	クロック・コントロール・レジスタ	CC	R/W	8	○	○	—	00H
FF7CH	タイマ4キャプチャ・レジスタ1	CR41	R	16	—	—	○	0クリア
FF7DH	キャプチャ/コンペア・コントロール・レジスタ	CRC	W	8	—	○	—	00H
FF7EH	タイマ5コンペア・レジスタ	CR50		16	—	—	○	0クリア
FF84H	シリアル・モード・レジスタ1	CSIM1		8	○	○	—	00H
FF85H	シリアル・シフト・レジスタ1	SIO1		8	—	○	—	不定
FF88H	シリアル・モード・レジスタ2	CSIM2		8	○	○	—	00H
FF89H	シリアル・シフト・レジスタ2	SIO2		8	—	○	—	不定
FF8AH	シリアル・コントロール・レジスタ2	CSIC2		8	—	○	—	
FF91H	ヘッドアップスイッチ監視コントロール・レジスタ	HAPC		8	○	○	—	
FF94H	アンプ・コントロール・レジスタ	AMPC	R/W	8	○	○	—	
FF95H	アンプ・モード・レジスタ0	AMPM0		8	○	○	—	00H
FF96H	アンプ・モード・レジスタ1	AMPM1		8	○	○	—	
FF97H	ゲイン・コントロール・レジスタ	CTLM		8	○	○	—	
FFA0H	外部割り込みモード・レジスタ	INTM0		8	○	○	—	000000×0
FFA1H	外部キャプチャ・モード・レジスタ1	INTM1		8	○	○	—	00H
FFA2H	外部キャプチャ・モード・レジスタ2	INTM2		8	○	○	—	
FFA6H	キー割り込みコントロール・レジスタ	KEYC		8	○	○	—	70H
FFA8H	インサースビス・プライオリティ・レジスタ	ISPR	R	8	○	○	—	00H
FFAAH	割り込みモード・コントロール・レジスタ	IMC		8	○	○	—	80H
FFACH	割り込みマスク・フラグ・レジスタ	MK0L	R/W	8	○	○	○	FFH
FFADH		MK0H						
FFAEH		MK1L						
FFAFH		MK1H						

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	ビット長	操作可能ビット単位			リセット 解除後
					1ビット	8ビット	16ビット	
FFB0H	FRCキャプチャ・レジスタ0L	CPT0L		16	—	—	○	
FFB1H	FRCキャプチャ・レジスタ0H	CPT0H		8	—	○	—	
FFB2H	FRCキャプチャ・レジスタ1L	CPT1L		16	—	—	○	
FFB3H	FRCキャプチャ・レジスタ1H	CPT1H		8	—	○	—	
FFB4H	FRCキャプチャ・レジスタ2L	CPT2L		16	—	—	○	
FFB5H	FRCキャプチャ・レジスタ2H	CPT2H		8	—	○	—	
FFB6H	FRCキャプチャ・レジスタ3L	CPT3L		16	—	—	○	0クリア
FFB7H	FRCキャプチャ・レジスタ3H	CPT3H		8	—	○	—	
FFB8H	FRCキャプチャ・レジスタ4L	CPT4L		16	—	—	○	
FFB9H	FRCキャプチャ・レジスタ4H	CPT4H		8	—	○	—	
FFBAH	FRCキャプチャ・レジスタ5L	CPT5L		16	—	—	○	
FFBBH	FRCキャプチャ・レジスタ5H	CPT5H		8	—	○	—	
FFC0H	スタンバイ・コントロール・レジスタ	STBC	R/W	8	—	○	—	0000×000
FFC4H	実行速度選択レジスタ	MM	W	8	—	○	—	20H
FFCEH	CPUクロック・ステータス・レジスタ	PCS	R	8	○	○	—	00H
FFCFH	発振安定時間指定レジスタ	OSTS	W	8	—	○	—	
FFE0H	割り込み制御レジスタ (INTP0)	PIC0		8	○	○	—	
FFE1H	割り込み制御レジスタ (INTCPT3)	CPTIC3		8	○	○	—	
FFE2H	割り込み制御レジスタ (INTCPT2)	CPTIC2		8	○	○	—	
FFE3H	割り込み制御レジスタ (INTCR12)	CRIC12		8	○	○	—	
FFE4H	割り込み制御レジスタ (INTCR00)	CRIC00		8	○	○	—	
FFE5H	割り込み制御レジスタ (INTCLR1)	CLRIC1		8	○	○	—	
FFE6H	割り込み制御レジスタ (INTCR10)	CRIC10		8	○	○	—	
FFE7H	割り込み制御レジスタ (INTCR01)	CRIC01		8	○	○	—	
FFE8H	割り込み制御レジスタ (INTCR02)	CRIC02		8	○	○	—	
FFE9H	割り込み制御レジスタ (INTCR11)	CRIC11		8	○	○	—	
FFEAH	割り込み制御レジスタ (INTCPT1)	CPTIC1		8	○	○	—	
FFEBH	割り込み制御レジスタ (INTCR20)	CRIC20		8	○	○	—	
FFEDH	割り込み制御レジスタ (INTTB)	TBIC	R/W	8	○	○	—	43H
FFEEH	割り込み制御レジスタ (INTAD)	ADIC		8	○	○	—	
FFEFH	割り込み制御レジスタ (INTP2) ^注	PIC2		8	○	○	—	
FFEFH	割り込み制御レジスタ (INTCR40) ^注	CRIC40		8	○	○	—	
FFF0H	割り込み制御レジスタ (INTUDC)	UDCIC		8	○	○	—	
FFF1H	割り込み制御レジスタ (INTCR30)	CRIC30		8	○	○	—	
FFF2H	割り込み制御レジスタ (INTCR50)	CRIC50		8	○	○	—	
FFF3H	割り込み制御レジスタ (INTCR13)	CRIC13		8	○	○	—	
FFF4H	割り込み制御レジスタ (INTCS11)	CSIC1		8	○	○	—	
FFF5H	割り込み制御レジスタ (INTW)	WIC		8	○	○	—	
FFF7H	割り込み制御レジスタ (INTP1)	PIC1		8	○	○	—	
FFF8H	割り込み制御レジスタ (INTP3)	PIC3		8	○	○	—	
FFFAH	割り込み制御レジスタ (INTCS12)	CSIC2		8	○	○	—	
FFFCH	内部メモリ容量選択レジスタ	IMS	W	8	—	○	—	FFH

注 PIC2とCRIC40は同じアドレス (レジスタ) を指します。

注意 内部メモリ容量選択レジスタはμPD78P4916のみ内蔵しています。

1. ポート

ポート0, 4, 5, 6, 8, 9モード・レジスタ (PM0, 4, 5, 6, 8, 9)

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	PM07	PM06	PM05	PM04	PM03	PM02	PM01	PM00	FF20H	FFH	W
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40	FF24H	FFH	W
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50	FF25H	FFH	W
PM6	PM67	PM66	PM65	PM64	PM63	PM62	PM61	PM60	FF26H	FFH	W
PM8	PM87	PM86	PM85	PM84	PM83	PM82	0	PM80	FF28H	FDH	W
PM9	0	PM96	PM95	PM94	PM93	PM92	PM91	PM90	FF29H	7FH	W

PM×n	P×n端子入力モード指定 (×=0, 4-6, 8, 9, n=0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

ポート6モード・コントロール・レジスタ (PMC6)

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PMC6	PMC67	PMC66	PMC65	0	PMC63	PMC62	PMC61	PMC60	FF66H	00H	R/W

PMC60	P60端子のコントロール・モード指定
0	入出力ポート・モード/CLO出力モード
1	STRB出力モード

PMC61	P61端子のコントロール・モード指定
0	入出力ポート・モード/BUZ出力モード
1	シリアル・インタフェース1クロック入出力モード

PMC62	P62端子のコントロール・モード指定
0	入出力ポート・モード
1	シリアル・インタフェース1データ出力モード

PMC63	P63端子のコントロール・モード指定
0	入出力ポート・モード
1	シリアル・インタフェース1データ入力モード

PMC65	P65端子のコントロール・モード指定
0	入出力ポート・モード
1	HWO, HW1外部入力カウント・モード

PMC6n	P6n端子のコントロール・モード指定 (n=6, 7)
0	入出力ポート・モード
1	PWM出力モード

ポート 8 モード・コントロール・レジスタ (PMC8)

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PMC8	PMC87	PMC86	PMC85	PMC84	PMC83	PMC82	0	PMC80	FF48H	00H	R/W

PMC8n	P8n端子のコントロール・モード指定 (n=0, 2, 3)
0	入出力ポート・モード
1	リアルタイム出力ポート・モード

PMC8n	P8n端子のコントロール・モード指定 (n=4, 5)
0	入出力ポート・モード
1	PWM出力モード

PMC8n	P8n端子のコントロール・モード指定 (n=6, 7)
0	入出力ポート・モード
1	タイマ出力モード

プルアップ抵抗オプション・レジスタH (PUOH)

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PUOH	0	0	0	0	0	0	PUO9	PUO8	FF4FH	00H	R/W

PUOn	ポートnのプルアップ抵抗の指定 (n=8, 9)
0	ポートnでプルアップ抵抗を使用しない
1	ポートnでプルアップ抵抗を使用する

プルアップ抵抗オプション・レジスタL (PUOL)

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PUOL	0	PUO6	PUO5	PUO4	PUO3	PUO2	0	PUO0	FF4EH	00H	R/W

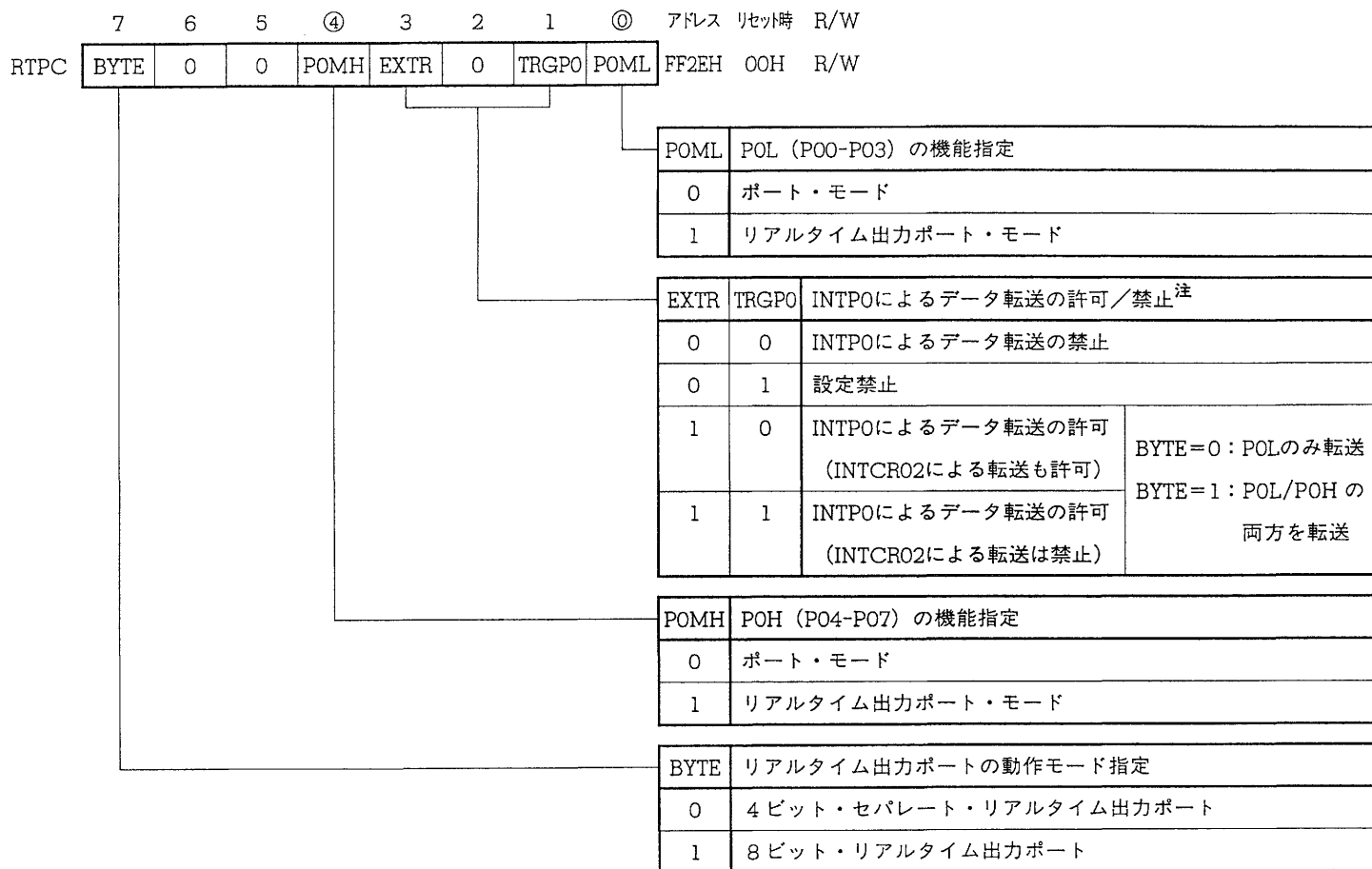
PUOn	ポートnのプルアップ抵抗の指定 (n=0, 4-6)
0	ポートnでプルアップ抵抗を使用しない
1	ポートnでプルアップ抵抗を使用する

PUO2	INTP1, INTP2のプルアップ抵抗の指定
0	INTP1, INTP2でプルアップ抵抗を使用しない
1	INTP1, INTP2でプルアップ抵抗を使用する

PUO3	$\overline{SCK2}$, SI2のプルアップ抵抗の指定
0	$\overline{SCK2}$, SI2でプルアップ抵抗を使用しない
1	$\overline{SCK2}$, SI2でプルアップ抵抗を使用する

2. リアルタイム出力ポート

リアルタイム出力ポート 0 コントロール・レジスタ (RTPC)



注 リアルタイム出力ポート 0 の出力トリガは下表のようになります。

BYTE	EXTR	TRGPO	POHレジスタ	POLレジスタ
0	0	0	INTCRO1	INTCRO2
0	1	0		INTCRO2/INTPO
0	1	1		INTPO
1	0	0	INTCRO2	
1	1	0	INTCRO2/INTPO	
1	1	1	INTPO	

トリガ・ソース選択レジスタ 0 (TRGS0)

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TRGS0	0	0	P80TRG1	P80TRG0	0	0	0	0	FF4DH	OOH	R/W

P80TRG1	P80TRG0	P80の出力トリガ・ソース指定
0	0	タイマ0-コンペア・レジスタ01一致信号
0	1	タイマ0-コンペア・レジスタ02一致信号
1	0	タイマ1-コンペア・レジスタ13一致信号
1	1	タイマ5-コンペア・レジスタ50一致信号

トリガ・ソース選択レジスタ 1 (TRGS1)

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TRGS1	0	0	0	0	0	0	ADTRG1	ADTRG0	FF65H	OOH	R/W

ADTRG1	ADTRG0	A/Dコンバータのハードウェア・トリガ指定
0	0	タイマ0-コンペア・レジスタ01一致信号
0	1	タイマ0-コンペア・レジスタ02一致信号
1	0	タイマ1-コンペア・レジスタ13一致信号
1	1	タイマ5-コンペア・レジスタ50一致信号

ヘッド・アンプ・スイッチ出力コントロール・レジスタ (HAPC)

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
HAPC	0	0	SELROTC	SELHASW	SELENV	PBMOD2	PBMOD1	PBMOD0	FF91H	OOH	R/W

PBMOD2	PBMOD1	PBMOD0	HASW出力信号指定
0	0	0	ロウ・レベル
0	0	1	ENV入力レベル
0	1	0	PTO00出力の反転
0	1	1	設定禁止
1	0	×	ハイ・レベル
1	1	0	PTO00出力
1	1	1	設定禁止

SELENV	エンベロープ信号の極性指定
0	正極性
1	負極性

SELHASW	ヘッド・アンプ・スイッチ信号の極性指定
0	正極性
1	負極性

SELROTC	クロマ・ローテーション信号出力指定	
0	HASWとHSWのEx-OR (HASW⊕HSW)	HASWはSELHASWの指定
1	HASWとHSWのEx-NOR (HASW⊕HSW)	にかかわらず正極性に固定

ポート 8 バッファ・レジスタ L (P8L)

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P8L	0	0	0	P8L4	SELMD80	P8L2	0	P8L0	FF60H	000x0x0x	R/W

P8L4	P8L2	P8L0	トリガによってP80から出力するデータ	P8にライトするデータ (下記の注意②参照)
0	0	0	0	0
		1	1	1
	1	×	Hi-Z	0 または 1
1	0	0	Hi-Zのロウ・レベルのH _{SYNC} を重畳	0
		1	Hi-Zにハイ・レベルのH _{SYNC} を重畳	1
	1	0	ロウ・レベルにHi-ZのH _{SYNC} を重畳	0
		1	ハイ・レベルにHi-ZのH _{SYNC} を重畳	1

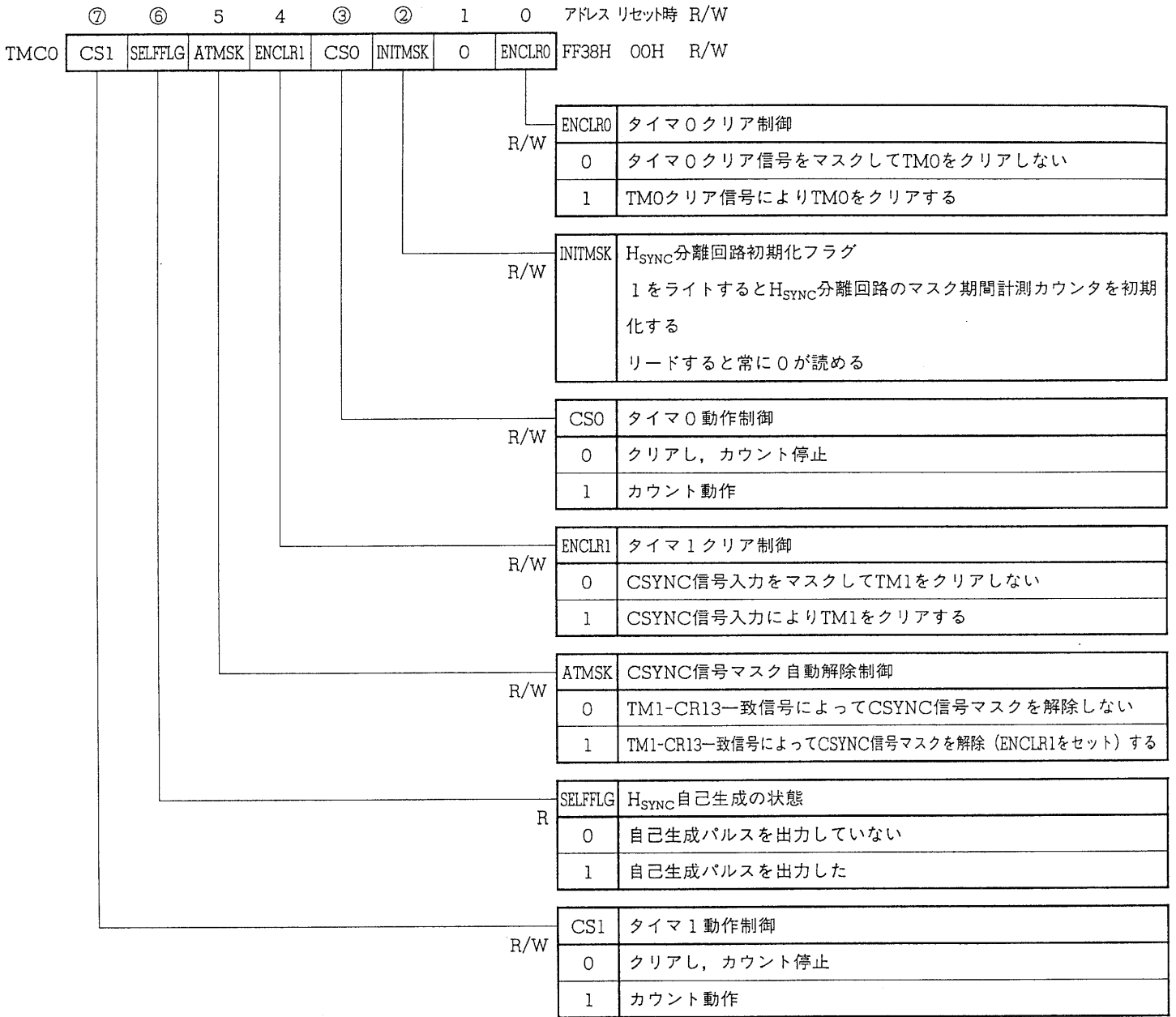
SELMD80	リアルタイム出力ポート (RTP80) の動作モードを指定
0	通常モード
1	疑似V _{SYNC} 出力モード

注意 P80をポート・モードからリアルタイム出力ポート・モード (RTP80) へ切り替える場合は、次の手順で設定を行ってください。

- ① リアルタイム出力ポート・モード設定直後に出力させたい値を、P8Lに設定する。
- ② リアルタイム出力ポート・モード設定直後に出力させたい値を、P8にライトする (P8へのライト命令により、リアルタイム出力ポートのトリガを発生させる)。
- ③ PMC80 (PMC8のビット0) をセット(1) し、リアルタイム出力ポート・モードに設定する。

3. スーパ・タイマ・ユニット

タイマ・コントロール・レジスタ 0 (TMCO)



注意 ビット操作のタイミングとTM1-CR13一致信号によるENCLR1自動セットのタイミングが競合しないようにしてください。

タイマ・コントロール・レジスタ 1 (TMC1)

	⑦	6	5	4	③	2	1	0	アドレス	リセット時	R/W
TMC1	CS2	0	0	0	CSFRC	0	0	TBSEL	FF39H	00H	R/W

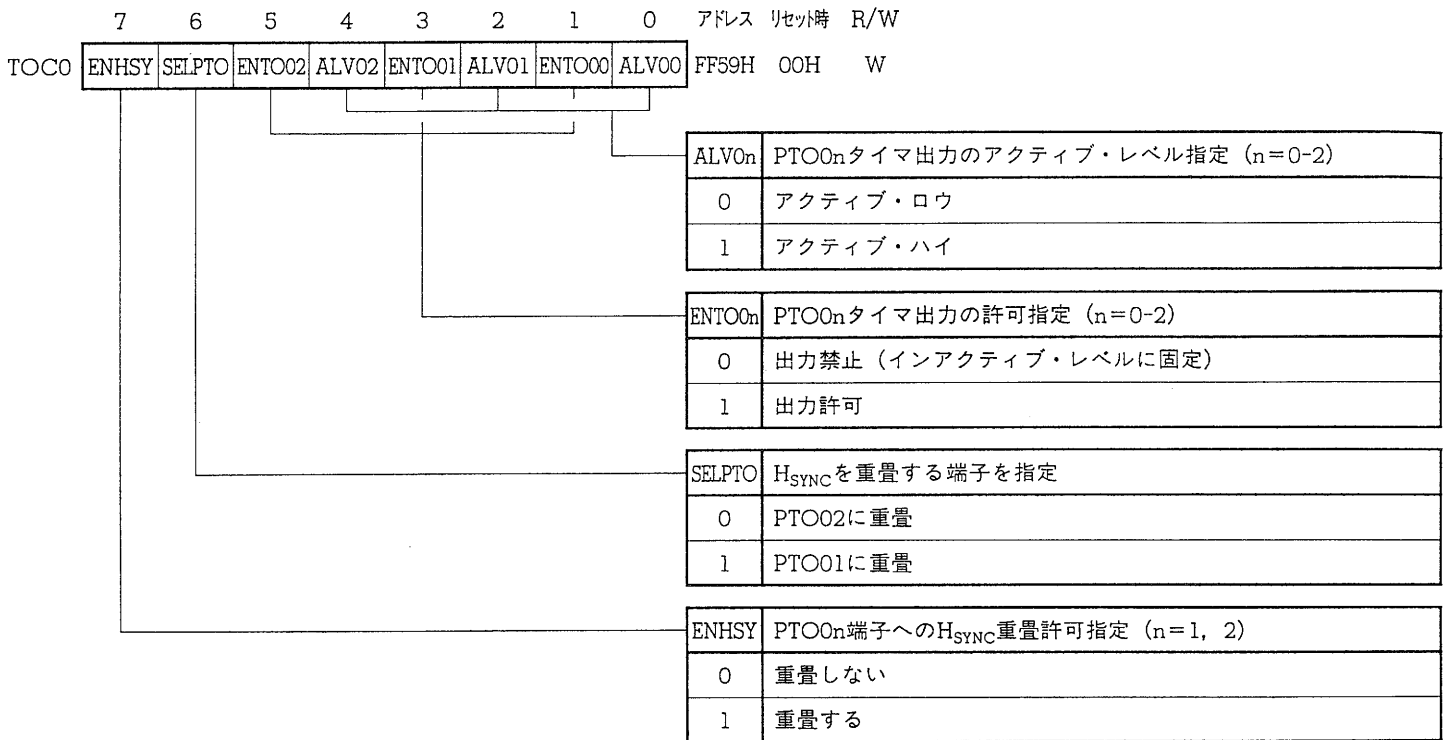
TBSEL	タイム・ベース割り込みの発生周期の指定
0	$8192/f_{CLK}$ (1.024 ms : $f_{CLK}=8.0$ MHz時)
1	$4096/f_{CLK}$ (512 μ s : $f_{CLK}=8.0$ MHz時)
CSFRC	フリー・ランニング・カウンタ動作制御
0	クリアし, カウント停止
1	カウント動作
CS2	タイマ2動作制御
0	クリアし, カウント停止
1	カウント動作

タイマ0出力モード・レジスタ (TOMO)

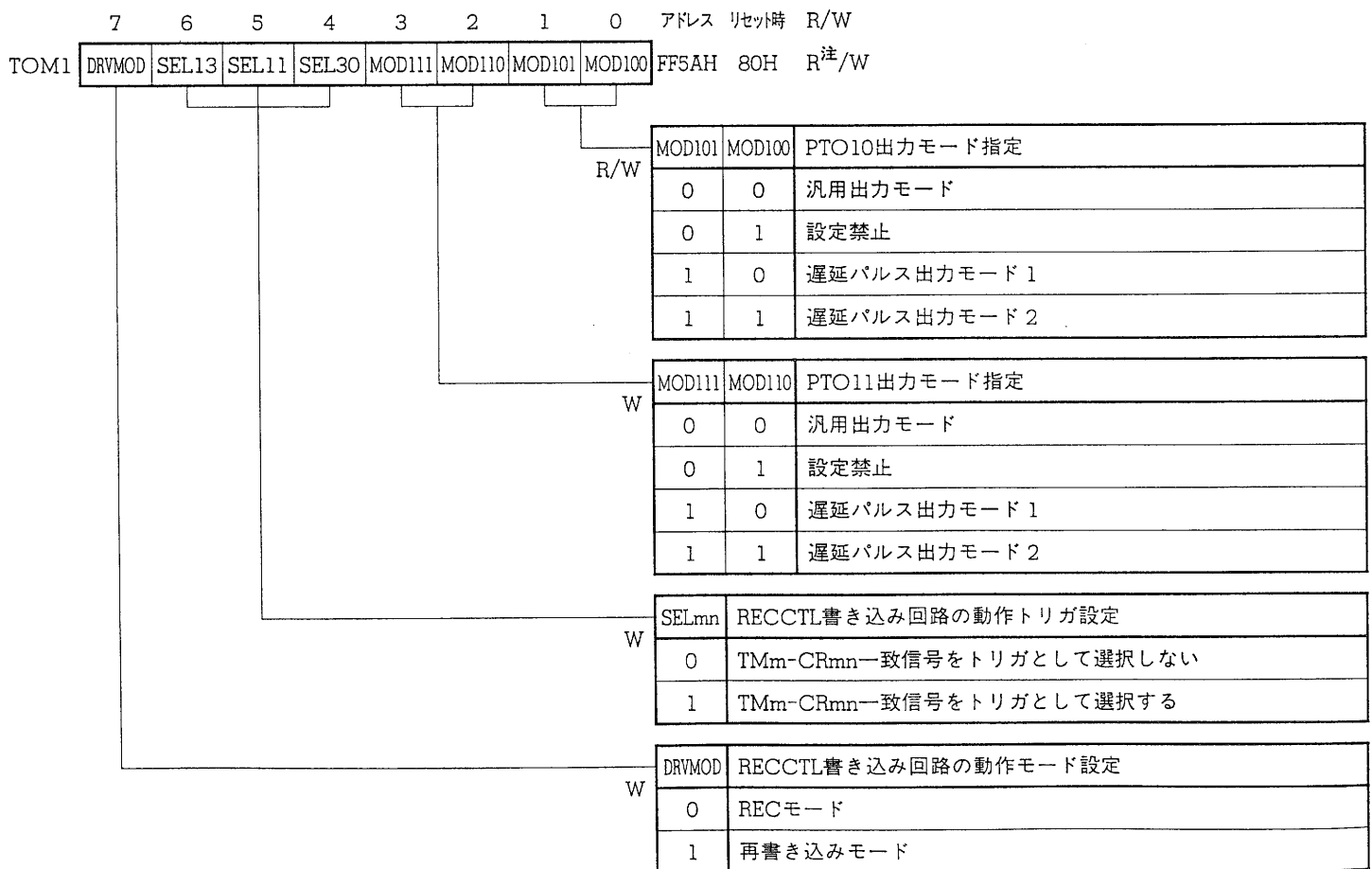
	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TOMO	—	—	MOD021	MOD020	MOD011	MOD010	MOD001	MOD000	FF58H	××000000	W

MOD0n1	MOD0n0	PTO0n出力モード指定 (n=0-2)
0	0	汎用出力モード
0	1	RS出力モード
1	0	遅延パルス出力モード 1
1	1	遅延パルス出力モード 2

タイマ0 出力コントロール・レジスタ (TOC0)



★ タイマ1 出力モード・レジスタ (TOM1)



注 TOM1レジスタをリードすると、下位2ビット(MOD100, MOD101ビット)でRECCTLドライバの書き込みシーケンスを読み出すことができます。上位6ビットはリードしても不定となります。

タイマ1 出力コントロール・レジスタ (TOC1)

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TOC1	0	0	0	0	ENTO11	ALV11	ENTO10	ALV10	FF5BH	00H	W

ALV1n	PTO1nタイマ出力のアクティブ・レベル指定 (n=0, 1)
0	アクティブ・ロウ
1	アクティブ・ハイ
ENTO1n	PTO1nタイマ出力の許可指定 (n=0, 1)
0	出力禁止 (インアクティブ・レベルに固定)
1	出力許可

イベント・ディバイダ・コントロール・レジスタ (EDVC)



	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
EDVC	EDVC7	EDVC6	EDVC5	EDVC4	EDVC3	EDVC2	EDVC1	EDVC0	FF78H	00H	W

EDVC7	EDVC6	EDVC5	EDVC4	EDVC3	EDVC2	EDVC1	EDVC0	EDVカウント・クロックの分周比指定
0	0	0	0	0	0	0	0	1分周
0	0	0	0	0	0	0	1	2分周
0	0	0	0	0	0	1	0	3分周
0	0	0	0	0	0	1	1	4分周
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
1	1	1	1	1	1	1	1	256分周

キャプチャ・モード・レジスタ (CPTM)

	⑦	⑥	5	4	3	2	1	0	アドレス	リセット時	R/W
CPTM	FCPT5	FCPT4	TRGS011	TRGS010	0	TRGS120	TRGS001	TRGS000	FF53H	00H	R/W

R/W	TRGS001	TRGS000	CPT0キャプチャ・トリガ指定
	0	0	TM1-CR10一致信号
	0	1	CSYNC信号入力エッジ検出信号
	1	0	TM1クリア信号
	1	1	TM1-CR10一致信号とCSYNC信号入力エッジ検出信号の論理和

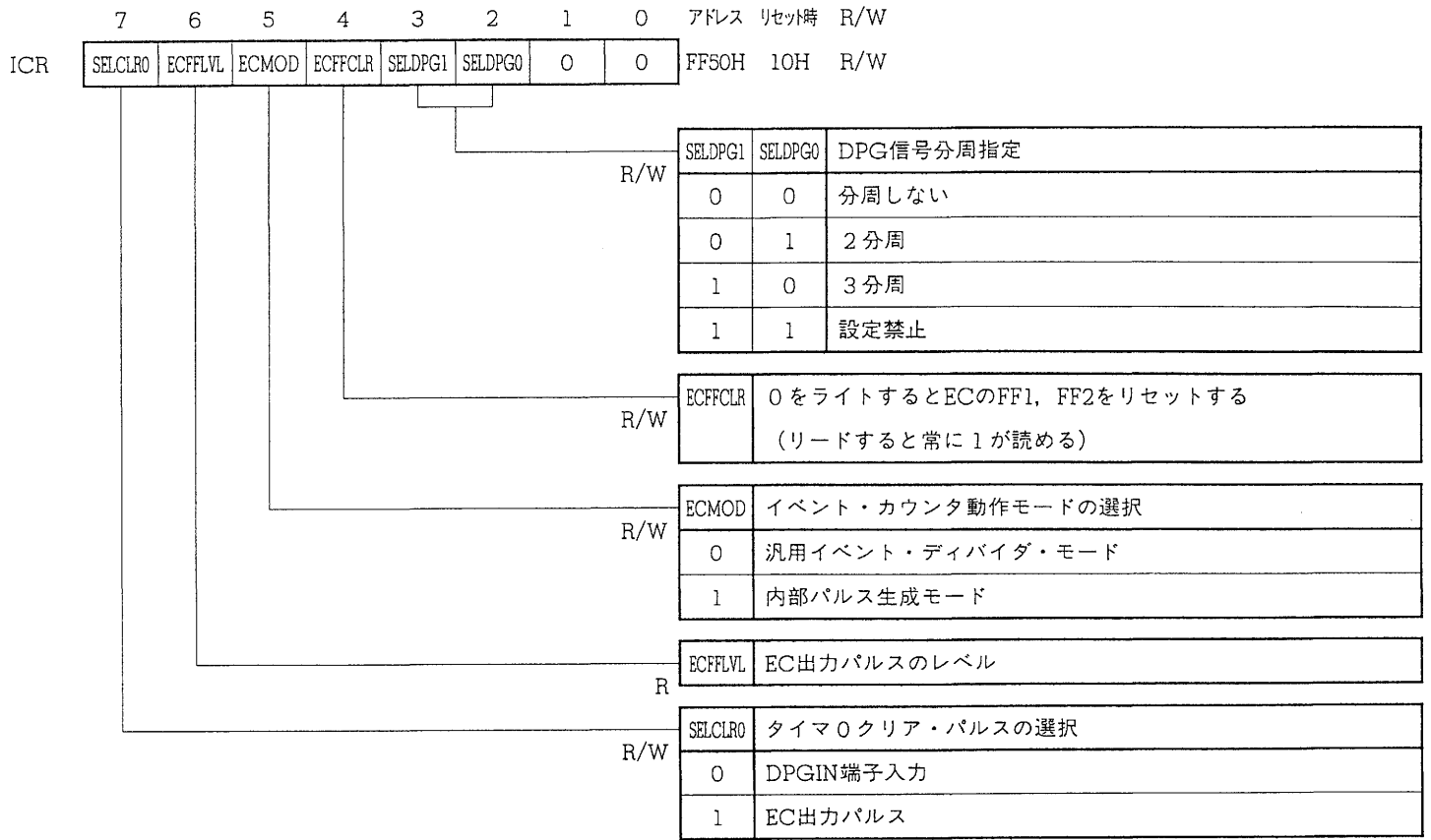
R/W	TRGS120	CR12キャプチャ・トリガ指定
	0	PBCTL信号入力エッジ検出信号 (INTM1のビット6, 7で指定した信号)
	1	CFG信号入力分周信号 (EDV-EDVC一致信号)

R/W	TRGS011	TRGS010	CPT1キャプチャ・トリガ指定
	0	0	タイマ0クリア・パルスの立ち下がリエッジ
	0	1	タイマ0クリア・パルスの立ち上がりエッジ
	1	0	設定禁止
1	1	タイマ0クリア・パルスの立ち下がり/立ち上がり両エッジ	

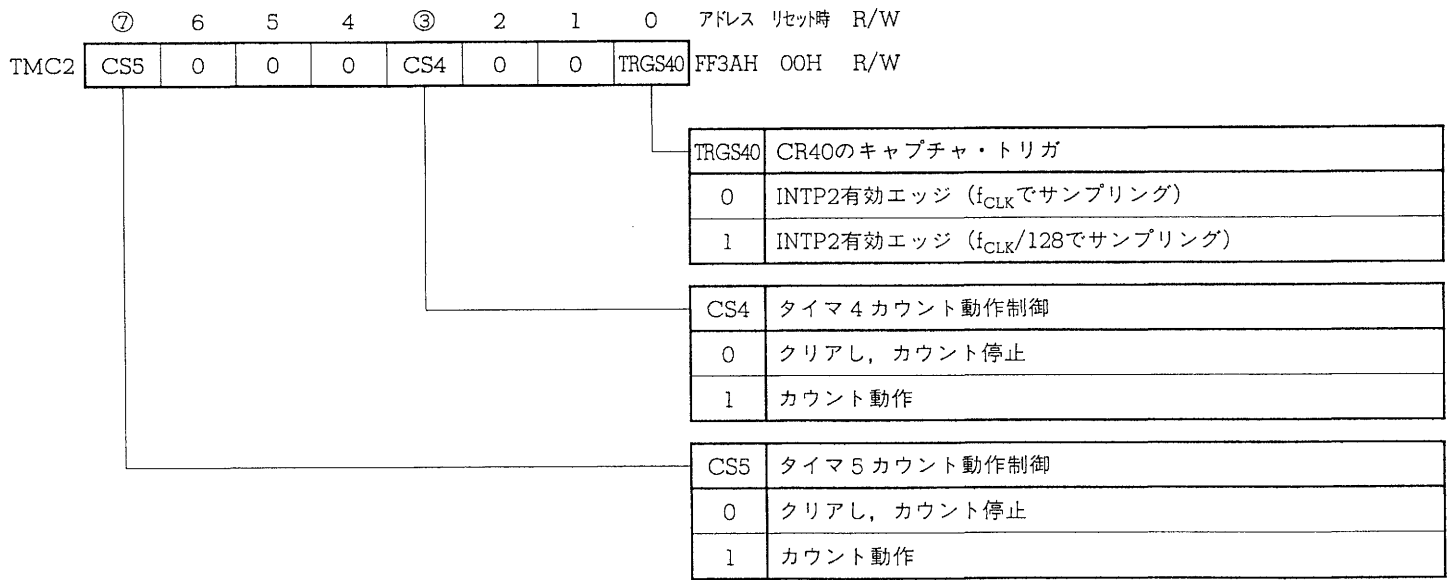
R	FCPT4	CPT4のキャプチャ・フラグ
	0	CPT4にキャプチャしていない
	1	CPT4にキャプチャした

R	FCPT5	CPT5のキャプチャ・フラグ
	0	CPT5にキャプチャしていない
	1	CPT5にキャプチャした

入力コントロール・レジスタ (ICR)



タイマ・コントロール・レジスタ 2 (TMC2)



キャプチャ/コンペア・コントロール・レジスタ (CRC)

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
CRC	0	0	0	0	0	0	ENCLR4	CM40	FF7DH	00H	W

CM40	CR40動作モード指定
0	コンペア・レジスタ
1	キャプチャ・レジスタ
ENCLR4	タイマ4動作モード指定
0	フリー・ランニング・モード (タイマ4をクリアしない)
1	CR40コンペア一致時 (キャプチャ時) にTM4をクリアする

- ★ 注意1. CR40をコンペア・レジスタ→キャプチャ・レジスタ, またはキャプチャ・レジスタ→コンペア・レジスタに変更する場合 (CM40を0→1, または1→0に変更する場合), CR40は不定になります。したがって, CR40をキャプチャ・レジスタ→コンペア・レジスタに変更する場合は, CRCに000000×0Bを書き込んだあと, データを設定してください。CR40をコンペア・レジスタ→キャプチャ・レジスタに設定する場合は, データを設定する必要はありません。
- 2. CR40をコンペア・レジスタ→キャプチャ・レジスタに変更する場合 (CM40を0→1に変更する場合), 割り込み要求INTCR40が発生してしまいます。したがって, 割り込み要求フラグCRIF40をクリア (0) し, 割り込み要求が発生しないようにしてください。

PWMコントロール・レジスタ 0 (PWMCO)

	7	6	⑤	4	③	2	①	0	アドレス	リセット時	R/W
PWMCO	0	0	ENS	ALV5	EN1	ALV1	ENO	ALV0	FF70H	05H	R/W

ALVn	PWMn アクティブ・レベルの設定 (n=0, 1, 5)
0	ロウ・アクティブ
1	ハイ・アクティブ
ENn	PWMn 出力制御 (n=0, 1, 5)
0	出力禁止 (インアクティブ・レベルを出力)
1	出力許可

PWMコントロール・レジスタ 1 (PWMC1)

	7	6	⑤	4	③	2	①	0	アドレス	リセット時	R/W
PWMC1	0	0	EN4	1	EN3	1	EN2	1	FF71H	15H	R/W

ENn	PWMn出力制御 (n=2-4)
0	出力禁止 (インアクティブ・レベルを出力)
1	出力許可

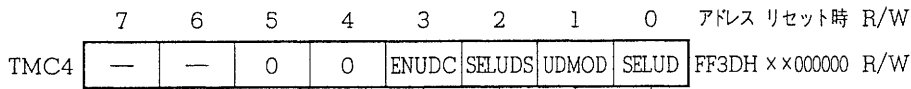
タイマ・コントロール・レジスタ 3 (TMC3)

	7	6	⑤	4	③	②	①	0	アドレス	リセット時	R/W
TMC3	CTLLV2	ENDUTY	CTH1LVL	CLS3	CS3	TM3OVF	FASP	CTLLV1	FF3BH	00×0000	R/W

CTLLV1	パルス幅検出回路の出力 (アスペクト・データの出力)
R	
FASP	ワイド・アスペクト・コード検出フラグ
0	ワイド・アスペクト・コードを検出していない
1	ワイド・アスペクト・コードを検出した
TM3OVF	タイマ3 オーバフロー・フラグ
0	タイマ3はオーバフローしていない
1	タイマ3はオーバフローした
CS3	タイマ3のカウンタ動作制御
0	クリアし、カウンタ停止
1	カウンタ動作
CLS3	タイマ3の動作クロック選択
0	汎用クロック (f _{CLK} /8)
1	パルス幅検出用クロック
CTH1LVL	PBCTL信号入力部のレベル
R	
ENDUTY	DUTY検出誤動作防止回路の制御
0	動作禁止
1	動作許可
CTLLV2	パルス幅検出回路の出力 (VISSデータの出力)
R	

注意 ビット操作のタイミングとTM3のオーバフロー・フラグのセットのタイミングが競合しないようにしてください。

タイマ・コントロール・レジスタ 4 (TMC4)



SELUD	アップ/ダウン・カウンタのアップ/ダウン指定
0	ダウン・カウント
1	アップ・カウント
UDMOD	アップ/ダウン・カウンタのアップ/ダウン制御信号指定
0	SELUD (TMC4のビット0) でアップ/ダウン指定
1	P77 (端子入力) でアップ/ダウン指定
SELUDS	アップ/ダウン・カウンタのカウント・ソース指定
0	PBCTL信号入力エッジ検出信号 (INTM1のビット6, 7で指定した信号)
1	EDV-EDVC一致信号
ENUDC	アップ/ダウン・カウンタの動作制御
0	アップ/ダウン・カウンタの動作禁止 (カウントしない)
1	アップ/ダウン・カウンタの動作許可 (カウントする)

4. シリアル・インタフェース

シリアル・モード・レジスタ 1, 2 (CSIM1, CSIM2)

	⑦	6	5	④	3	2	1	0	アドレス	リセット時	R/W
CSIM1	ENCSI1	SELSOLV11	DIR1	CRXE1	SELSOLV10	SELCL12	SELCL11	SELCL10	FF84H	OOH	R/W
CSIM2	ENCSI2	SELSOLV21	DIR2	CRXE2	SELSOLV20	SELCL22	SELCL21	SELCL20	FF88H	OOH	R/W

SELCLn2	SELCLn1	SELCLn0	シリアル・インタフェース・チャンネル _n シリアル・クロックの選択 (n=1, 2)
0	0	0	外部クロック
0	0	1	$f_{CLK}/256$ (31.25 kHz)
0	1	0	$f_{CLK}/128$ (62.5 kHz)
0	1	1	$f_{CLK}/64$ (125 kHz)
1	0	0	$f_{CLK}/32$ (250 kHz)
1	0	1	$f_{CLK}/16$ (500 kHz)
1	1	0	$f_{CLK}/8$ (1.0 MHz)
上記以外			設定禁止

備考 () 内は $f_{CLK}=8.0$ MHz時

SELSOLVn1	SELSOLVn0	SO _n 端子出力状態 (n=1, 2)
0	0	Hi-Z
0	1	シリアル出力
1	0	ロウ・レベル
1	1	ハイ・レベル

CRXEn	シリアル・インタフェース・チャンネル _n 受信動作の許可/禁止制御 (n=1, 2)
0	受信禁止
1	受信許可

DIRn	シリアル・インタフェース・チャンネル _n ビット転送順序の選択 (n=1, 2)
0	MSB先頭
1	LSB先頭

ENCSIn	シリアル・インタフェース・チャンネル _n 動作の許可/禁止制御 (n=1, 2)
0	動作禁止
1	動作許可

シリアル・コントロール・レジスタ 2 (CSIC2)

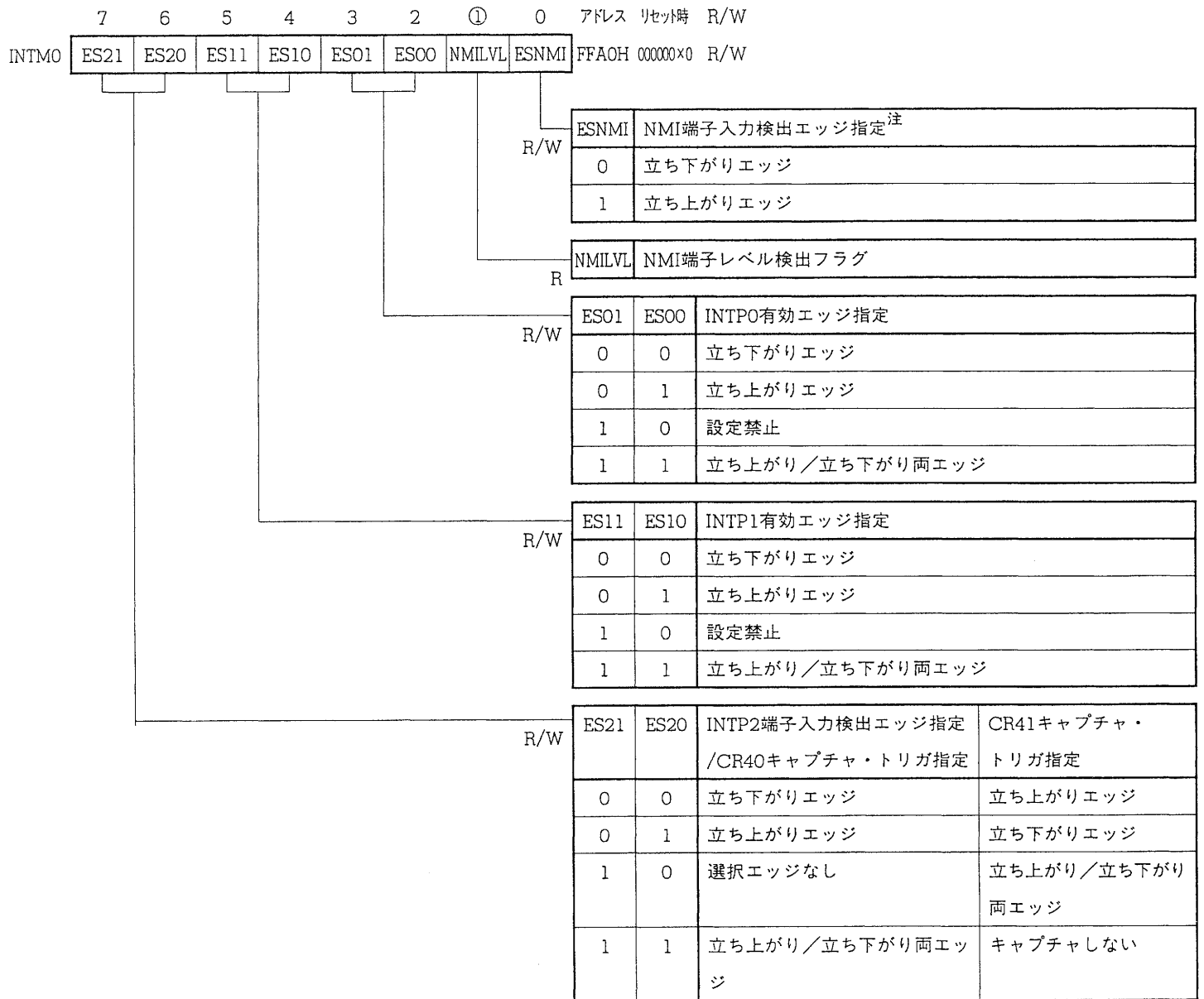
	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
CSIC2	0	0	0	0	0	STRB	BUSY1	BUSY0	FF8AH	00H	R/W

BUSY1	BUSY0	BUSY入力制御 (シリアル・インタフェース・チャンネル 2)
0	×	BUSY入力禁止
1	0	BUSY入力許可 (ロウ・アクティブ)
1	1	BUSY入力許可 (ハイ・アクティブ)

STRB	STRB出力制御 (シリアル・インタフェース・チャンネル 2)
0	STRB出力禁止
1	STRB出力許可

5. 割り込み

外部割り込みモード・レジスタ (INTMO)

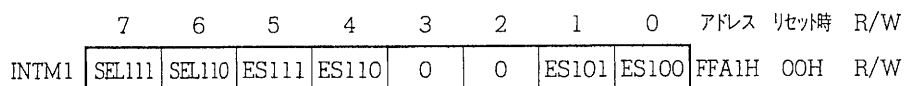


注 NMI端子入力検出エッジを指定するときは、次の割り込みをすべてマスクしてください。

- ・時計割り込み
- ・キー割り込み

★

外部キャプチャ・モード・レジスタ 1 (INTM1)



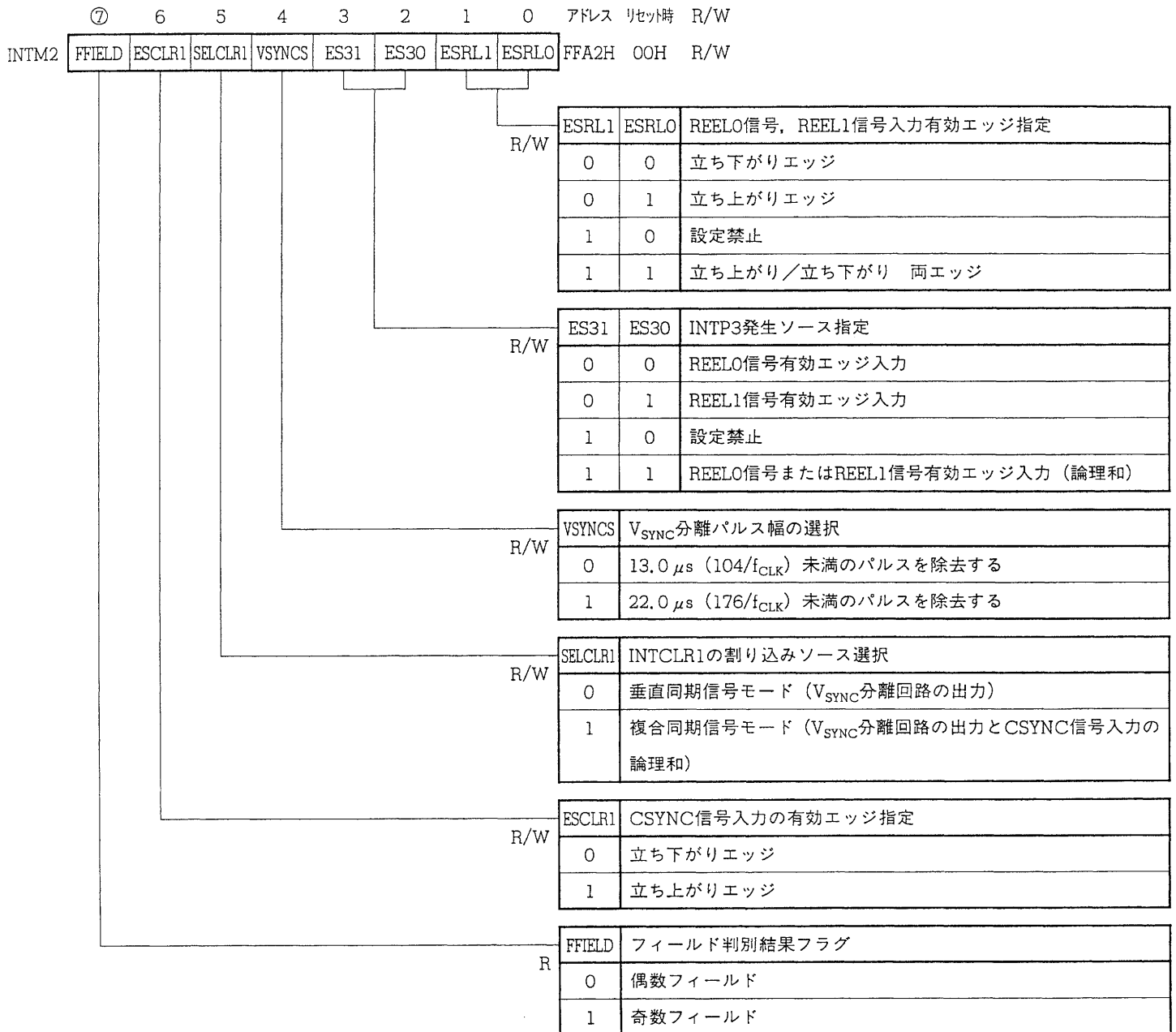
ES101	ES100	CFG信号入力検出エッジ指定
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり/立ち下がり 両エッジ

ES111	ES110	PBCTL信号入力部の入力検出エッジ指定
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり/立ち下がり 両エッジ

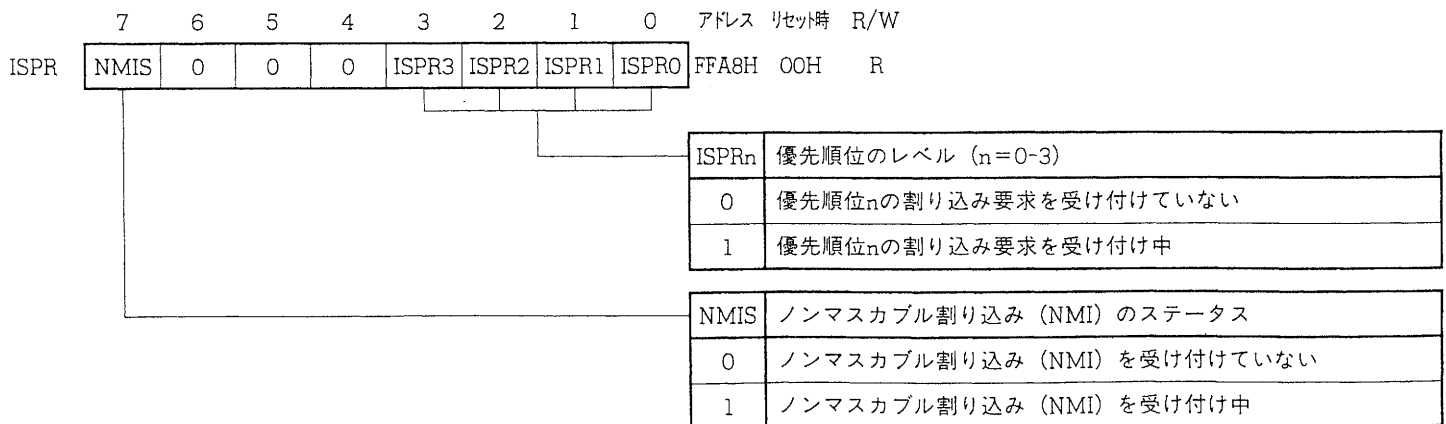
SEL111	SEL110	PBCTL信号入力部の入力信号指定
0	0	アナログ・アンプ出力 (PBCTL) 注
0	1	PTO10端子出力信号
1	0	PTO11端子出力信号
1	1	設定禁止

注 アナログ・アンプ出力：CTLアンプ+波形整形回路からの出力

外部キャプチャ・モード・レジスタ 2 (INTM2)



インサービス・プライオリティ・レジスタ (ISPR)



注意 ISPRレジスタは読み出しのみ可能です。

★

割り込みモード・コントロール・レジスタ (IMC)

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
IMC	PRSL	0	0	0	0	0	0	0	FFAAH	80H	R/W

PRSL	ネスティング動作の制御
0	レベル3 (最下位レベル)に設定された割り込み間でのネスティングを許可
1	レベル3 (最下位レベル)に設定された割り込み間でのネスティングを禁止

キー割り込みコントロール・レジスタ (KEYC)

	⑦	6	5	4	3	2	1	①	アドレス	リセット時	R/W
KEYC	KEYIF	KEYMK2	KEYMK1	KEYMK0	0	0	0	HWIF	FFA6H	70H	R/W

HWIF	時計割り込みNMI発生フラグ
0	時計割り込みによりNMIを発生していない
1	時計割り込みによりNMIを発生した

KEYMK0	KEY0, KEY1, INTP1, INTP2の制御
0	入力によりNMIを起動する
1	入力によりNMIを起動しない (マスクする)

KEYMK1	KEY2, KEY3の制御
0	入力によりNMIを起動する
1	入力によりNMIを起動しない (マスクする)

KEYMK2	KEY4の制御
0	入力によりNMIを起動する
1	入力によりNMIを起動しない (マスクする)

KEYIF	キー割り込みNMI発生フラグ
0	キー割り込み入力によりNMIを起動していない
1	キー割り込み入力によりNMIを起動した

★ 注意 KEYC.0(HWIF), KEYC.7(KEYIF)に0をライトすると、NMI発生フラグをクリアします。したがって、HWIF, KEYIFビットへの0ライトとNMI発生フラグのセット (発生) が競合した場合、NMI発生フラグがセットされないことがありますので注意が必要です。

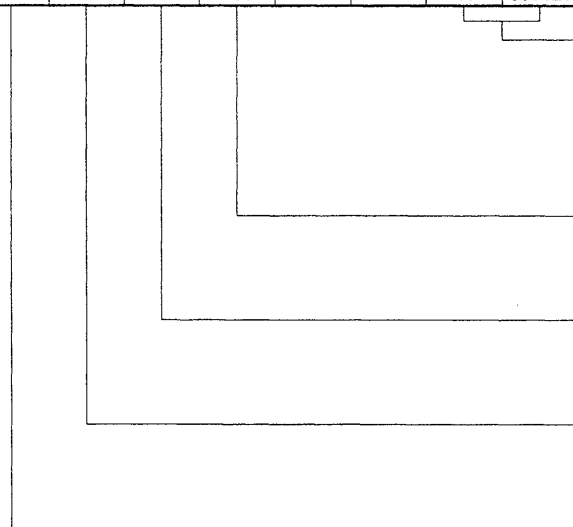
割り込みマスク・フラグ・レジスタ (MK××)

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
MKOL	CRMK01	CRMK10	CLRMK1	CRMK00	CRMK12	CPTMK2	CPTMK3	PMK0	FFACH	FFH	R/W
MKOH	CRMK40 PMK2	ADMK	TBMK	1	CRMK20	CPTMK1	CRMK11	CRMK02	FFADH	FFH	R/W
MK1L	PMK1	1	WMK	CSIMK1	CRMK13	CRMK50	CRMK30	UDCMK	FFAEH	FFH	R/W
MK1H	1	1	1	1	1	CSIMK2	1	PMK3	FFAFH	FFH	R/W

××MK	割り込み処理の許可 / 禁止 (保留)
0	割り込み処理を許可
1	割り込み処理を禁止 (保留)

割り込み制御レジスタ (××ICn)

	⑦	⑥	⑤	④	3	2	1	0	アドレス	リセット時	R/W
PIC0	PIFO	PMK0	PISMO	PCSE0	0	0	PPR01	PPR00	FFE0H	43H	R/W
CPTIC3	CPTIF3	CPTMK3	CPTISM3	CPTCSE3	0	0	CPTPR31	CPTPR30	FFE1H	43H	R/W
CPTIC2	CPTIF2	CPTMK2	CPTISM2	CPTCSE2	0	0	CPTPR21	CPTPR20	FFE2H	43H	R/W
CRIC12	CRIF12	CRMK12	CRISM12	CRCSE12	0	0	CRPR121	CRPR120	FFE3H	43H	R/W
CRIC00	CRIF00	CRMK00	CRISM00	CRCSE00	0	0	CRPR001	CRPR000	FFE4H	43H	R/W
CLRIC1	CLRIF1	CLRMK1	CLRISM1	CLRCSE1	0	0	CLRPR11	CLRPR10	FFE5H	43H	R/W
CRIC10	CRIF10	CRMK10	CRISM10	CRCSE10	0	0	CRPR101	CRPR100	FFE6H	43H	R/W
CRIC01	CRIF01	CRMK01	CRISM01	CRCSE01	0	0	CRPR011	CRPR010	FFE7H	43H	R/W
CRIC02	CRIF02	CRMK02	CRISM02	CRCSE02	0	0	CRPR021	CRPR020	FFE8H	43H	R/W
CRIC11	CRIF11	CRMK11	CRISM11	CRCSE11	0	0	CRPR111	CRPR110	FFE9H	43H	R/W
CPTIC1	CPTIF1	CPTMK1	CPTISM1	CPTCSE1	0	0	CPTPR11	CPTPR10	FFEAH	43H	R/W
CRIC20	CRIF20	CRMK20	CRISM20	CRCSE20	0	0	CRPR201	CRPR200	FFEBH	43H	R/W
TBIC	TBIF	TBMK	TBISM	TBCSE	0	0	TBPR1	TBPRO	FFEDH	43H	R/W
ADIC	ADIF	ADMK	ADISM	ADCSE	0	0	ADPR1	ADPRO	FFEEH	43H	R/W
PIC2	PIF2	PMK2	PISM2	PCSE2	0	0	PPR21	PPR20	FFEFH	43H	R/W
CRIC40	CRIF40	CRMK40	CRISM40	CRCSE40	0	0	CRPR401	CRPR400	FFEFH	43H	R/W
UDCIC	UDCIF	UDCMK	UDCISM	UDCCSE	0	0	UDCPR1	UDCPR0	FFF0H	43H	R/W
CRIC30	CRIF30	CRMK30	CRISM30	CRCSE30	0	0	CRPR301	CRPR300	FFF1H	43H	R/W
CRIC50	CRIF50	CRMK50	CRISM50	CRCSE50	0	0	CRPR501	CRPR500	FFF2H	43H	R/W
CRIC13	CRIF13	CRMK13	CRISM13	CRCSE13	0	0	CRPR131	CRPR130	FFF3H	43H	R/W
CSIC1	CSIF1	CSIMK1	CSISM1	CSICSE1	0	0	CSIPR11	CSIPR10	FFF4H	43H	R/W
WIC	WIF	WMK	WISM	WCSE	0	0	WPR1	WPRO	FFF5H	43H	R/W
PIC1	PIF1	PMK1	PISM1	PCSE1	0	0	PPR11	PPR10	FFF7H	43H	R/W
PIC3	PIF3	PMK3	PISM3	PCSE3	0	0	PPR31	PPR30	FFF8H	43H	R/W
CSIC2	CSIF2	CSIMK2	CSISM2	CSICSE2	0	0	CSIPR21	CSIPR20	FFFAH	43H	R/W



××PRI	××PRO	割り込み優先順位の指定
0	0	優先順位 0 (最優先)
0	1	優先順位 1
1	0	優先順位 2
1	1	優先順位 3
××CSE		コンテキスト・スイッチング許可フラグ
0		ベクタ割り込みで処理
1		コンテキスト・スイッチングで処理
××ISM		マクロ・サービス許可フラグ
0		ベクタ割り込みで処理
1		マクロ・サービスで処理
××MK		割り込み要求の許可/禁止 (保留) の指定
0		割り込み処理を許可
1		割り込み処理を禁止 (保留)
××IF		割り込み要求フラグ
0		割り込み要求信号が発生していない
1		割り込み要求信号が発生して割り込み要求状態

マクロ・サービス・コントロール・ワード

FE3BH	チャンネル・ポインタ	} INTCSI2	FE1DH	チャンネル・ポインタ	} INTCR20
FE3AH	モード・レジスタ		FE1CH	モード・レジスタ	
FE37H	チャンネル・ポインタ	} INTP3	FE1BH	チャンネル・ポインタ	} INTCPT1
FE36H	モード・レジスタ		FE1AH	モード・レジスタ	
FE35H	チャンネル・ポインタ	} INTP1	FE19H	チャンネル・ポインタ	} INTCR11
FE34H	モード・レジスタ		FE18H	モード・レジスタ	
FE31H	チャンネル・ポインタ	} INTW	FE17H	チャンネル・ポインタ	} INTCR02
FE30H	モード・レジスタ		FE16H	モード・レジスタ	
FE2FH	チャンネル・ポインタ	} INTCSI1	FE15H	チャンネル・ポインタ	} INTCR01
FE2EH	モード・レジスタ		FE14H	モード・レジスタ	
FE2DH	チャンネル・ポインタ	} INTCR13	FE13H	チャンネル・ポインタ	} INTCR10
FE2CH	モード・レジスタ		FE12H	モード・レジスタ	
FE2BH	チャンネル・ポインタ	} INTCR50	FE11H	チャンネル・ポインタ	} INTCLR1
FE2AH	モード・レジスタ		FE10H	モード・レジスタ	
FE29H	チャンネル・ポインタ	} INTCR30	FE0FH	チャンネル・ポインタ	} INTCR00
FE28H	モード・レジスタ		FE0EH	モード・レジスタ	
FE27H	チャンネル・ポインタ	} INTUDC	FE0DH	チャンネル・ポインタ	} INTCR12
FE26H	モード・レジスタ		FE0CH	モード・レジスタ	
FE25H	チャンネル・ポインタ	} INTP2/INTCR40	FE0BH	チャンネル・ポインタ	} INTCPT2
FE24H	モード・レジスタ		FE0AH	モード・レジスタ	
FE23H	チャンネル・ポインタ	} INTAD	FE09H	チャンネル・ポインタ	} INTCPT3
FE22H	モード・レジスタ		FE08H	モード・レジスタ	
FE21H	チャンネル・ポインタ	} INTTB	FE07H	チャンネル・ポインタ	} INTPO
FE20H	モード・レジスタ		FE06H	モード・レジスタ	

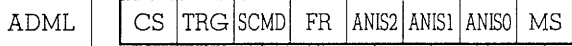
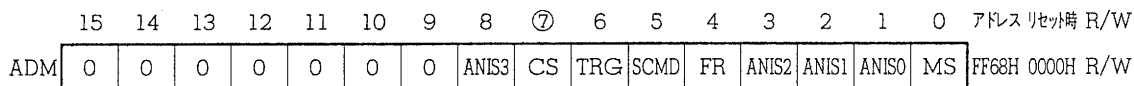
マクロ・サービス・モード・レジスタ

7	6	5	4	3	2	1	0							
VCIE	MOD2	MOD1	MOD0	CHT3	CHT2	CHT1	CHT0							
								CHT0	0	1	1	0		
								CHT1	0	1	0	0		
								CHT2	0	0	0	1		
								CHT3	0	0	0	0		
								MOD2	MOD1	MOD0	カウンタ・モード	複合データ転送モード	マクロ・サービス・タイプA	データ・パターン識別モード
								0	0	0	カウンタ・デクリメント	メモリ・ポインタ保持	メモリ→SFRへのデータ転送 (1バイト・データ)	乗算なし
								0	0	1	設定禁止	メモリ・ポインタ更新	SFR→メモリへのデータ転送 (1バイト・データ)	乗算あり
								0	1	1		エクステンジ・モード	設定禁止	
								1	0	0	設定禁止	設定禁止	メモリ→SFRへのデータ転送 (2バイト・データ)	設定禁止
								1	0	1			SFR→メモリへのデータ転送 (2バイト・データ)	
								上記以外		設定禁止				
VCIE	MSC=0時のベクタ割り込み処理 ^注													
0	ベクタ割り込み処理を行う													
1	ベクタ割り込み処理を行わない (次の割り込み要求でベクタ割り込み処理を行う)													

注 マクロ・サービスのチャンネル・タイプ指定でデータ・パターン識別モードを選択した場合、このビットの指定は無効となり、MSC=0で必ずベクタ割り込み処理を行います。

6. アナログ回路

A/Dコンバータ・コントロール・レジスタ (ADM)



A/D変換動作モードの設定 (下表参照)

FR	変換速度制御
0	低速モード (20 μs : f _{CLK} = 8.0 MHz時)
1	高速モード (10 μs : f _{CLK} = 8.0 MHz時)
SCMD	スキャン・モードの選択
0	スキャン・モード 0 (変換終了後, 無条件に次の端子の変換を開始する)
1	スキャン・モード 1 (変換終了後, ADCRをリードするまで次の端子の変換を保留する)
TRG	ハードウェア・トリガの制御
0	ハードウェア・トリガにより変換を開始しない
1	ハードウェア・トリガにより変換を開始する
CS	A/D変換動作制御
0	A/D変換動作停止
1	A/D変換動作開始

A/D変換動作モードの設定

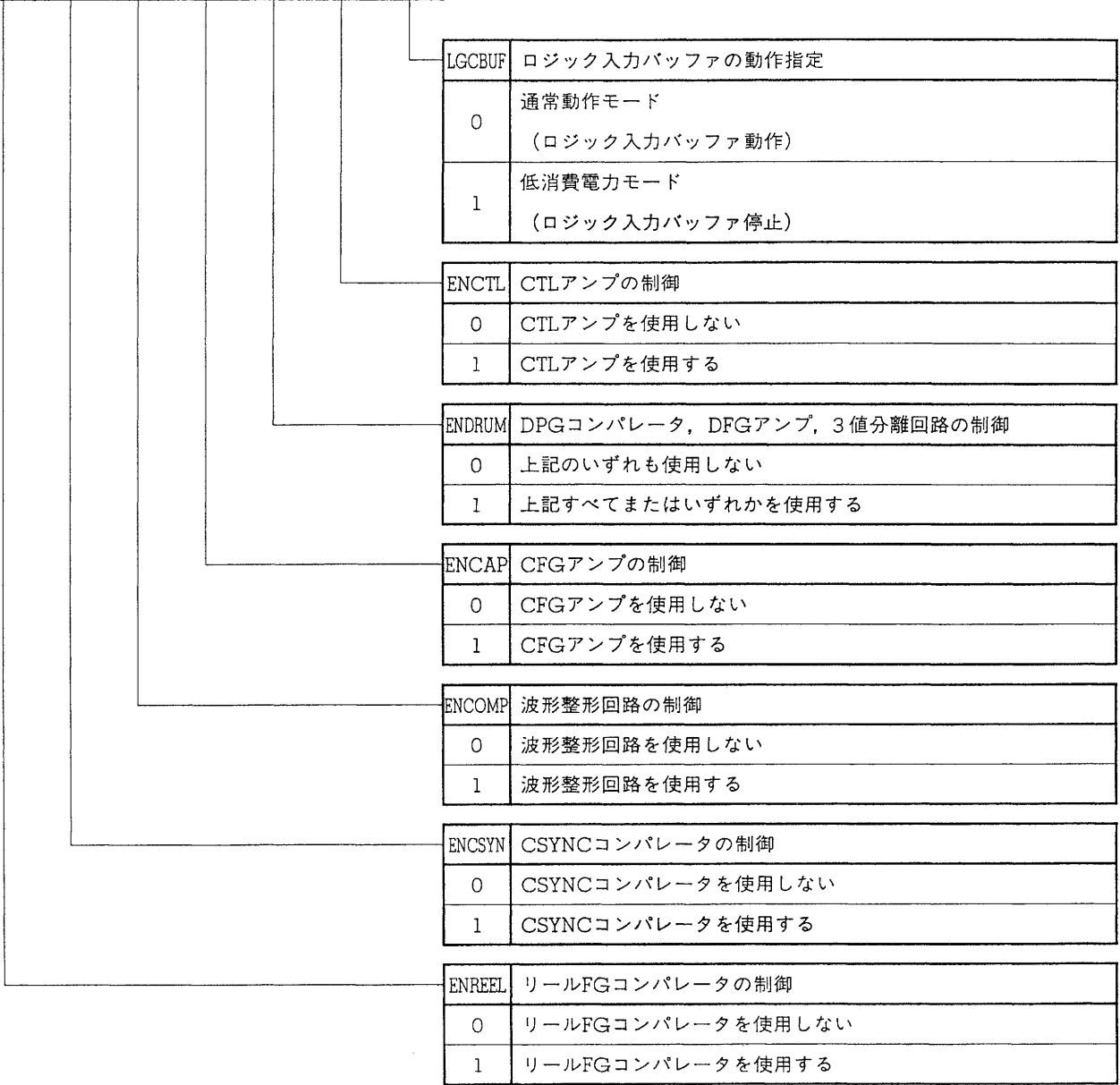
ANIS3	ANIS2	ANIS1	ANIS0	MS	A/D変換動作モードの設定
0	0	0	0	0	ANIO入力をスキャン
0	0	0	1		ANIO, ANI1入力をスキャン
0	0	1	0		ANIO-ANI2入力をスキャン
0	0	1	1		ANIO-ANI3入力をスキャン
0	1	0	0		ANIO-ANI4入力をスキャン
0	1	0	1		ANIO-ANI5入力をスキャン
0	1	1	0		ANIO-ANI6入力をスキャン
0	1	1	1		ANIO-ANI7入力をスキャン
1	0	0	0		ANI8入力をスキャン
1	0	0	1		ANI8, ANI9入力をスキャン
1	0	1	0		ANI8-ANI10入力をスキャン
1	0	1	1		ANI8-ANI11入力をスキャン
上記以外					設定禁止

ANIS3	ANIS2	ANIS1	ANIS0	MS	A/D変換動作モードの設定
0	0	0	0	1	ANIO入力をセレクト
0	0	0	1		ANI1入力をセレクト
0	0	1	0		ANI2入力をセレクト
0	0	1	1		ANI3入力をセレクト
0	1	0	0		ANI4入力をセレクト
0	1	0	1		ANI5入力をセレクト
0	1	1	0		ANI6入力をセレクト
0	1	1	1		ANI7入力をセレクト
1	0	0	0		ANI8入力をセレクト
1	0	0	1		ANI9入力をセレクト
1	0	1	0		ANI10入力をセレクト
1	0	1	1		ANI11入力をセレクト
上記以外					設定禁止

注意 ビット0-ビット7はADMLとしてビット操作できます (ビット8はビット操作できません)。

アンプ・コントロール・レジスタ (AMPC)

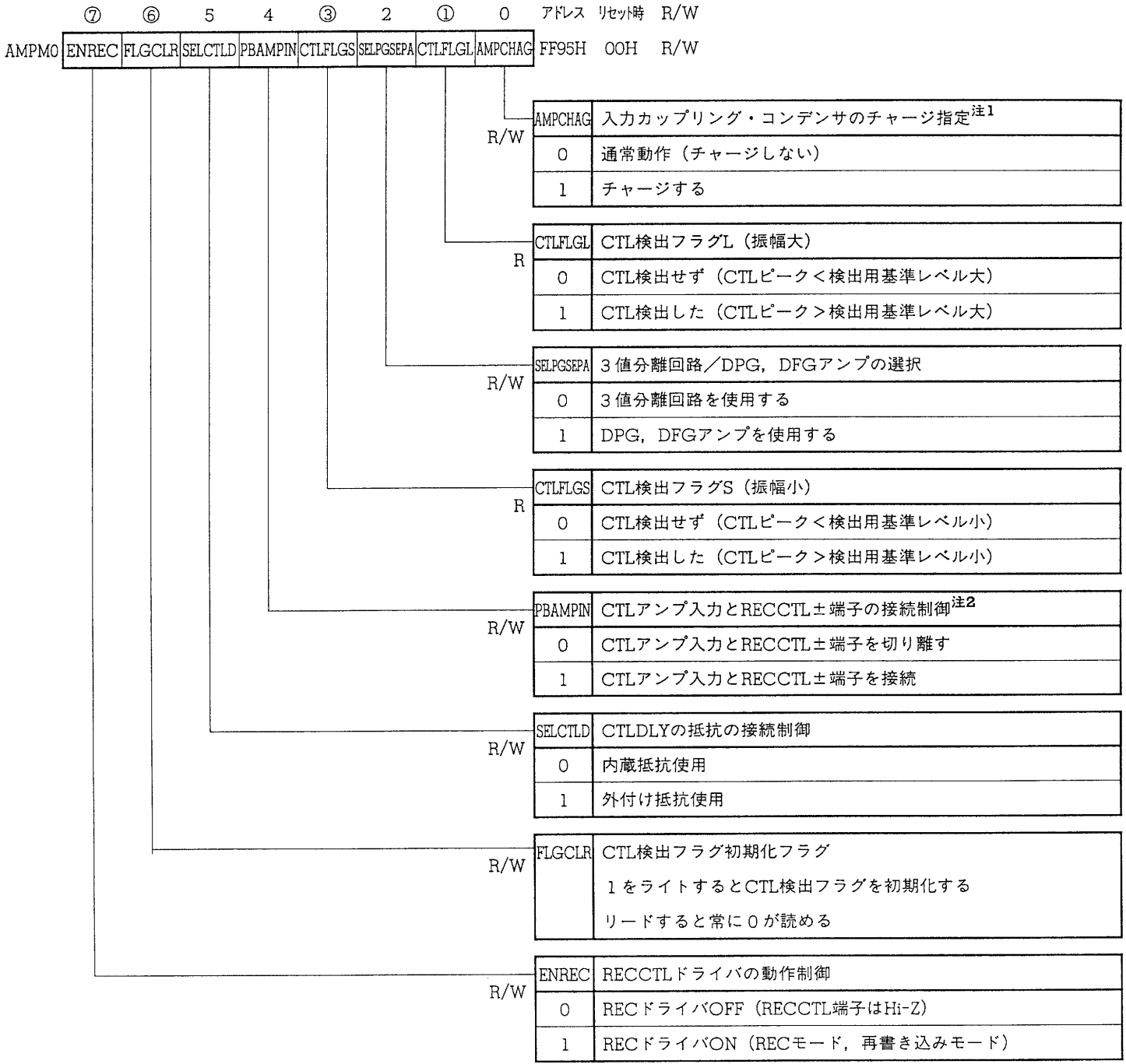
	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
AMPC	0	ENREEL	ENCSYN	ENCOMP	ENCAP	ENDRUM	ENCTL	LGCBUF	FF94H	00H	R/W



LGCBUF	ロジック入力バッファの動作指定
0	通常動作モード (ロジック入力バッファ動作)
1	低消費電力モード (ロジック入力バッファ停止)
ENCTL	CTLアンプの制御
0	CTLアンプを使用しない
1	CTLアンプを使用する
ENDRUM	DPGコンパレータ, DFGアンプ, 3値分離回路の制御
0	上記のいずれも使用しない
1	上記すべてまたはいずれかを使用する
ENCAP	CFGアンプの制御
0	CFGアンプを使用しない
1	CFGアンプを使用する
ENCOMP	波形整形回路の制御
0	波形整形回路を使用しない
1	波形整形回路を使用する
ENCSYN	CSYNCコンパレータの制御
0	CSYNCコンパレータを使用しない
1	CSYNCコンパレータを使用する
ENREEL	リールFGコンパレータの制御
0	リールFGコンパレータを使用しない
1	リールFGコンパレータを使用する

注意 ビット7には必ず0を設定してください。

★ アンプ・モード・レジスタ 0 (AMPMP0)



注1. CFGIN, DPGIN, DFGIN, CSYNCIN, REELOIN, REELIINの各端子は, AMPCHAG=1にすることにより各端子に接続している入力カップリング・コンデンサをチャージします。AMPCHAG=1の設定は, AMPMP0レジスタおよびSELPGSEPAビット (AMPMP0.2) の設定後に実行してください。

チャージに要する時間はコンデンサの容量により異なります。チャージ完了後は, AMPCHAG=0 (通常動作) に設定してください。

2. ビット4の設定は, ビット7=0のときのみ有効です。

アンプ・モード・レジスタ 1 (AMP M1)

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
AMP M1	SELBIAS	0	SELCTLO1	SELCTLO0	0	0	0	0	FF96H	00H	R/W

SELCTLO1	SELCTLO0	波形整形回路出力の選択
0	0	RS-FF出力
0	1	ハイ側コンパレータ出力
1	0	ロウ側コンパレータ出力
1	1	設定禁止

SELBIAS	CSYNCINのバイアス制御
0	V_{REF} レベルにバイアスする
1	バイアスしない

注意 ビット0-ビット3には必ず0を設定してください。

ゲイン・コントロール・レジスタ (CTLM)

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
CTLM	0	0	CTLLOW	CTLGAIN4	CTLGAIN3	CTLGAIN2	CTLGAIN1	CTLGAIN0	FF97H	00H	R/W

CTLGAIN4	CTLGAIN3	CTLGAIN2	CTLGAIN1	CTLGAIN0	CTLアンプのゲイン ^{注1}
0	0	0	0	0	20 dB (最小)
0	0	0	0	1	21.78 dB
.	約1.78 dB間隔で32通り設定可能
.	
1	1	1	1	1	75 dB (最大)

CTLLOW	CTLアンプの動作 ^{注2}
0	CTLGAIN0-CTLGAIN4で指定したゲインで動作
1	CTLアンプのゲイン=1

注1. CTLアンプのゲインは、ビット0-ビット4の設定でのみ変化します。

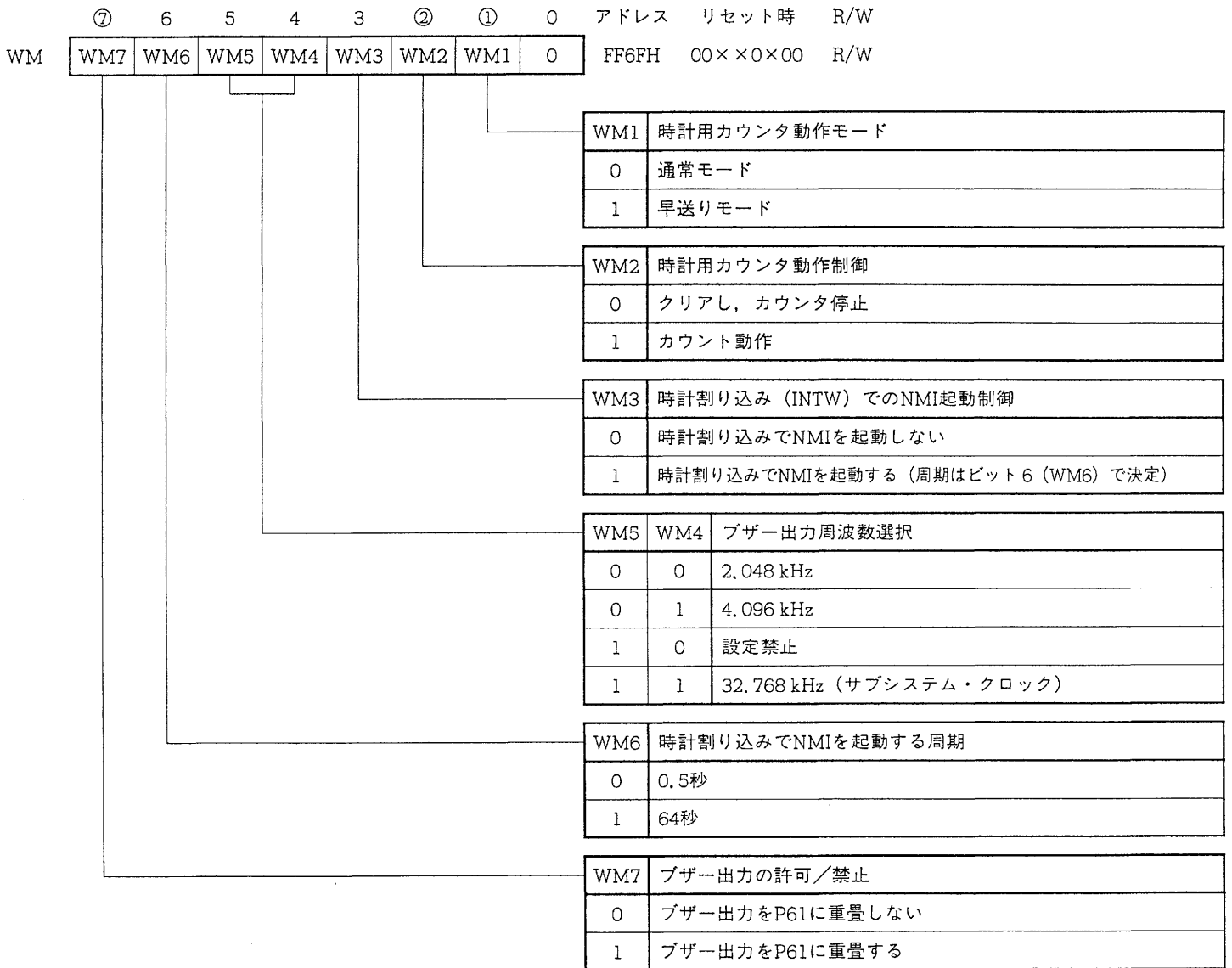
CTLアンプのゲイン設定は、ENCTL (AMPC.1)=1かつCTLLOW (CTLM.5)=0のときのみ有効です。 ★

2. ビット5の設定は、ENREC (AMP M0.7)=0のときのみ有効です。 ★

注意 ビット7には必ず0を設定してください。

7. 時計回路

時計モード・レジスタ (WM)



★ 注意 WM2=0 の場合、WM7=1 に設定してもP61にブザー出力を重畳しません。

クロック出力モード・レジスタ (CLOM)

	7	6	5	④	3	2	1	0	アドレス	リセット時	R/W
CLOM	0	0	0	ENCLO	0	0	SELFRQ1	SELFRQ0	FF79H	00H	R/W

SELFRQ1	SELFRQ0	クロック出力周波数指定 ($f_{CLK}=8.0\text{ MHz}$ 動作時)
0	0	$f_{CLK}/2$ (4.0 MHz)
0	1	$f_{CLK}/4$ (2.0 MHz)
1	0	$f_{CLK}/8$ (1.0 MHz)
1	1	$f_{CLK}/16$ (500 kHz)

f_{CLK} : 内部システム・クロック

ENCLO	CLO端子クロック出力制御
0	出力禁止 (P60は入出力ポートとして機能)
1	出力許可

8. クロック発生回路

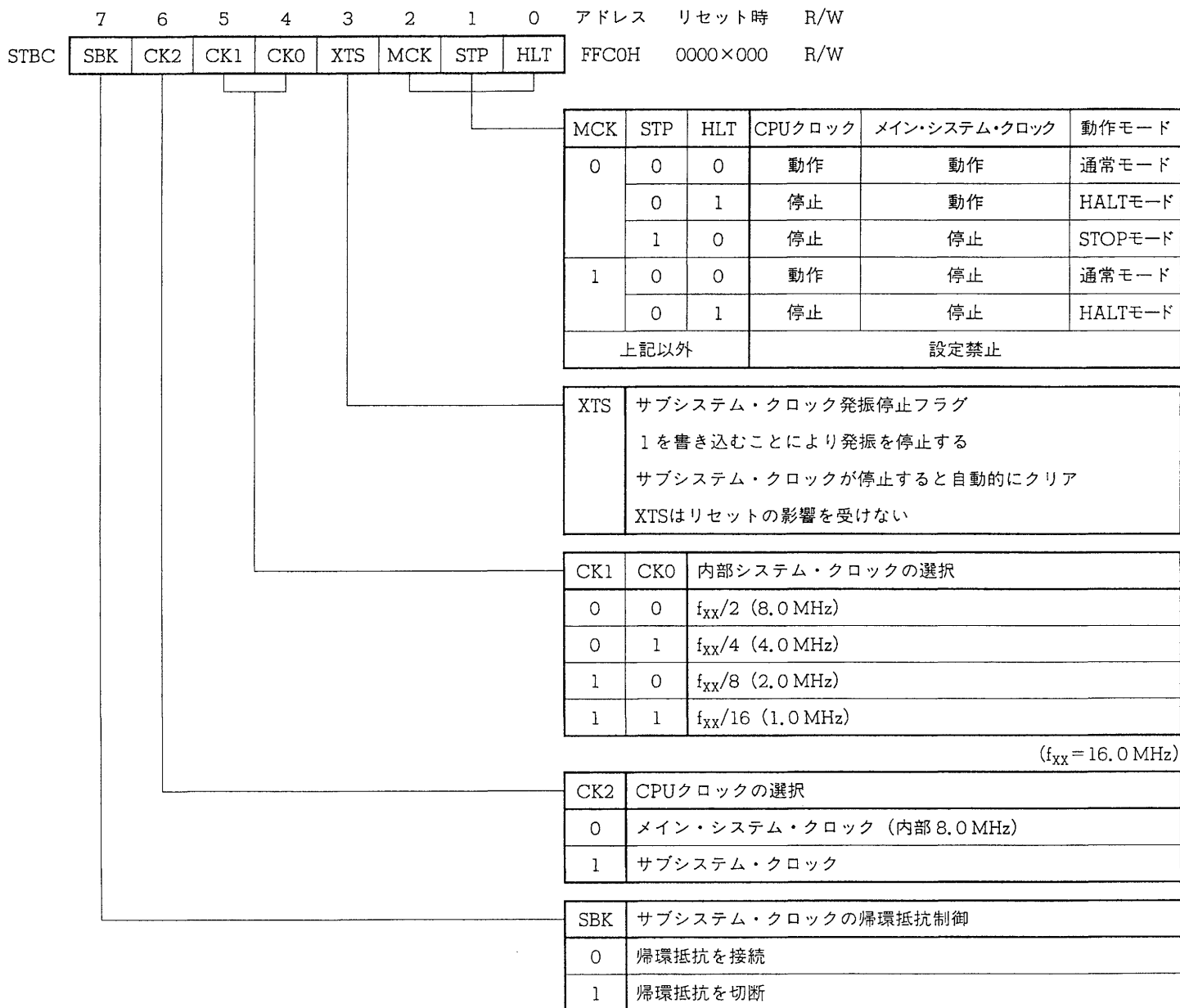
クロック・コントロール・レジスタ (CC)

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
CC	ENMP	0	0	0	0	0	0	0	FF7BH	00H	R/W

ENMP	低周波発振モードの制御
0	通常動作モード ($f_{CLK}=f_{XX}/2$)
1	低周波発振モード ($f_{CLK}=f_{XX}$)

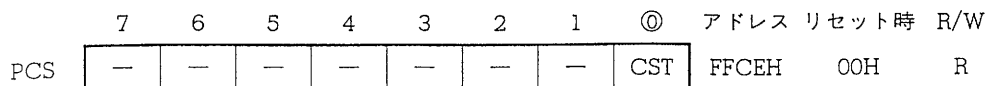
9. CPU制御

★ スタンバイ・コントロール・レジスタ (STBC)



注意 書き込みは、専用の命令 (MOV STBC, #byte) によつてのみ可能です。他の命令では書き込みはできません。

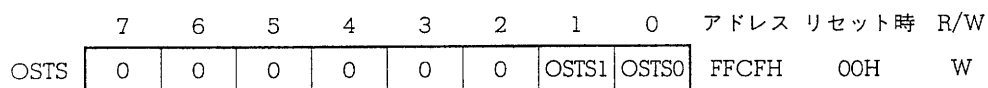
CPUクロック・ステータス・レジスタ (PCS)



CST	CPUクロックの状態
0	メイン・システム・クロックで動作
1	サブシステム・クロックで動作

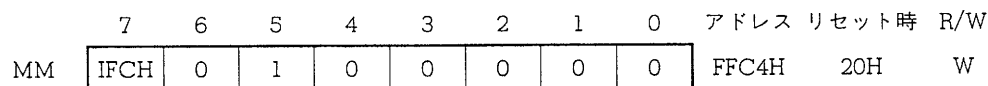
備考 —：不定

発振安定時間指定レジスタ (OSTS)



OSTS1	OSTS0	発振安定時間の指定 ($f_{CLK}=8.0\text{ MHz}$ 時)
0	0	発振安定用タイマ18ビット分のカウント時間 (32.8 ms)
0	1	発振安定用タイマ17ビット分のカウント時間 (16.4 ms)
1	0	発振安定用タイマ16ビット分のカウント時間 (8.2 ms)
1	1	発振安定用タイマ15ビット分のカウント時間 (4.1 ms)

実行速度選択レジスタ (MM)

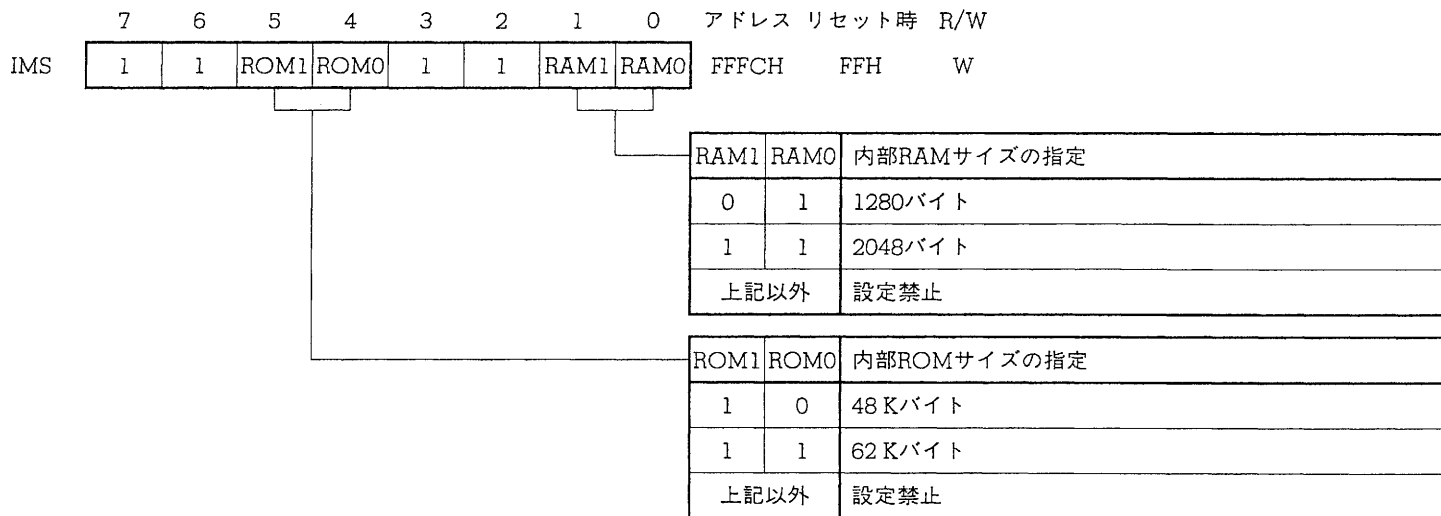


IFCH	命令実行速度の選択
0	低速モード
1	通常モード

注意 μ PD784915サブシリーズは、 $\overline{\text{RESET}}$ 解除後、命令実行速度が低速モードになっていますので、実行速度選択レジスタ(MM) ★
 を通常モードに設定してください。
 MMレジスタには80H以外の値を設定しないでください。

10. PROM

★ 内部メモリ容量選択レジスタ (IMS)



注意 IMSレジスタは μ PD78P4916のみ内蔵しています。 μ PD784915, 784916AにはIMSレジスタはありません。
 μ PD784915, 784916Aでこのレジスタへの書き込み命令を実行しても動作に影響を与えません。

この資料中でレジスタ・フォーマットのビット番号を○で囲んでいるものは、そのビット名称がRA78K4では予約語に、CC78K4では#pragma sfr指令で、bit型のsfr変数として定義されているものです。

本製品が外国為替および外国貿易管理法の規定による戦略物資等(または役務)に該当するか否かは、ユーザ(仕様を決定した者)が判定してください。