

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。



特殊機能レジスタ (SFR) 一覧 (1/2)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット単位			リセット解除後
				1 bit	8 bit	16bit	
FF00H	ポート0	P0	R/W	○	○	-	不定
FF01H	ポート1	P1		○	○	-	
FF02H	ポート2	P2	R	○	○	-	不定
FF03H	ポート3	P3	R/W	○	○	-	
FF04H	ポート4	P4		○	○	-	
FF05H	ポート5	P5		○	○	-	
FF06H	ポート6	P6	R	○	○	-	F0H
FF07H	ポート7	P7	R	○	○	-	不定
FF08H	16ビット・タイマ0コンペア・レジスタ0	CR00	R/W	-	-	○	不定
FF09H		CR01		-	-	○	
FF0AH	16ビット・タイマ0コンペア・レジスタ1	CR01		-	-	○	
FF0BH		CR02		-	-	○	
FF0CH	16ビット・タイマ0コンペア・レジスタ2	CR02		-	-	○	
FF0DH		CR10		-	-	○	
FF0EH	16ビット・タイマ1コンペア・レジスタ0	CR10		-	-	○	
FF0FH		CR11		-	-	○	
FF10H	16ビット・タイマ1コンペア・レジスタ1	CR11		-	-	○	
FF11H		CR12		-	-	○	
FF12H	16ビット・タイマ1キャプチャ・レジスタ2	CR12	-	-	○	不定	
FF13H		CPT0	-	-	○		
FF14H	16ビットFRCキャプチャ・レジスタ0	CPT0	-	-	○		
FF15H		CPT1	-	-	○		
FF16H	16ビットFRCキャプチャ・レジスタ1	CPT1	-	-	○		
FF17H		CPT12H	-	-	○		
FF18H	22ビットFRCキャプチャ・レジスタ2 (ビット2-17)	CPT12H	-	-	○		
FF19H		CPT3H	-	-	○		
FF1AH	22ビットFRCキャプチャ・レジスタ3 (ビット2-17) 注1	CPT3H	-	-	○		
FF1BH		CPT2L	-	-	○		
FF1CH	22ビットFRCキャプチャ・レジスタ2 (ビット0, 1, 18-21)	CPT2L	-	-	○		
FF1DH		PRM3	-	-	○		
FF1EH	16ビット・タイマ2コンペア・レジスタ	CR20	-	-	○	不定	
FF1FH		PM0	-	-	-	FFH	
FF20H	ポート0モード・レジスタ	PM0	-	-	-		
FF21H	ポート1モード・レジスタ	PM1	-	-	-		
FF23H	ポート3モード・レジスタ	PM3	-	-	-		
FF25H	ポート5モード・レジスタ	PM5	-	-	-		
FF26H	ポート6モード・レジスタ	PM6	-	-	-	F0H	
FF28H	ポート8モード・レジスタ	PM8	-	-	-	FFH	
FF2CH	被乗数/乗算結果レジスタ	MULL	-	-	○	不定	
FF2DH		MULH	-	-	○		
FF2EH	乗数/乗算結果レジスタ	MULH	-	-	○		
FF2FH		TM0	-	-	○		
FF30H	16ビット・タイマ・レジスタ0	TM0	-	-	○	16クロック以内不定 17クロック以降0クリア	
FF31H		TM1	-	-	○		
FF32H	16ビット・タイマ・レジスタ1	TM1	-	-	○		
FF33H		TM2	-	-	○		

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット単位			リセット解除後
				1 bit	8 bit	16bit	
FF34H	22ビット・フリーランニング・カウンタ	FRC	R	-	-	○	16クロック以内不定 17クロック以降0クリア
FF35H		TM2		-	-	○	
FF36H	16ビット・タイマ・レジスタ2	TM2	-	-	○		
FF37H		TMC0	-	-	-	00H	
FF38H	タイマ・コントロール・レジスタ0	TMC0	-	-	-		
FF39H	タイマ・コントロール・レジスタ1	TMC1	R/W	-	-	-	
FF3AH	キャプチャ・モード・レジスタ	CPTM	-	-	-	30H	
FF3BH	7ビット・カウント・レジスタ	TM6	R	-	○	-	
FF3CH	6ビット・カウント・レジスタ	TM7	-	-	-	不定	
FF3DH	8ビット・タイマ・レジスタ3注2	TM3	R/W	-	-		-
FF3EH	8ビット・タイマ3コンペア・レジスタ	CR30	-	-	-	00H	
FF3FH	8ビット・タイマ3キャプチャ・レジスタ	CPT30	R	-	-		-
FF40H	プルアップ抵抗オプション・レジスタ	PUO	R/W	○	○	-	
FF41H	ポート・モード1コントロール・レジスタ	PMC1	-	-	-	不定	
FF42H	22ビットFRCキャプチャ・レジスタ3 (ビット0, 1, 18-21)	CPT3L	R	○	○		-
FF43H	ポート・モード3コントロール・レジスタ	PMC3	R/W	○	○	-	30H
FF44H	16ビット・タイマ1コンペア・レジスタ3	CR13		-	-	○	不定
FF45H		P1L		○	○	-	
FF46H	ポート1バッファ・レジスタ	P1L		○	○	-	
FF47H	ポート1バッファ・レジスタ	P1H	○	○	-	00H	
FF48H	ポート・モード8コントロール・レジスタ	PMC8	-	-	-		
FF49H	ポート・モード9コントロール・レジスタ	PMC9	W	-	-	27H	
FF4AH	ポート0バッファ・レジスタ	P0L	R/W	○	○	-	不定
FF4BH	ポート0バッファ・レジスタ	P0H		○	○	-	
FF4CH	リアルタイム出力ポート・コントロール・レジスタ	RTPC		○	○	-	00H
FF4DH	トリガ・ソース選択レジスタ	TRGS		○	○	-	
FF4EH	ポート8バッファ・レジスタ	P8L	○	○	-	不定	
FF4FH	時計モード・レジスタ	WM	○	○	-	0x00 0x00	
FF50H	入力コントロール・レジスタ	ICR	W	-	-	00H	
FF51H	アップ/ダウン・カウンタ・カウント・レジスタ	UDC	R/W	-	-	不定	
FF52H	キャプチャ・コンペア・コントロール・レジスタ	CRC	W	-	-	00H	
FF53H	イベント・アドバイザー・コントロール・レジスタ	EDVC		-	-	-	不定
FF54H	イベント・カウンタ・コンペア・レジスタ1	ECC1		-	-	-	
FF55H	イベント・カウンタ・コンペア・レジスタ0	ECC0	-	-	-	00H	
FF56H	イベント・カウンタ	EC	R	-	-		-
FF57H	プリスケアラ4モード・レジスタ	PRM4	R/W	○	○	-	00H
FF58H	タイマ0出力モード・レジスタ	TOM0	W	-	-	-	0x00 0000
FF59H	タイマ0出力コントロール・レジスタ	TOC0		-	-	-	00H
FF5AH	タイマ1出力モード・レジスタ	TOM1	-	-	-	80H	
FF5BH	タイマ1出力コントロール・レジスタ	TOC1	R/W注3	-	-	-	00H
FF5CH	8ビット・タイマ・レジスタ4	TM4	R	-	-	-	16クロックでクリア
FF5DH	8ビット・タイマ4キャプチャ・コンペア・レジスタ	CR40	R/W	○	○	-	不定
FF5EH	8ビット・タイマ・レジスタ5	TM5	R	-	-	-	16クロックでクリア
FF5FH	8ビット・タイマ5コンペア・レジスタ	CR50	R/W	○	○	-	不定

注1. 下位6ビットはFF42H。

2. TM3はリードのみ可能ですが、TM3にライトすることにより、TM3をクリア(00H)します。

3. TOC1はビット0のみリードできます。

特殊機能レジスタ(SFR)一覧 (2/2)

保守/廃止

★
★
★

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット単位			リセット解除後
				1 bit	8 bit	16bit	
FF60H	ポート8	P8	R/W	○	○	-	不定
FF61H	ポート9	P9	R	○	○	-	
FF62H	アンプ・モード・レジスタ	AMPM	W	-	○	-	00H
FF63H	アップ/ダウンカウンタ・コンペア・レジスタ	UDCC		-	○	-	不定
FF64H	A/D変換モード・レジスタ0	ADM0	R/W	○	○	-	00H
FF65H	A/D変換モード・レジスタ1	ADM1		○	○	-	01H
FF66H	A/D変換結果レジスタ0	ADCR0	R	-	○	-	不定
FF67H	A/D変換結果レジスタ1	ADCR1		-	○	-	
FF70H	PWMコントロール・レジスタ0	PWMC0	R/W	○	○	-	05H
FF71H	PWMコントロール・レジスタ1	PWMC1	W	-	○	-	40H
FF72H	PWM0 モジュロ・レジスタ	PWM0	W	-	-	○	不定
FF73H				-	-	○	
FF74H				-	-	○	
FF75H	PWM1 モジュロ・レジスタ	PWM1	W	-	-	○	
FF76H	PWM2 モジュロ・レジスタ	PWM2	W	-	○	-	
FF77H	PWM3 モジュロ・レジスタ	PWM3	W	-	○	-	
FF7AH	PWM4 モジュロ・レジスタ	PWM4	W	-	○	-	
FF7BH	8ビット・タイマ4キャプチャ・レジスタ	CR41	R	-	○	-	
FF7CH	PWM5 モジュロ・レジスタ	PWM5	W	-	-	○	不定
FF7DH				-	-	○	
FF7EH	タイマ・コントロール・レジスタ2	TMC2	W	-	○	-	
FF7FH	クロック出力モード・レジスタ	CLOM	W	○	○	-	
FF80H	シリアル・インタフェース0モード・レジスタ	CSIM0	R/W	○	○	-	00H
FF81H	シリアル・インタフェース1モード・レジスタ	CSIM1		○	○	-	
FF82H	シリアル・バス・インタフェース・コントロール・レジスタ	SBIC		○	○	-	

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット単位			リセット解除後
				1 bit	8 bit	16bit	
FF84H	自動転送制御レジスタ1	ADTC1	R/W	○	○	-	00H
FF85H	自動転送ポインタ1	ADTP1		○	○	-	
FF86H	シリアル・シフト・レジスタ0	SI00	R/W	○	○	-	不定
FF87H	シリアル・シフト・レジスタ1	SI01	R/W	○	○	-	
FF90H FFBFH	SIO1バッファ領域/汎用RAM	-	R/W	○	○	○	
FFC0H	スタンバイ・コントロール・レジスタ	STBC	R/W	-	○	-	0000 ×000
FFC4H	メモリ・マッピング・レジスタ	MM	W	-	○	-	A0H
FFCFH	内容メモリ容量選択レジスタ注	IMS	W	-	○	-	FEH
FFE0H	割り込み要求フラグ・レジスタ	IF0L IF0H	R/W	○	○	○	00H
FFE1H				○	○	○	
FFE2H	割り込みマスク・レジスタ	MK0L MK0H	R/W	○	○	-	FFH
FFE4H				○	○	○	
FFE5H	優先順位指定フラグ・レジスタ	PROL PROH	R/W	○	○	○	FFH
FFE6H				○	○	-	
FFE8H	優先順位指定フラグ・レジスタ	PR0L PR0H	R/W	○	○	○	FFH
FFE9H				○	○	-	
FFEAH	割り込みサービス・モード・レジスタ	ISM0L ISM0H	R/W	○	○	○	00H
FFECH				○	○	-	
FFEDH	割り込みサービス・モード・レジスタ	ISM1L	R/W	○	○	-	00H
FFEEH				○	○	-	
FFF4H	外部割り込みモード・レジスタ	INTM0	R/W	○	○	-	50H
FFF5H	外部キャプチャ・モード・レジスタ	INTM1	R/W	○	○	-	01H
FFFBH	クロック・コントロール・レジスタ	CC	R/W	○	○	-	00H

注 IMSはμPD78P148のみ内蔵。

★
★
★

1. スーパ・タイマ・ユニット

タイマ・コントロール・レジスタ 2 (TMC2)

タイマ・コントロール・レジスタ 0 (TMC0)

TMC0	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W						
	CS1	—	AT MSK	EN CLR1	CS0	0	CLS6	EN CLR0	FF38H	00H	R/W						
	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 10%;">EN CLR0</td> <td style="width: 10%;">TM0クリア信号許可ビット</td> </tr> <tr> <td>0</td> <td>TM0クリアパルスをマスクしてTM0をクリアしない (フリーランニングモード)</td> </tr> <tr> <td>1</td> <td>クリアパルスによりTM0をクリアする</td> </tr> </table>											EN CLR0	TM0クリア信号許可ビット	0	TM0クリアパルスをマスクしてTM0をクリアしない (フリーランニングモード)	1	クリアパルスによりTM0をクリアする
EN CLR0	TM0クリア信号許可ビット																
0	TM0クリアパルスをマスクしてTM0をクリアしない (フリーランニングモード)																
1	クリアパルスによりTM0をクリアする																
	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 10%;">CLS0</td> <td style="width: 10%;">TM0動作クロック選択</td> </tr> <tr> <td>0</td> <td>$f_{CLK}/16$</td> </tr> <tr> <td>1</td> <td>$f_{CLK}/8$</td> </tr> </table>											CLS0	TM0動作クロック選択	0	$f_{CLK}/16$	1	$f_{CLK}/8$
CLS0	TM0動作クロック選択																
0	$f_{CLK}/16$																
1	$f_{CLK}/8$																
	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 10%;">CS0</td> <td style="width: 10%;">TM0のカウンタ動作制御</td> </tr> <tr> <td>0</td> <td>クリアし、カウンタ停止</td> </tr> <tr> <td>1</td> <td>カウンタ動作</td> </tr> </table>											CS0	TM0のカウンタ動作制御	0	クリアし、カウンタ停止	1	カウンタ動作
CS0	TM0のカウンタ動作制御																
0	クリアし、カウンタ停止																
1	カウンタ動作																
	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 10%;">EN CLR1</td> <td style="width: 10%;">TM1クリア信号許可ビット</td> </tr> <tr> <td>0</td> <td>CLR1入力はマスクされ、TM1をクリアしない</td> </tr> <tr> <td>1</td> <td>CLR1入力により、TM1はクリアされる</td> </tr> </table>											EN CLR1	TM1クリア信号許可ビット	0	CLR1入力はマスクされ、TM1をクリアしない	1	CLR1入力により、TM1はクリアされる
EN CLR1	TM1クリア信号許可ビット																
0	CLR1入力はマスクされ、TM1をクリアしない																
1	CLR1入力により、TM1はクリアされる																
	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 10%;">AT MSK</td> <td style="width: 10%;">TM1-CR13一致信号によるENCLR1自動セットの制御</td> </tr> <tr> <td>0</td> <td>TM1-CR13一致信号によってENCLR1をセットしない</td> </tr> <tr> <td>1</td> <td>TM1-CR13一致信号によってENCLR1をセットする</td> </tr> </table>											AT MSK	TM1-CR13一致信号によるENCLR1自動セットの制御	0	TM1-CR13一致信号によってENCLR1をセットしない	1	TM1-CR13一致信号によってENCLR1をセットする
AT MSK	TM1-CR13一致信号によるENCLR1自動セットの制御																
0	TM1-CR13一致信号によってENCLR1をセットしない																
1	TM1-CR13一致信号によってENCLR1をセットする																
	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 10%;">CS1</td> <td style="width: 10%;">TM1のカウンタ動作制御</td> </tr> <tr> <td>0</td> <td>クリアし、カウンタ停止</td> </tr> <tr> <td>1</td> <td>カウンタ動作</td> </tr> </table>											CS1	TM1のカウンタ動作制御	0	クリアし、カウンタ停止	1	カウンタ動作
CS1	TM1のカウンタ動作制御																
0	クリアし、カウンタ停止																
1	カウンタ動作																

TMC2	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W						
	CS5	0	0	0	CS4	0	0	0	FF7EH	00H	W						
	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 10%;">CS4</td> <td style="width: 10%;">タイマ4のカウンタ動作制御</td> </tr> <tr> <td>0</td> <td>クリアし、カウンタ停止</td> </tr> <tr> <td>1</td> <td>カウンタ動作</td> </tr> </table>											CS4	タイマ4のカウンタ動作制御	0	クリアし、カウンタ停止	1	カウンタ動作
CS4	タイマ4のカウンタ動作制御																
0	クリアし、カウンタ停止																
1	カウンタ動作																
	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 10%;">CS5</td> <td style="width: 10%;">タイマ5のカウンタ動作制御</td> </tr> <tr> <td>0</td> <td>クリアし、カウンタ停止</td> </tr> <tr> <td>1</td> <td>カウンタ動作</td> </tr> </table>											CS5	タイマ5のカウンタ動作制御	0	クリアし、カウンタ停止	1	カウンタ動作
CS5	タイマ5のカウンタ動作制御																
0	クリアし、カウンタ停止																
1	カウンタ動作																

タイマ0 出力モード・レジスタ (TOM0)

TOM0	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W															
	—	—	MOD 021	MOD 020	MOD 011	MOD 010	MOD 001	MOD 000	FF58H	××000000	W															
	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 10%;">MOD 0n1</td> <td style="width: 10%;">MOD 0n0</td> <td style="width: 10%;">PTO0nの出力モード (n=0-2)</td> </tr> <tr> <td>0</td> <td>0</td> <td>汎用出力モード</td> </tr> <tr> <td>0</td> <td>1</td> <td>RS出力モード</td> </tr> <tr> <td>1</td> <td>0</td> <td>遅延パルス出力モード1</td> </tr> <tr> <td>1</td> <td>1</td> <td>遅延パルス出力モード2</td> </tr> </table>											MOD 0n1	MOD 0n0	PTO0nの出力モード (n=0-2)	0	0	汎用出力モード	0	1	RS出力モード	1	0	遅延パルス出力モード1	1	1	遅延パルス出力モード2
MOD 0n1	MOD 0n0	PTO0nの出力モード (n=0-2)																								
0	0	汎用出力モード																								
0	1	RS出力モード																								
1	0	遅延パルス出力モード1																								
1	1	遅延パルス出力モード2																								

タイマ・コントロール・レジスタ 1 (TMC1)

TMC1	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W												
	CS2	0	0	0	CS FRC	OVF2	OVF1	TB SEL	FF39H	00H	R/W												
	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 10%;">TB SEL</td> <td style="width: 10%;">タイム・ベース割り込みの発生周期の指定</td> </tr> <tr> <td>0</td> <td>$f_{CLK}/8192$ (1.365 ms 12 MHz動作時)</td> </tr> <tr> <td>1</td> <td>$f_{CLK}/4096$ (683 μs 12 MHz動作時)</td> </tr> </table>											TB SEL	タイム・ベース割り込みの発生周期の指定	0	$f_{CLK}/8192$ (1.365 ms 12 MHz動作時)	1	$f_{CLK}/4096$ (683 μs 12 MHz動作時)						
TB SEL	タイム・ベース割り込みの発生周期の指定																						
0	$f_{CLK}/8192$ (1.365 ms 12 MHz動作時)																						
1	$f_{CLK}/4096$ (683 μs 12 MHz動作時)																						
	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 10%;">OVF2</td> <td style="width: 10%;">OVF1</td> <td style="width: 10%;">FRCのオーバーフロー・フラグ</td> </tr> <tr> <td>0</td> <td>0</td> <td>オーバーフローなし</td> </tr> <tr> <td>0</td> <td>1</td> <td>1回オーバーフロー</td> </tr> <tr> <td>1</td> <td>1</td> <td>2回以上オーバーフロー</td> </tr> </table>											OVF2	OVF1	FRCのオーバーフロー・フラグ	0	0	オーバーフローなし	0	1	1回オーバーフロー	1	1	2回以上オーバーフロー
OVF2	OVF1	FRCのオーバーフロー・フラグ																					
0	0	オーバーフローなし																					
0	1	1回オーバーフロー																					
1	1	2回以上オーバーフロー																					
	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 10%;">CS FRC</td> <td style="width: 10%;">FRCのカウンタ動作制御</td> </tr> <tr> <td>0</td> <td>クリアし、カウンタ停止 (タイム・ベース割り込みは発生しない)</td> </tr> <tr> <td>1</td> <td>カウンタ動作 (タイム・ベース割り込みを発生する)</td> </tr> </table>											CS FRC	FRCのカウンタ動作制御	0	クリアし、カウンタ停止 (タイム・ベース割り込みは発生しない)	1	カウンタ動作 (タイム・ベース割り込みを発生する)						
CS FRC	FRCのカウンタ動作制御																						
0	クリアし、カウンタ停止 (タイム・ベース割り込みは発生しない)																						
1	カウンタ動作 (タイム・ベース割り込みを発生する)																						
	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 10%;">CS2</td> <td style="width: 10%;">タイマ2のカウンタ動作制御</td> </tr> <tr> <td>0</td> <td>クリアし、カウンタ停止</td> </tr> <tr> <td>1</td> <td>カウンタ動作</td> </tr> </table>											CS2	タイマ2のカウンタ動作制御	0	クリアし、カウンタ停止	1	カウンタ動作						
CS2	タイマ2のカウンタ動作制御																						
0	クリアし、カウンタ停止																						
1	カウンタ動作																						

タイマ1 出力モード・レジスタ (TOM1)

TOM1	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W															
	DRV MOD	SEL 13	SEL 11	SEL 30	MOD 111	MOD 110	MOD 101	MOD 100	FF5AH	80H	W															
	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 10%;">MOD 0X1</td> <td style="width: 10%;">MOD 0X0</td> <td style="width: 10%;">PTO1n出力モード指定 (n=0-2)</td> </tr> <tr> <td>0</td> <td>0</td> <td>汎用出力モード</td> </tr> <tr> <td>0</td> <td>1</td> <td>設定禁止</td> </tr> <tr> <td>1</td> <td>0</td> <td>遅延パルス出力モード1</td> </tr> <tr> <td>1</td> <td>1</td> <td>遅延パルス出力モード2</td> </tr> </table>											MOD 0X1	MOD 0X0	PTO1n出力モード指定 (n=0-2)	0	0	汎用出力モード	0	1	設定禁止	1	0	遅延パルス出力モード1	1	1	遅延パルス出力モード2
MOD 0X1	MOD 0X0	PTO1n出力モード指定 (n=0-2)																								
0	0	汎用出力モード																								
0	1	設定禁止																								
1	0	遅延パルス出力モード1																								
1	1	遅延パルス出力モード2																								
	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 10%;">SEL mn</td> <td style="width: 10%;">RECCTL書き込み回路の動作トリガ設定</td> </tr> <tr> <td>0</td> <td>TMm-CRmn一致信号をトリガとして選択しない</td> </tr> <tr> <td>1</td> <td>TMm-CRmn一致信号をトリガとして選択する</td> </tr> </table>											SEL mn	RECCTL書き込み回路の動作トリガ設定	0	TMm-CRmn一致信号をトリガとして選択しない	1	TMm-CRmn一致信号をトリガとして選択する									
SEL mn	RECCTL書き込み回路の動作トリガ設定																									
0	TMm-CRmn一致信号をトリガとして選択しない																									
1	TMm-CRmn一致信号をトリガとして選択する																									
	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 10%;">DRV MOD</td> <td style="width: 10%;">RECCTL書き込み回路の動作モード設定</td> </tr> <tr> <td>0</td> <td>RECモード</td> </tr> <tr> <td>1</td> <td>再書き込みモード</td> </tr> </table>											DRV MOD	RECCTL書き込み回路の動作モード設定	0	RECモード	1	再書き込みモード									
DRV MOD	RECCTL書き込み回路の動作モード設定																									
0	RECモード																									
1	再書き込みモード																									

注 DRVMOD, SELmn=0000のとき：タイマ出力モード
それ以外の場合：RECCTL書き込みモード

注意 レジスタ内に*0*が記述されているビットは、レジスタへのデータ書き込みの際に必ず*0*を書き込んでください(全頁共通)。
備考 f_{CLK} ：内部システム・クロック周波数(全頁共通)。

タイマ0 出力コントロール・レジスタ(TOC0)

7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
EN HSY	SEL	ENT O02	ALV2	ENT O01	ALV1	ENT O00	ALV0	FF59H	00H	W

PTO02を制御 PTO01を制御 PTO00を制御

ENT O0n	タイマ出力の許可/禁止の指定
0	禁止(イン・アクティブ・レベルに固定)
1	許可

ALVn	タイマ0 出力端子のアクティブ・レベルの指定
0	アクティブ・ロウ
1	アクティブ・ハイ

SEL	H _{SYNC} 信号を重畳するチャンネルを指定する
0	PTO02に重畳する
1	PTO01に重畳する

EN HSY	H _{SYNC} 信号の重畳許可/禁止の指定
0	重畳しない
1	重畳する

プリスケアラ・モード・レジスタ4(PRM4)

7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PRM 52	PRM 51	PRM 50	0	PRM 42	PRM 41	PRM 40	0	FF57H	00H	R/W

PRM 42	PRM 41	PRM 40	タイマ4のカウント・クロックを選択 (12 MHz動作時)
0	0	0	f _{CLK} /16 (375 kHz)
0	0	1	f _{CLK} /32 (187.5 kHz)
0	1	0	f _{CLK} /64 (93.75 kHz)
0	1	1	f _{CLK} /128 (46.9 kHz)
1	0	0	f _{CLK} /256 (23.4 kHz)
1	0	1	f _{CLK} /512 (11.7 kHz)
1	1	0	サブシステム・クロック
1	1	1	設定禁止

PRM 52	PRM 51	PRM 50	タイマ5のカウント・クロックを選択
0	0	0	f _{CLK} /16 (375 kHz)
0	0	1	f _{CLK} /32 (187.5 kHz)
0	1	0	f _{CLK} /64 (93.75 kHz)
0	1	1	f _{CLK} /128 (46.9 kHz)
1	0	0	f _{CLK} /256 (23.4 kHz)
1	0	1	f _{CLK} /512 (11.7 kHz)
1	1	0	サブシステム・クロック
1	1	1	設定禁止

タイマ1 出力コントロール・レジスタ(TOC1)

7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
0	0	0	0	ENT O11	ALV 11	ENT O10	ALV 10	FF5BH	00H	R/W

ALV In	タイマ1 出力端子のアクティブ・レベルの指定
0	アクティブ・ロウ
1	アクティブ・ハイ

ENT O1n	タイマ1 出力の許可/禁止を制御する
0	禁止(出力をイン・アクティブ・レベルに固定)
1	許可

入力コントロール・レジスタ(ICR)

7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
SEL CLR0	-	EC MOD	V SYNC	SEL CLR1	0	0	CLR M0	FF50H	00H	W

CLR M0	アップ/ダウン・カウンタの制御ソース指定
0	INTM1レジスタのビット2でアップ/ダウン指定
1	P87でアップ/ダウン指定

SEL CLR1	INTCLR1の割り込みソースの選択
0	垂直同期信号入力モード
1	複合同期信号入力モード

V SYNC	V _{SYNC} 分離パルス幅の選択
0	12.7 μs (76/f _{CLK})未満のパルスを除去する
1	20.7 μs (124/f _{CLK})未満のパルスを除去する

EC MOD	イベント・カウンタの動作モードの指定
0	汎用イベント・ディバイダ・モード
1	内部パルス生成モード

SEL CLR0	タイマ0クリア・パルスの選択
0	CLR0端子入力 (6ビット・イベント・カウンタをバイパスする)
1	イベント・カウンタ(EC)による内部生成パルス

プリスケアラ・モード・レジスタ(PRM3)

7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
FF LVL	0	0	0	TM3 OVF	PRM 32	PRM 31	PRM 30	FF1DH	0××××000	R/W

PRM 32	PRM 31	PRM 30	プリスケアラ出力周波数を指定 (12 MHz動作時)
0	0	0	f _{CLK} /32 (187.5 kHz)
0	0	1	f _{CLK} /128 (46.875 kHz)
0	1	0	f _{CLK} /512 (11.719 kHz)
0	1	1	f _{CLK} /2048 (2.9297 kHz)
1	0	0	CT110有効エッジ入力(外部クロック)
上記以外			設定禁止

TM3 OVF	TM3のオーバーフロー・フラグ
0	TM3のオーバーフローしていない
1	TM3のオーバーフローした

FF LVL	パルス幅検出回路の制御用フリップ・フロップの出力レベル格納フラグ
--------	----------------------------------

イベント・ディバイダ・コントロール・レジスタ(EDVC)

EDVC	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
—	EDVC6	EDVC5	EDVC4	EDVC3	EDVC2	EDVC1	EDVC0		FF53H	不定	W

EDVC6	EDVC5	EDVC4	EDVC3	EDVC2	EDVC1	EDVC0	CT110 入力分周比指定
0	0	0	0	0	0	0	設定禁止
0	0	0	0	0	0	0	スルー出力 (分周しない)
0	0	0	0	0	0	1	2分周
⋮							
1	1	1	1	1	0	1	125分周
1	1	1	1	1	1	0	126分周
1	1	1	1	1	1	1	127分周

キャプチャ・モード・レジスタ(CPTM)

CPTM	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
0	TRGS40	TRGS011	TRGS010	0	TRGS120	TRGS001	TRGS000		FF3AH	30H	R/W

TRGS001	TRGS000	CPT0のキャプチャ・トリガ指定
0	0	TM-CR10 一致信号
0	1	CLR1入力エッジ検出信号
1	0	TM1クリア信号
1	1	TM1-CR10 一致信号とCLR1入力エッジ検出信号の論理和

TRGS120	CR12のキャプチャ・トリガの指定
0	CT111入力エッジ検出信号
1	CT110入力分周信号

TRGS011	TRGS010	CPT1のキャプチャ・トリガ指定
0	0	タイマ0クリア・パルスの立ち下がリエッジ
0	1	タイマ0クリア・パルスの立ち上がりエッジ
1	0	設定禁止
1	1	タイマ0クリア・パルス立ち上がり、立ち下がリエッジ

TRGS40	CR40のキャプチャ・トリガ指定
0	INTP2の有効エッジ(f_{CLK} でサンプリング)
1	INTP2の有効エッジ($f_{CLK}/128$ でサンプリング)

キャプチャ・コンペア・コントロール・レジスタ

CRC	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
0	0	0	0	0	0	0	CLR40	CM40	FF52H	00H	W

CM40	CR40のキャプチャ/コンペアの指定
0	コンペア・レジスタ
1	キャプチャ・レジスタ

CLR40	TM4クリア許可指定
0	タイマ4はフリーラン(タイマ4をクリアしない)
1	コンペア一致あるいはキャプチャ時にタイマ4をクリア

注意 CR40をコンペア・レジスタ→キャプチャ・レジスタ、またはキャプチャ・レジスタ→コンペア・レジスタに変更する場合(CM40を0→1または、1→0に変更する場合)、CR40は不定になります。したがって、CR40をキャプチャ・レジスタ→コンペア・レジスタに変更する場合は、CRCに000000×0Bを書き込んだあと、データを設定してください。CR40をコンペア・レジスタ→キャプチャ・レジスタに設定する場合は、データを設定する必要はありません。

PWMコントロール・レジスタ0(PWMC0)

PWMC0	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
	SYN0	CLS0	SYN0	CLS0	EN0	ALV0	EN0	ALV0	FF70H	05H	R/W

ALVn	PWMn端子のPWMアクティブ・レベルの設定 (n=0..1)
0	ロウ・アクティブ
1	ハイ・アクティブ

ENn	PWMn端子のPWM出力制御
0	出力禁止(インアクティブ・レベルに固定)
1	PWM出力許可

CLS0	PWM動作周波数 (12MHz時)
0	23.4kHz
1	47kHz

SYNn	PWMパルス幅書き換え周期
0	PWM16サイクル($2^{12}/f_{CLK}$)
1	PWM1サイクル($2^9/f_{CLK}$)

PWMコントロール・レジスタ1(PWMC1)

PWMC1	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
	EN5	1	EN4	0	EN3	0	EN2	0	FF71H	40H	W

ENn	PWMn出力制御(n=2-5)
0	出力禁止 端子レベルはイン・アクティブ・レベルに固定
1	出力許可

2. シリアル・インタフェース

★ シリアル・インタフェース・モード・レジスタ 0 (CSIM0)

7	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
CSIM0	CTxE	CRxE	WUP	0	MOD1	0	CLSI	CLS0	FF80H	00H	R/W
				CLSI		CLS0		シリアル・クロック選択	SCK0端子		
				0		0		外部クロック	入力		
				0		1		設定禁止			
				1		0		内部クロック	$f_{CLK}/32$	出力	
				1		1					
$f_{CLK} = \frac{1}{2}$ (発振周波数) : システム・クロック周波数											
				MOD1		シリアル・インタフェース動作モードの選択					
				0		3線式シリアルI/Oモード					
				1		SBIモード					
				WUP		ウェイク・アップ機能の制御					
				0		3線式/SBIの両モードでシリアル転送後ごとに割り込み要求発生					
				1		SBIモードでアドレスを受信した場合にのみ割り込み要求発生					
				CRxE		受信動作					
				0		禁止					
				1		許可					
				CTxE		送信動作					
				0		禁止					
				1		許可					

シリアル・インタフェース・モード・レジスタ 1 (CSIM1)

7	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
CSIM1	CSIE	DIR	ATE	0	0	0	CLS11	CLS10	FF81H	00H	R/W
				CLS11		CLS10		シリアル・クロックの選択 (12 MHz動作時)			
				0		0		外部クロック			
				0		1		$f_{CLK}/64$ (93.75 kHz)			
				1		0		$f_{CLK}/32$ (187.5 kHz)			
				1		1		$f_{CLK}/8$ (750 kHz)			
				ATE		自動送受信の設定					
				0		自動送受信しない					
				1		自動送受信する					
				DIR		ビットの転送順序の設定					
				0		MSB先頭					
				1		LSB先頭					
				CSIE		シリアル・インタフェース動作の許可/禁止					
				0		動作しない					
				1		動作する					

シリアル・バス・インタフェース・コントロール・レジスタ (SBIC)

7	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
SBIC	BSYE	ACKD	ACKE	ACKT	CMDD	RELD	CMDT	RELT	FF82H	00H	R/W
				RELT		バス・リリース信号(REL)トリガ出力制御					
				0		出力しない					
				1		出力する					
				CMDT		コマンド信号(CMD)のトリガ出力制御					
				0		出力しない					
				1		出力する					
				RELD		バス・リリース信号(REL)の検出					
				0		検出していない					
				1		検出している					
				CMDD		コマンド信号(CMD)の検出					
				0		検出していない					
				1		検出している					
				ACKT		アクノリッジ信号(ACK)のトリガ出力制御					
				0		出力しない					
				1		出力する					
				ACKE		アクノリッジ信号(ACK)の自動出力許可					
				0		禁止					
				1		許可					
				ACKD		アクノリッジ信号(ACK)の検出					
				0		検出していない					
				1		検出している					
				BSYE		同期ビジー信号(ACK)の自動出力					
				0		禁止					
				1		許可					

自動転送制御レジスタ 1 (ADTC1)

7	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
ADTC1	RE	ARLD	ERCE	ERR	TRF	STRB	BUSY1	BUSY0	FF84H	00H	R/W
				BUSY1		BUSY0		ビジー制御の設定			
				0		×		ビジー制御しない			
				1		0		ビジー制御する(アクティブ・ロウ)			
				1		1		ビジー制御する(アクティブ・ハイ)			
				STRB		ストロープ制御の設定					
				0		ストロープ制御しない					
				1		ストロープ制御する					
				TRF		自動転送終了フラグ					
				0		自動転送を終了または中止					
				1		自動転送を終了していない					
				ERR		自動送信エラー・フラグ					
				0		自動送信時にエラーを検出していない					
				1		自動送信時にエラーを検出した					
				ERCE		BUSY1		エラー・チェック許可フラグ			
				×		0		自動送信時にエラーをチェックしない			
				0		×		自動送信時にエラーをチェックする			
				1		1		自動送信時にエラーをチェックする			
				ARLD		自動転送動作のモード設定					
				0		単発モード					
				1		繰り返しモード					
				RE		受信許可ビット					
				0		受信禁止					
				1		受信許可					

3.A/Dコンバータ

A/Dコンバータ・モード・レジスタ0 (ADM0)

7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
CS	TRG	ANI	FR	ANI	ANI	ANI	MS	FF64H	00H	R/W
0	0	03	0	02	01	00				

アナログ入力選択

MS	A/D変換動作モードの指定
0	スキャン・モード
1	セレクト・モード

FR	変換時間制御
0	180 スタート 発振周波数>8 MHzで使用するとき
1	120 スタート 発振周波数≤8 MHzで使用するとき

TRG	外部端子トリガの制御
0	外部トリガ禁止
1	外部トリガ許可

R/W	CS	A/D変換動作制御
ラ イ ト	0	A/D変換動作停止
	1	A/D変換動作開始
リ ー ド	0	A/D変換動作していない
	1	A/D変換動作中注

注 セレクト・モード時は選択しているアナログ入力の変換が終了するまで1が読めます。
スキャン・モード時はスキャン対象のすべてのアナログ入力の変換が終了するまで1が読めます。

アナログ入力選択

ANI03	ANI02	ANI01	ANI00	スキャン・モード	セレクト・モード
0	0	0	0	ANI0をスキャン	ANI0をセレクト
0	0	0	1	ANI0, ANI1をスキャン	ANI1をセレクト
0	0	1	0	ANI0-ANI2をスキャン	ANI2をセレクト
0	0	1	1	ANI0-ANI3をスキャン	ANI3をセレクト
0	1	0	0	ANI0-ANI4をスキャン	ANI4をセレクト
0	1	0	1	ANI0-ANI5をスキャン	ANI5をセレクト
0	1	1	0	ANI0-ANI6をスキャン	ANI6をセレクト
0	1	1	1	ANI0-ANI7をスキャン	ANI7をセレクト
1	0	0	0	ANI0-ANI8をスキャン	ANI8をセレクト
1	0	0	1	ANI0-ANI9をスキャン	ANI9をセレクト
1	0	1	0	ANI0-ANI10をスキャン	ANI10をセレクト
1	0	1	1	ANI0-ANI11をスキャン	ANI11をセレクト
1	1	0	0	ANI0-ANI12をスキャン	ANI12をセレクト
1	1	0	1	ANI0-ANI13をスキャン	ANI13をセレクト
1	1	1	0	ANI0-ANI14をスキャン	ANI14をセレクト
1	1	1	1	設定禁止	設定禁止

A/Dコンバータ・モード・レジスタ1 (ADM1)

保守/廃止

7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
CS1	STS	ANI	0	ANI	ANI	ANI	1	FF65H	01H	R/W
	1	13		12	11	10				

アナログ入力選択

STS	A/D変換フラグ(R)
0	ADM1による変換を行っていない
1	ADM1による変換中

CS1	A/D変換動作制御
0	タイマ・コンペア・レジスタ一致信号でA/D変換を開始しない
1	タイマ・コンペア・レジスタ一致信号でA/D変換を開始する

注意1. ADM0でスキャン・モードに設定(MS=0)したときは、ADM1のCS1をセットしないでください(A/Dコンバータ1を動作させないでください)。
2. A/Dコンバータ1の動作が終了してもINTADは発生しません。

アナログ入力選択

ANI13	ANI12	ANI11	ANI10	セレクト・モード
0	0	0	0	ANI0をセレクト
0	0	0	1	ANI1をセレクト
0	0	1	0	ANI2をセレクト
0	0	1	1	ANI3をセレクト
0	1	0	0	ANI4をセレクト
0	1	0	1	ANI5をセレクト
0	1	1	0	ANI6をセレクト
0	1	1	1	ANI7をセレクト
1	0	0	0	ANI8をセレクト
1	0	0	1	ANI9をセレクト
1	0	1	0	ANI10をセレクト
1	0	1	1	ANI11をセレクト
1	1	0	0	ANI12をセレクト
1	1	0	1	ANI13をセレクト
1	1	1	0	ANI14をセレクト
1	1	1	1	設定禁止

アンプ・モード・レジスタ (AMPn)

7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
EN1	0	0	0	EN0	0	0	0	FF62H	00H	W

ENn	オペアンプnの動作制御(n=0,1)
0	非動作
1	動作

4. 時計機能

時計モード・レジスタ(WM)

7	6	5	4	3	2	1	0	アドレス	リセット時	R/W															
WM7	WM6	WM5	WM4	0	WM2	WM1	0	FF4FH	0×××0×00	R/W															
<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td>WM1</td><td>動作モード</td></tr> <tr> <td>0</td><td>通常動作モード (16384分間)</td></tr> <tr> <td>1</td><td>早送りモード (128分間)</td></tr> </table>											WM1	動作モード	0	通常動作モード (16384分間)	1	早送りモード (128分間)									
WM1	動作モード																								
0	通常動作モード (16384分間)																								
1	早送りモード (128分間)																								
<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td>WM2</td><td>カウント動作制御</td></tr> <tr> <td>0</td><td>カウント動作停止、分間回路クリア</td></tr> <tr> <td>1</td><td>カウント動作する</td></tr> </table>											WM2	カウント動作制御	0	カウント動作停止、分間回路クリア	1	カウント動作する									
WM2	カウント動作制御																								
0	カウント動作停止、分間回路クリア																								
1	カウント動作する																								
<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td>WM5</td><td>WM4</td><td>ブザー出力(RUZ)周波数</td></tr> <tr> <td>0</td><td>0</td><td>2048Hz ($f_{XT}/16$)</td></tr> <tr> <td>0</td><td>1</td><td>4096Hz ($f_{XT}/8$)</td></tr> <tr> <td>1</td><td>0</td><td>設定禁止</td></tr> <tr> <td>1</td><td>1</td><td>32768Hz (f_{XT})</td></tr> </table>											WM5	WM4	ブザー出力(RUZ)周波数	0	0	2048Hz ($f_{XT}/16$)	0	1	4096Hz ($f_{XT}/8$)	1	0	設定禁止	1	1	32768Hz (f_{XT})
WM5	WM4	ブザー出力(RUZ)周波数																							
0	0	2048Hz ($f_{XT}/16$)																							
0	1	4096Hz ($f_{XT}/8$)																							
1	0	設定禁止																							
1	1	32768Hz (f_{XT})																							
<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td>WM6</td><td>時計機能設定</td></tr> <tr> <td>0</td><td>ソフトウェアによる時計動作</td></tr> <tr> <td>1</td><td>ハードウェアによる時計動作</td></tr> </table>											WM6	時計機能設定	0	ソフトウェアによる時計動作	1	ハードウェアによる時計動作									
WM6	時計機能設定																								
0	ソフトウェアによる時計動作																								
1	ハードウェアによる時計動作																								
<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td>WM7</td><td>ブザー出力(BUZ)をP61に重畳するかを決定する</td></tr> <tr> <td>0</td><td>ブザー出力をP61に重畳しない</td></tr> <tr> <td>1</td><td>ブザー出力をP61に重畳する</td></tr> </table>											WM7	ブザー出力(BUZ)をP61に重畳するかを決定する	0	ブザー出力をP61に重畳しない	1	ブザー出力をP61に重畳する									
WM7	ブザー出力(BUZ)をP61に重畳するかを決定する																								
0	ブザー出力をP61に重畳しない																								
1	ブザー出力をP61に重畳する																								

★

5. 割り込み

割り込み要求フラグ・レジスタ(IF××)

7	6	5	4	3	2	1	0	アドレス	リセット時	R/W				
IF0L	CR IF01	CR IF10	CL IF1	CR IF00	CR IF12	CP IF2	CP IF3	PIF0	FFE0H	00H	R/W			
IF0H	PIF2	ADIF	TBIF	CSI IF0	CR IF20	CP IF1	CR IF11	CR IF02	FFE1H	00H	R/W			
IF1L	PIF1	WIF	CSI IF1	CR IF13	CR IF50	CR IF40	CR IF30	UD CIF	FFE2H	00H	R/W			
割り込み要求フラグ														
<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td>0</td><td>割り込み要求が発生していない</td></tr> <tr> <td>1</td><td>割り込み要求発生</td></tr> </table>											0	割り込み要求が発生していない	1	割り込み要求発生
0	割り込み要求が発生していない													
1	割り込み要求発生													

割り込みマスク・フラグ・レジスタ(MK××)

7	6	5	4	3	2	1	0	アドレス	リセット時	R/W				
MK0L	CR MK01	CR MK10	CL MK1	CR MK00	CR MK12	CP MK2	CP MK3	PMK0	FFE4H	FFH	R/W			
MK0H	PMK2	ADMK	TBMK	CSI MK0	CR MK20	CP MK1	CR MK11	CR MK02	FFE5H	FFH	R/W			
MK1L	PMK1	WMK	CSI MK1	CR MK13	CR MK50	CR MK40	CR MK30	UD CMK	FFE6H	FFH	R/W			
割り込み要求マスク・フラグ														
<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td>0</td><td>割り込み処理許可</td></tr> <tr> <td>1</td><td>割り込み処理保留</td></tr> </table>											0	割り込み処理許可	1	割り込み処理保留
0	割り込み処理許可													
1	割り込み処理保留													

優先順位指定フラグ・レジスタ(PR××)

7	6	5	4	3	2	1	0	アドレス	リセット時	R/W				
PROL	CR PR01	CR PR10	CL PR1	CR PR00	CR PR12	CP PR2	CP PR3	PPR0	FFE8H	FFH	R/W			
PROH	PPR2	ADPR	TBPR	CSI PR0	CR PR20	CP PR1	CR PR11	CR PR02	FFE9H	FFH	R/W			
PRIL	PPR1	WPR	CSI PR1	CR PR13	CR PR50	CR PR40	CR PR30	UD CPR	FFEAH	FFH	R/W			
優先順位指定フラグ														
<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td>0</td><td>高優先順位</td></tr> <tr> <td>1</td><td>低優先順位</td></tr> </table>											0	高優先順位	1	低優先順位
0	高優先順位													
1	低優先順位													

割り込みサービス・モード・フラグ・レジスタ(ISM××)

7	6	5	4	3	2	1	0	アドレス	リセット時	R/W				
ISM0L	CR ISM01	CR ISM10	CL ISM1	CR ISM00	CR ISM12	CP ISM2	CP ISM3	PISM0	FFECH	00H	R/W			
ISM0H	P ISM2	AD ISM	TB ISM	CSI ISM0	CR ISM20	CP ISM1	CR ISM11	CR ISM02	FFEDH	00H	R/W			
ISM1L	P ISM1	W ISM	CSI ISM1	CR ISM13	CR ISM50	CR ISM40	CR ISM30	UD ISM	FFEEH	00H	R/W			
割り込みサービス・モード・フラグ														
<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td>0</td><td>ベクタ割り込みで処理</td></tr> <tr> <td>1</td><td>マクロ・サービスで処理</td></tr> </table>											0	ベクタ割り込みで処理	1	マクロ・サービスで処理
0	ベクタ割り込みで処理													
1	マクロ・サービスで処理													

外部割り込みモード・レジスタ0 (INTM0)

7	6	5	4	3	2	1	0	アドレス	リセット時	R/W																				
INTM0	ES21	ES20	ES11	ES10	ES01	ES00	0	ESNMI	FFF4H	50H	R/W																			
割り込みモード・レジスタ0 (INTM0)																														
<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td>ESNMI</td><td>NMI端子入力検出エッジ指定</td></tr> <tr> <td>0</td><td>立ち下がリエッジ</td></tr> <tr> <td>1</td><td>立ち上がりエッジ</td></tr> </table>											ESNMI	NMI端子入力検出エッジ指定	0	立ち下がリエッジ	1	立ち上がりエッジ														
ESNMI	NMI端子入力検出エッジ指定																													
0	立ち下がリエッジ																													
1	立ち上がりエッジ																													
<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td>ES01</td><td>ES00</td><td>INTP0端子入力検出エッジ指定</td></tr> <tr> <td>0</td><td>0</td><td>立ち下がリエッジ</td></tr> <tr> <td>0</td><td>1</td><td>立ち上がりエッジ</td></tr> <tr> <td>1</td><td>0</td><td>設定禁止</td></tr> <tr> <td>1</td><td>1</td><td>立ち上がり、立ち下がり両エッジ</td></tr> </table>											ES01	ES00	INTP0端子入力検出エッジ指定	0	0	立ち下がリエッジ	0	1	立ち上がりエッジ	1	0	設定禁止	1	1	立ち上がり、立ち下がり両エッジ					
ES01	ES00	INTP0端子入力検出エッジ指定																												
0	0	立ち下がリエッジ																												
0	1	立ち上がりエッジ																												
1	0	設定禁止																												
1	1	立ち上がり、立ち下がり両エッジ																												
<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td>ES11</td><td>ES10</td><td>INTP1端子入力検出エッジ指定</td></tr> <tr> <td>0</td><td>0</td><td>立ち下がリエッジ</td></tr> <tr> <td>0</td><td>1</td><td>立ち上がりエッジ</td></tr> <tr> <td>1</td><td>0</td><td>設定禁止</td></tr> <tr> <td>1</td><td>1</td><td>立ち上がり、立ち下がり両エッジ</td></tr> </table>											ES11	ES10	INTP1端子入力検出エッジ指定	0	0	立ち下がリエッジ	0	1	立ち上がりエッジ	1	0	設定禁止	1	1	立ち上がり、立ち下がり両エッジ					
ES11	ES10	INTP1端子入力検出エッジ指定																												
0	0	立ち下がリエッジ																												
0	1	立ち上がりエッジ																												
1	0	設定禁止																												
1	1	立ち上がり、立ち下がり両エッジ																												
<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td>ES21</td><td>ES20</td><td>INTP2端子入力検出エッジ指定/CR40キャプチャトリガ指定</td><td>CR41キャプチャトリガ指定</td></tr> <tr> <td>0</td><td>0</td><td>立ち下がリエッジ</td><td>立ち上がりエッジ</td></tr> <tr> <td>0</td><td>1</td><td>立ち上がりエッジ</td><td>立ち下がリエッジ</td></tr> <tr> <td>1</td><td>0</td><td>設定禁止</td><td></td></tr> <tr> <td>1</td><td>1</td><td>立ち上がり、立ち下がり両エッジ</td><td>キャプチャしない</td></tr> </table>											ES21	ES20	INTP2端子入力検出エッジ指定/CR40キャプチャトリガ指定	CR41キャプチャトリガ指定	0	0	立ち下がリエッジ	立ち上がりエッジ	0	1	立ち上がりエッジ	立ち下がリエッジ	1	0	設定禁止		1	1	立ち上がり、立ち下がり両エッジ	キャプチャしない
ES21	ES20	INTP2端子入力検出エッジ指定/CR40キャプチャトリガ指定	CR41キャプチャトリガ指定																											
0	0	立ち下がリエッジ	立ち上がりエッジ																											
0	1	立ち上がりエッジ	立ち下がリエッジ																											
1	0	設定禁止																												
1	1	立ち上がり、立ち下がり両エッジ	キャプチャしない																											

★ 外部キャプチャ入力モード・レジスタ1 (INTM1)

	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
INTM1	0	ES CLR1	0	ES11	SEL UDS	SEL UD	ES10	1	FFF5H	01H	R/W

ES10	CTH10 入力 の 検出 エッジ 指定
0	立ち上がりエッジ
1	立ち上がり、立ち下がり両エッジ

SEL UD	アップ/ダウンカウンタのUP/DOWN指定
0	ダウン・カウント(ICRレジスタのビット0=0のとき)
1	アップ・カウント(ICRレジスタのビット0=0のとき)

SEL UDS	アップ/ダウンカウンタのカウント・ソース指定
0	CTH11 入力 の 有効 エッジ
1	EDVC 出力

ES11	CTH11 入力 の 検出 エッジ 指定
0	立ち下がりエッジ
1	立ち上がりエッジ

ES CLR1	CLR1 入力 の 有効 エッジ 指定
0	立ち下がりエッジ
1	立ち上がりエッジ

注意 外部キャプチャ・入力モード・レジスタ (INTM1) のビット6を書き換えることによってINTCLR1割り込み要求が発生することがあります。

★ マクロ・サービスのモードと割り込み要求ソース

マクロ・サービスのモード	マクロ・サービスを実行できる 割り込み要求ソース
データ転送モード	INTCS10 INTCS11 INTAD INTCR30 INTCR40 INTCR50 INTUDC
リアルタイム出力ポート0制御モード	INTCR01 INTCR02
カウンタ・モード	すべてのマスクابل割り込み要求
データ・パターン識別モード	INTCR12 INTCR30

ベクタ・テーブル・アドレス一覧

ベクタ・テーブル・アドレス	割り込み要求	ベクタ・テーブル・アドレス	割り込み要求
0000H	リセット	001AH	INTCR20
0002H	NMI	001CH	INTCS10
0004H	INTP0	001EH	INTTB
0006H	INTCPT3	0020H	INTAD
0008H	INTCPT2	0022H	INTP2
000AH	INTCR12	0024H	INTUDC
000CH	INTCR00	0026H	INTCR30
000EH	INTCLR1	0028H	INTCR40
0010H	INTCR10	002AH	INTCR50
0012H	INTCR01	002CH	INTCR13
0014H	INTCR02	002EH	INTCS11
0016H	INTCR11	0030H	INTW
0018H	INTCPT1	0032H	INTP1

★ マクロ・サービス・コントロール・ワードのアドレス

割り込みソース (マスクابل割り込み)	マクロ・サービス・コントロール・ワード	
	マクロ・サービス・モード・レジスタ	チャンネル・ポインタ
INTCPT3	FEDEH	FEDFH
INTCPT2	FEDCH	FEDDH
INTCR30	FEDA H	FEDBH
INTCR12	FED8 H	FED9 H
INTCR00	FED6 H	FED7 H
INTCLR1	FED4 H	FED5 H
INTCPT1	FED2 H	FED3 H
INTCS10	FED0 H	FED1 H
INTCR01	FECEH	FECFH
INTCR02	FECCH	FECDH
INTAD	FFCAH	FECBH
INTB	FEC8 H	FEC9 H
INTP0	FEC6 H	FEC7 H
INTCR10	FEC4 H	FEC5 H
INTCR11	FEC2 H	FEC3 H
INTCR20	FEC0 H	FEC1 H
INTP2	FEBEH	FEBFH
INTUDC	FFBCH	FEBDH
INTCR40	FEBAH	FEBBH
INTCR50	FEB8 H	FEB9 H
INTCR13	FEB6 H	FEB7 H
INTCS11	FEB4 H	FEB5 H
INTW	FEB2 H	FEB3 H
INTP1	FEB0 H	FEB1 H

★ マクロ・サービス・モード・レジスタ

7	6	5	4	3	2	1	0
CH2	CH1	CH0	0	MOD3	MOD2	MOD1	MOD0

CH0	0	0→転送後、タイム用マクロ・サービス・ポインタを保持 1→転送後、タイム用マクロ・サービス・ポインタ(10位)をクリア	0	0
CH1	1		0	0
CH2	0		0	1

MOD3	MOD2	MOD1	MOD0	データ転送モード	リアルタイム出力ポート0制御モード	カウンタ・モード	データ・パターン識別モード
0	0	0	0	メモリからSFRへのデータ転送			
0	0	0	1	SFRからメモリへのデータ転送			
1	0	0	0		リング制御なし	データ転送のみ ト位4ビット P00-P03 上位4ビット P04-P07	データ・パターン識別モード シフトのみ 比較有り
1	0	0	1			自動加算つき ト位4ビット P00-P03 上位4ビット P04-P07	
1	0	1	0			データ転送のみ ト位4ビット P00-P03 上位4ビット P04-P07	
1	1	0	0			自動加算つき ト位4ビット P00-P03 上位4ビット P04-P07	
1	1	0	1			データ転送のみ ト位4ビット P00-P03 上位4ビット P04-P07	
1	1	1	0			自動加算つき ト位4ビット P00-P03 上位4ビット P04-P07	
1	1	1	1			データ転送のみ ト位4ビット P00-P03 上位4ビット P04-P07	

6. リアルタイム出力ポート

★ リアルタイム出力ポート・コントロール・レジスタ(RTPC)

		7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
RTPC	BYTE	0	0	PMNH	0	0	0	PMNL		FF4CH	00H	R/W

PMNL	POLの機能の指定
0	ポート・モード
1	リアルタイム出力ポート・モード

PMNH	POHの機能指定
0	ポート・モード
1	リアルタイム出力ポート・モード

BYTE	リアルタイム出力ポートの動作モード
0	4ビット・セバレート・リアルタイム出力ポート
1	8ビット・リアルタイム出力ポート

★ トリガ・ソース選択レジスタ (TRGS)

		7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TRGS	AD TRG1	AD TRG0	PbL TRG1	PbL TRG0	PIH TRG1	PIH TRG0	PIL TRG1	PIL TRG0		FF4DH	00H	R/W

xxx TRG1	xxx TRG0	出力トリガ/A/D変換開始ソース(xxx=PIL, PIH)
0	0	タイマ0-コンペア・レジスタ00-致信号
0	1	タイマ0-コンペア・レジスタ02-致信号
1	0	タイマ1-コンペア・レジスタ13-致信号
1	1	タイマ5-コンペア・レジスタ50-致信号

7. ポート

ポート0モード・レジスタ(PM0)

		7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	PM07	PM06	PM05	PM04	PM03	PM02	PM01	PM00		FF20H	FFH	W

PM0n	P0n端子モード指定 (n=0-7)
00H	出力モード(出力バッファ・オン)
FFH	ハイインピーダンス状態(出力バッファ・オフ)
上記以外	設定禁止

ポート1モード・レジスタ(PM1)

		7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10		FF21H	FFH	W

PM1n	P1n端子モード指定(n=0-7)
0	出力モード(出力バッファ・オン)
1	入力モード(出力バッファ・オフ)

ポート3モード・レジスタ(PM3)

		7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM3	PM37	PM36	1	1	PM33	PM32	PM31	PM30		FF23H	FFH	W

PM3n	P1n端子モード指定(n=0-3)
0	出力モード(出力バッファ・オン)
1	入力モード(出力バッファ・オフ)

メモリ・マッピング・レジスタ (MM)

		7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
MM		0	0	0	0	0	0	0	MM0	FFC4H	A0H	W

MM0	P4端子入出力モード指定
0	入力モード
1	出力モード

ポート5モード・レジスタ (PM5)

		7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50		FF25H	FFH	W

PM5n	P5n端子の入出力指定 (n=0-7)
0	出力モード(出力バッファ・オン)
1	入力モード(出力バッファ・オフ)

ポート6モード・レジスタ (PM6)

		7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM6	PM67	PM66	PM65	PM64	0	0	0	0		FF26H	F0H	W

PM6n	P6n端子の入出力指定 (n=4-7)
0	出力モード(出力バッファ・オン)
1	入力モード(出力バッファ・オフ)

ポート8モード・レジスタ (PM8)

		7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM8	1	1	PM85	PM84	PM83	PM82	PM81	PM80		FF28H	FFH	W

PM8n	P8n端子モード (n=0-5)
0	出力モード(出力バッファ・オン)
1	入力モード(出力バッファ・オフ)

プルアップ抵抗オプション・レジスタ (PUO)

		7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PUO	0	PUO6	PUO5	PUO4	PUO3	PUO2	PUO1	PUO0		FF40H	00H	R/W

PUO _n	ポートnのプルアップ抵抗の指定 (n=1-6, 8)
0	ポートnにプルアップ抵抗を付けない
1	ポートnにプルアップ抵抗を付ける

ポート1モード・コントロール・レジスタ (PMC1)

		7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PMC1	PMC17	PMC16	PMC15	PMC14	PMC13	PMC12	PMC11	PMC10		FF41H	00H	R/W

PMC1n	P1n出力モード (n=0-7)
0	ポート・モード
1	リアルタイム出力ポート・モード

保守/廃止

ポート3モード・コントロール・レジスタ (PMC3)

★ PMC3

7	6	5	4	3	2	1	0
PMC37	PMC36	1	1	PMC33	PMC32	PMC31	PMC30

 アドレス リセット時 R/W
 FF43H 30H R/W

PMC3n	P3n端子のコントロール・モード指定 (n=0-3)
0	入出力ポート・モード
1	PTO出力モード
PMC36	P36端子のコントロール・モード指定
0	入出力ポート・モード
1	SO/SB0入出力モード
PMC37	P37端子のコントロール・モード指定
0	入出力ポート・モード
1	SCK入出力モード

内蔵メモリ・サイズ切り替えレジスタ (IMS)

IMS

7	6	5	4	3	2	1	0
ROM3	ROM2	ROM1	ROM0	RAM3	RAM2	RAM1	RAM0

 アドレス リセット時 R/W
 FFCFH FEH W

RAM3	RAM2	RAM1	RAM0	内部RAMサイズ
1	1	1	0	816バイト
1	1	0	1	688バイト
上記以外				設定禁止

ROM3	ROM2	ROM1	ROM0	内部ROMサイズ
1	1	1	1	32768バイト
1	1	1	0	24576バイト
上記以外				設定禁止

注意 内蔵メモリ・サイズ切り替えレジスタ (IMS) は、 μ PD78P148 にのみ内蔵しています。

ポート8モード・コントロール・レジスタ (PMC8)

PMC8

7	6	5	4	3	2	1	0
1	1	PMC85	PMC84	PMC83	PMC82	PMC81	PMC80

 アドレス リセット時 R/W
 FF48H C0H R/W

PMC8n	P8n出力モード (n=0, 1)
0	ポート・モード
1	リアルタイム出力ポート・モード
PMC8n	P8n出力モード (n=2-5)
0	ポート・モード
1	PWM出力モード

ポート9モード・コントロール・レジスタ (PMC9)

PMC9

7	6	5	4	3	2	1	0
0	0	1	PMC94	PMC93	1	1	1

 アドレス リセット時 R/W
 FF49H 00100111 W

PMC9n	P9出力モード (n=3, 4)
0	ポート・モード
1	シリアル・インタフェース1入出力モード

クロック出力モード・レジスタ (CLOM)

CLOM

7	6	5	4	3	2	1	0
0	0	0	CLE	0	0	FS1	FS0

 アドレス リセット時 R/W
 FF7FH 00H R/W

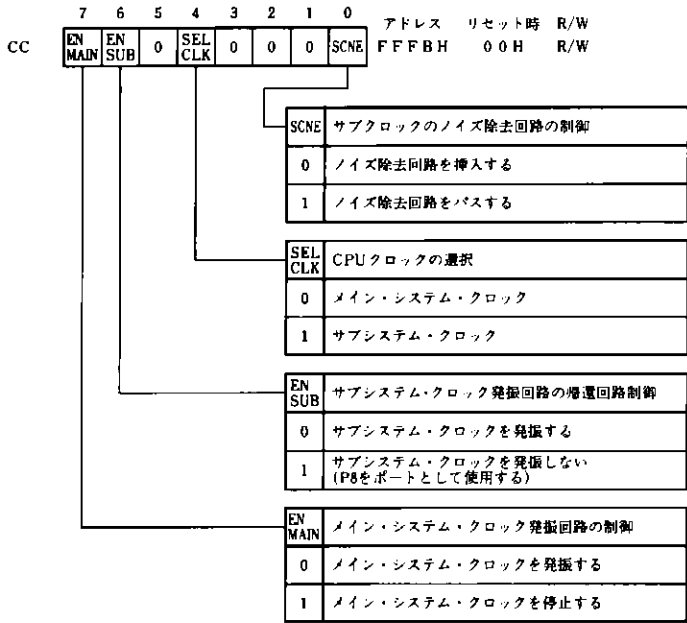
FS1	FS0	クロック出力周波数指定 (12MHz時)
0	0	$f_{CLK}/2$ (3.0MHz)
0	1	$f_{CLK}/4$ (1.5MHz)
1	0	$f_{CLK}/8$ (750kHz)
1	1	$f_{CLK}/16$ (375kHz)

$f_{CLK} = \frac{1}{2}$ (発振周波数) : システム・クロック周波数

CLE	CLO端子クロック出力許可
0	ロウ・レベル
1	許可, 出力周波数はFS1, FS0ビットで指定

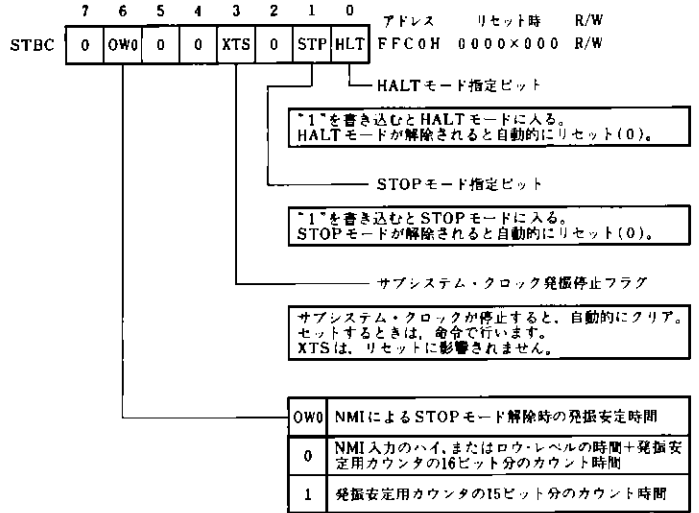
★ 8. クロック発生回路

クロック・コントロール・レジスタ (CC)



9. CPU制御

スタンバイ・コントロール・レジスタ (STBC)



本製品のうち、外国為替および外国貿易管理法の規定により戦略物資等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

本文欄外の★印は、本版で改訂された主な箇所を示しています。