

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

3054Yサブシリーズ特殊機能レジスタ活用表

(適用品種: μ PD78052, 78053, 78054, 78P054, 78055, 78056, 78058, 78P058)
μ PD78052Y, 78053Y, 78054Y, 78055Y, 78056Y, 78058Y, 78P058Y)

★

特殊機能レジスタ (SFR) 一覧 (1/2)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット単位			リセット時
				1ビット	8ビット	16ビット	
FF00H	ポート0	P0	R/W			—	00H
FF01H	ポート1	P1				—	
FF02H	ポート2	P2				—	
FF03H	ポート3	P3				—	
FF04H	ポート4	P4				—	不定
FF05H	ポート5	P5				—	
FF06H	ポート6	P6				—	
FF07H	ポート7	P7				—	00H
FF0CH	ポート12	P12				—	
FF0DH	ポート13	P13				—	
FF10H	キャプチャ/コンペア・レジスタ00	CR00		—	—		不定
FF11H							
FF12H	キャプチャ/コンペア・レジスタ01	CR01		—	—		
FF13H							
FF14H	16ビット・タイマ・レジスタ	TM0	R	—	—		00H
FF15H							
FF16H	コンペア・レジスタ10	CR10	R/W	—	—		不定
FF17H	コンペア・レジスタ20	CR20		—	—		
FF18H	8ビット・タイマ・レジスタ1	TMS	TM1	R	—		00H
FF19H	8ビット・タイマ・レジスタ2		TM2		—		
FF1AH	シリアルI/Oソフト・レジスタ0	SIO0	R/W	—	—		不定
FF1BH	シリアルI/Oソフト・レジスタ1	SIO1		—	—		
FF1FH	A/D変換結果レジスタ	ADCR	R	—	—		
FF20H	ポート・モード・レジスタ0	PM0	R/W			—	FFH
FF21H	ポート・モード・レジスタ1	PM1				—	
FF22H	ポート・モード・レジスタ2	PM2				—	
FF23H	ポート・モード・レジスタ3	PM3				—	
FF25H	ポート・モード・レジスタ5	PM5				—	
FF26H	ポート・モード・レジスタ6	PM6				—	
FF27H	ポート・モード・レジスタ7	PM7				—	
FF2CH	ポート・モード・レジスタ12	PM12				—	
FF2DH	ポート・モード・レジスタ13	PM13				—	
FF30H	リアルタイム出力バッファ・レジスタL	RTBL		—	—		00H
FF31H	リアルタイム出力バッファ・レジスタH	RTBH		—	—		
FF34H	リアルタイム出力ポート・モード・レジスタ	RTPM				—	
FF36H	リアルタイム出力ポート・コントロール・レジスタ	RTPC				—	
FF38H	コレクション・アドレス・レジスタ0 注1	CORAD0		—	—		0000H
FF39H							
FF3AH	コレクション・アドレス・レジスタ1 注1	CORAD1		—	—		
FF3BH							
FF40H	タイマ・クロック選択レジスタ0	TCL0				—	00H
FF41H	タイマ・クロック選択レジスタ1	TCL1		—	—		
FF42H	タイマ・クロック選択レジスタ2	TCL2		—	—		
FF43H	タイマ・クロック選択レジスタ3	TCL3		—	—		88H

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット単位			リセット時
				1ビット	8ビット	16ビット	
FF47H	サンプリング・クロック選択レジスタ	SCS	R/W	—		—	00H
FF48H	16ビット・タイマ・モード・コントロール・レジスタ	TMC0				—	
FF49H	8ビット・タイマ・モード・コントロール・レジスタ1	TMC1				—	
FF4AH	時計用タイマ・モード・コントロール・レジスタ	TMC2				—	
FF4CH	キャプチャ/コンペア・コントロール・レジスタ0	CRC0				—	04H
FF4EH	16ビット・タイマ出力コントロール・レジスタ	TOC0				—	00H
FF4FH	8ビット・タイマ出力コントロール・レジスタ	TOC1				—	
FF60H	シリアル動作モード・レジスタ0	CSIM0				—	
FF61H	シリアル・バス・インタフェース・コントロール・レジスタ	SBIC				—	
FF62H	スLEEP・アドレス・レジスタ	SVA		—		—	不定
FF63H	割り込みタイミング指定レジスタ	SINT				—	00H
FF68H	シリアル動作モード・レジスタ1	CSIM1				—	
FF69H	自動データ送受信コントロール・レジスタ	ADTC				—	
FF6AH	自動データ送受信アドレス・ポインタ	ADTP		—		—	
FF6BH	自動データ送受信間隔指定レジスタ	ADTI				—	
FF70H	アシンクロナス・シリアル・インタフェース・モード・レジスタ	ASIM				—	
FF71H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ	ASIS	R	—		—	
FF72H	シリアル動作モード・レジスタ2	CSIM2	R/W			—	
FF73H	ポー・レート・ジェネレータ・コントロール・レジスタ	BRGC		—		—	
FF74H	送信シフト・レジスタ	TXS	SIO2	W	—	—	FFH
	受信バッファ・レジスタ	RXB		R			
FF80H	A/Dコンバータ・モード・レジスタ	ADM	R/W			—	01H
FF84H	A/Dコンバータ入力選択レジスタ	ADIS		—		—	00H
FF8AH	コレクション・コントロール・レジスタ 注1	CORCN				—	
FF90H	D/A変換値設定レジスタ0	DACS0		—		—	
FF91H	D/A変換値設定レジスタ1	DACS1		—		—	
FF98H	D/Aコンバータ・モード・レジスタ	DAM				—	
FFD0H	外部アクセス領域 注2					—	不定
FFDFH							
FFE0H	割り込み要求フラグ・レジスタ0L	IF0		IF0L			00H
FFE1H	割り込み要求フラグ・レジスタ0H			IF0H			
FFE2H	割り込み要求フラグ・レジスタ1L	IF1L					—
FFE4H	割り込みマスク・フラグ・レジスタ0L	MK0		MK0L			FFH
FFE5H	割り込みマスク・フラグ・レジスタ0H			MK0H			
FFE6H	割り込みマスク・フラグ・レジスタ1L	MK1L					—
FFE8H	優先順位指定フラグ・レジスタ0L	PR0		PR0L			
FFE9H	優先順位指定フラグ・レジスタ0H			PR0H			
FFEAH	優先順位指定フラグ・レジスタ1L	PR1L					—
FFECH	外部割り込みモード・レジスタ0	INTM0		—		—	00H
FFEDH	外部割り込みモード・レジスタ1	INTM1		—		—	

注1. μ PD78058, 78P058, 78058Y, 78P058Yのみ内蔵しています。
注2. 外部アクセス領域は、SFRアドレッシングではアクセスできません。ダイレクト・アドレッシングでアクセスしてください。

本資料の内容は、後日変更する場合があります。

本文欄外の★印は、本版で改訂された主な箇所を示しています。

特殊機能レジスタ (SFR) 一覧 (2/2)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット単位			リセット時
				1ビット	8ビット	16ビット	
FFF0H	メモリ・サイズ切り替えレジスタ	IMS	R/W	—	—	—	注1
FFF2H	発振モード選択レジスタ	OSMS	W	—	—	—	00H
FFF3H	ブルアップ抵抗オプション・レジスタH	PUOH	R/W	—	—	—	—
FFF4H	内部拡張RAMサイズ切り替えレジスタ 注2	IXS	W	—	—	—	0AH
FFF6H	キー・リターン・モード・レジスタ	KRM	R/W	—	—	—	02H
FFF7H	ブルアップ抵抗オプション・レジスタL	PUOL	—	—	—	—	00H
FFF8H	メモリ拡張モード・レジスタ	MM	—	—	—	—	10H
FFF9H	ウォッチドッグ・タイマ・モード・レジスタ	WDTM	—	—	—	—	00H
FFFAH	発振安定時間選択レジスタ	OSTS	—	—	—	—	04H
FFFBH	プロセッサ・クロック・コントロール・レジスタ	PCC	—	—	—	—	—

注1. リセット時の値は製品によって異なります。

- μPD78052, 78052Y: 44H, μPD78053, 78053Y: C6H,
 - μPD78054, 78P054, 78054Y: C8H, μPD78055, 78055Y: CAH,
 - μPD78056, 78056Y: CCH, μPD78058, 78P058, 78058Y, 78P058Y: CFH
- マスクROM製品を使用する場合、リセット時の値以外を設定しないでください。
ただし、μPD78058, 78058Yで外部デバイス拡張機能を使用するときは除きます。

2. μPD78058, 78P058, 78058Y, 78P058Yのみ内蔵しています。

1. ポート

ポート・モード・レジスタ (PMm: m = 0-3, 5-7, 12, 13)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	PM06	PM05	PM04	PM03	PM02	PM01	1	FF20H	FFH	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FF21H	FFH	R/W
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FF22H	FFH	R/W
PM3	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30	FF23H	FFH	R/W
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50	FF25H	FFH	R/W
PM6	PM67	PM66	PM65	PM64	PM63	PM62	PM61	PM60	FF26H	FFH	R/W
PM7	1	1	1	1	1	PM72	PM71	PM70	FF27H	FFH	R/W
PM12	PM127	PM126	PM125	PM124	PM123	PM122	PM121	PM120	FF2CH	FFH	R/W
PM13	1	1	1	1	1	1	PM131	PM130	FF2DH	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 0-3, 5-7, 12, 13; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

注意1. P00, P07は、入力専用端子です。

2. ポート0は、外部割り込み要求入力と兼用になっているため、ポート機能の出力モードを設定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。
3. P40-P47端子の入力/出力の設定は、メモリ拡張モード・レジスタ (MM) で行います。
4. P07, P10-P17, P130, P131の兼用機能を使用しているときに、これらのポートに対して読み出し命令を実行した場合、読み出したデータは不定になります。
5. メモリ拡張モード時で外部ウエイトを使用しないときは、P66端子を入出力ポートとして使用できます。
6. ポート端子を兼用機能の端子として使用する場合、その兼用機能が出力のときは、PMm, 出力ラッチに0を設定してください (m = 0-3, 5-7, 12)。ただし、ポート2, ポート7をシリアル・インタフェースの端子として使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については、5. シリアル・インタフェースを参照してください。また、ポート13をD/Aコンバータの出力として使用する場合は、PM130, PM131に1を設定してください。なお、D/Aコンバータ使用時、出力ラッチの設定は必要ありません。

ブルアップ抵抗オプション・レジスタ (PUOH, PUOL)

略号	7	6	⑤	④	3	2	1	0	アドレス	リセット時	R/W
PUOH	0	0	PUO13	PUO12	0	0	0	0	FFF3H	00H	R/W
PUOL	⑦	⑥	⑤	④	③	②	①	①	FFF7H	00H	R/W
	PUO7	PUO6	PUO5	PUO4	PUO3	PUO2	PUO1	PUO0			

PUOm	Pmの内蔵ブルアップ抵抗の選択 (m = 0-7, 12, 13)
0	内蔵ブルアップ抵抗を使用しない
1	内蔵ブルアップ抵抗を使用する

注意1. PUOHのビット0-3, 6, 7には、0を設定してください。

2. P00, P07端子は、ブルアップ抵抗を内蔵していません。
3. ポート1, 4, 5, P64-P67端子をポートとしてではなく、兼用機能を使用するとき、PUOmに1を設定してもブルアップ抵抗を使用できません (m = 1, 4-6)。
4. P60-P63端子は、マスクROM製品のみマスク・オプションでブルアップ抵抗を使用できます。

2. A/Dコンバータ

A/Dコンバータ・モード・レジスタ (ADM)

略号	⑦	⑥	5	4	3	2	1	0	アドレス	リセット時	R/W
ADM	CS	TRG	FR1	FR0	ADM3	ADM2	ADM1	HSC	FF80H	01H	R/W

ADM3	ADM2	ADM1	アナログ入力チャネルの選択			
0	0	0	ANI0			
0	0	1	ANI1			
0	1	0	ANI2			
0	1	1	ANI3			
1	0	0	ANI4			
1	0	1	ANI5			
1	1	0	ANI6			
1	1	1	ANI7			

FR1	FR0	HSC	A/D変換時間の選択 注1			
			fx = 5.0 MHz動作時		fx = 4.19 MHz動作時	
			MCS = 1	MCS = 0	MCS = 1	MCS = 0
0	0	1	80/fx (設定禁止 注2)	160/fx (32.0 μs)	80/fx (19.1 μs)	160/fx (38.1 μs)
0	1	1	40/fx (設定禁止 注2)	80/fx (設定禁止 注2)	40/fx (設定禁止 注2)	80/fx (19.1 μs)
1	0	0	50/fx (設定禁止 注2)	100/fx (20.0 μs)	50/fx (設定禁止 注2)	100/fx (23.8 μs)
1	0	1	100/fx (20.0 μs)	200/fx (40.0 μs)	100/fx (23.8 μs)	200/fx (47.7 μs)
上記以外			設定禁止			

TRG	外部トリガの選択
0	外部トリガなし (ソフトウェア・スタート)
1	外部トリガにより変換開始 (ハードウェア・スタート)

CS	A/D変換動作の制御
0	動作停止
1	動作開始

- 注1. A/D変換時間が19.1 μs以上になるように設定してください。
 2. A/D変換時間が19.1 μs未満となりますので、設定禁止です。

- 注意1. スタンバイ機能使用時にA/Dコンバータ部の消費電力を低減させるためには、ビット7 (CS) を0にクリアし、A/D変換動作を停止させてから、HALT命令またはSTOP命令を実行してください。
 2. 停止しているA/D変換動作を再開するときは、割り込み要求フラグ (ADIF) を0にクリアしたのちにA/D変換動作を開始してください。

- 備考1. fx : メイン・システム・クロック発振周波数
 2. MCS : 発振モード選択レジスタ (OSMS) のビット0

A/Dコンバータ入力選択レジスタ (ADIS)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ADIS	0	0	0	0	ADIS3	ADIS2	ADIS1	ADIS0	FF84H	00H	R/W

ADIS3	ADIS2	ADIS1	ADIS0	アナログ入力チャネル数の選択
0	0	0	0	アナログ入力チャネルなし (P10-P17)
0	0	0	1	1チャネル (ANI0, P11-P17)
0	0	1	0	2チャネル (ANI0, ANI1, P12-P17)
0	0	1	1	3チャネル (ANI0-ANI2, P13-P17)
0	1	0	0	4チャネル (ANI0-ANI3, P14-P17)
0	1	0	1	5チャネル (ANI0-ANI4, P15-P17)
0	1	1	0	6チャネル (ANI0-ANI5, P16,P17)
0	1	1	1	7チャネル (ANI0-ANI6, P17)
1	0	0	0	8チャネル (ANI0-ANI7)
上記以外				設定禁止

- 注意1. アナログ入力のチャネルは、次の順序で設定してください。
 ADISでアナログ入力のチャネル数を設定します。
 ADISでアナログ入力として設定したチャネルのうち、A/D変換するチャネルをA/Dコンバータ・モード・レジスタ (ADM) で1チャネル選択します。
 2. ADISでアナログ入力として設定したチャネルでは、プルアップ抵抗オプション・レジスタL (PUOL) のビット1 (PUO1) の値にかかわらず、内蔵プルアップ抵抗が使用されません。

3. D/Aコンバータ

D/Aコンバータ・モード・レジスタ (DAM)

略号	7	6	5	4	3	2	①	②	アドレス	リセット時	R/W
DAM	0	0	DAM5	DAM4	0	0	DACE1	DACE0	FF98H	00H	R/W

DACE0	D/Aコンバータ・チャネル0の制御
0	D/A変換動作停止
1	D/A変換動作許可

DACE1	D/Aコンバータ・チャネル1の制御
0	D/A変換動作停止
1	D/A変換動作許可

DAM4	D/Aコンバータ・チャネル0の動作モード
0	通常モード
1	リアルタイム出力モード

DAM5	D/Aコンバータ・チャネル1の動作モード
0	通常モード
1	リアルタイム出力モード

- 注意1. D/Aコンバータを使用するときには、兼用ポート端子を入力モードに設定するとともに、プルアップ抵抗を切断してください。
 2. ビット2, 3, 6, 7には、必ず0を設定してください。
 3. D/A変換動作停止時の出力は、ハイ・インピーダンス状態になります。
 4. リアルタイム出力モード時の出力トリガは、チャネル0ではINTTM1, チャネル1ではINTTM2です。

4. タイマ

タイマ・クロック選択レジスタ0 (TCL0)

略号 ⑦ 6 5 4 3 2 1 0 アドレス リセット時 R/W
 TCL0 CLOE TCL06 TCL05 TCL04 TCL03 TCL02 TCL01 TCL00 FF40H 00H R/W

TCL03	TCL02	TCL01	TCL00	PCL出力のクロックの選択		
				MCS = 1		MCS = 0
0	0	0	0	f _{XT} (32.768 kHz)		
0	1	0	1	f _{XX}	f _X (5.0 MHz)	f _{X/2} (2.5 MHz)
0	1	1	0	f _{XX/2}	f _{X/2} (2.5 MHz)	f _{X/2} ² (1.25 MHz)
0	1	1	1	f _{XX/2} ²	f _{X/2} ² (1.25 MHz)	f _{X/2} ² (625 kHz)
1	0	0	0	f _{XX/2} ⁴	f _{X/2} ³ (625 kHz)	f _{X/2} ⁴ (313 kHz)
1	0	0	1	f _{XX/2} ⁴	f _{X/2} ⁴ (313 kHz)	f _{X/2} ⁵ (156 kHz)
1	0	1	0	f _{XX/2} ⁵	f _{X/2} ⁵ (156 kHz)	f _{X/2} ⁶ (78.1 kHz)
1	0	1	1	f _{XX/2} ⁶	f _{X/2} ⁶ (78.1 kHz)	f _{X/2} ⁷ (39.1 kHz)
1	1	0	0	f _{XX/2} ⁷	f _{X/2} ⁷ (39.1 kHz)	f _{X/2} ⁸ (19.5 kHz)
上記以外				設定禁止		

TCL06	TCL05	TCL04	16ビット・タイマ・レジスタのカウンタ・クロックの選択		
			MCS = 1		MCS = 0
0	0	0	TI00 (有効エッジ指定可能)		
0	0	1	2f _{XX}	設定禁止	f _X (5.0 MHz)
0	1	0	f _{XX}	f _X (5.0 MHz)	f _{X/2} (2.5 MHz)
0	1	1	f _{XX/2}	f _{X/2} (2.5 MHz)	f _{X/2} ² (1.25 MHz)
1	0	0	f _{XX/2} ²	f _{X/2} ² (1.25 MHz)	f _{X/2} ³ (625 kHz)
1	1	1	時計用タイマ出力 (INTTM3)		
上記以外			設定禁止		

CLOE	PCL出力の制御	
0	出力禁止	
1	出力許可	

- 注意 1** . TI00/INTP0端子の有効エッジは、外部割り込みモード・レジスタ0 (INTM0) で設定します。また、サンプリング・クロックの周波数の選択は、サンプリング・クロック選択レジスタ (SCS) で選択します。
- 2** . PCL出力を許可するときは、TCL00-TCL03を設定したのち、1ビット・メモリ操作命令でCLOEに1を設定してください。
- 3** . TM0のカウンタ・クロックにTI00を指定しているとき、カウンタ値を読み出す場合には、キャプチャ/コンペア・レジスタ01 (CR01) からではなく、TM0から読み出してください。
- 4** . TCL0を同一データ以外に書き換える場合は、いったんタイマ動作を停止させたのちに書き換えてください。

- 備考 1** . f_{XX} : メイン・システム・クロック周波数 (f_Xまたはf_{X/2})
- 2** . f_X : メイン・システム・クロック発振周波数
- 3** . f_{XT} : サブシステム・クロック発振周波数
- 4** . TI00 : 16ビット・タイマ/イベント・カウンタの入力端子
- 5** . TM0 : 16ビット・タイマ・レジスタ
- 6** . MCS : 発振モード選択レジスタ (OSMS) のビット 0
- 7** . () 内は、f_X = 5.0 MHzまたはf_{XT} = 32.768 kHz動作時。

タイマ・クロック選択レジスタ1 (TCL1)

略号 7 6 5 4 3 2 1 0 アドレス リセット時 R/W
 TCL1 TCL17 TCL16 TCL15 TCL14 TCL13 TCL12 TCL11 TCL10 FF41H 00H R/W

TCL13	TCL12	TCL11	TCL10	8ビット・タイマ・レジスタ1のカウンタ・クロックの選択		
				MCS = 1		MCS = 0
0	0	0	0	TI1の立ち下がりエッジ		
0	0	0	1	TI1の立ち上がりエッジ		
0	1	1	0	f _{XX/2}	f _{X/2} (2.5 MHz)	f _{X/2} ² (1.25 MHz)
0	1	1	1	f _{XX/2} ²	f _{X/2} ² (1.25 MHz)	f _{X/2} ³ (625 kHz)
1	0	0	0	f _{XX/2} ³	f _{X/2} ³ (625 kHz)	f _{X/2} ⁴ (313 kHz)
1	0	0	1	f _{XX/2} ⁴	f _{X/2} ⁴ (313 kHz)	f _{X/2} ⁵ (156 kHz)
1	0	1	0	f _{XX/2} ⁵	f _{X/2} ⁵ (156 kHz)	f _{X/2} ⁶ (78.1 kHz)
1	0	1	1	f _{XX/2} ⁶	f _{X/2} ⁶ (78.1 kHz)	f _{X/2} ⁷ (39.1 kHz)
1	1	0	0	f _{XX/2} ⁷	f _{X/2} ⁷ (39.1 kHz)	f _{X/2} ⁸ (19.5 kHz)
1	1	0	1	f _{XX/2} ⁸	f _{X/2} ⁸ (19.5 kHz)	f _{X/2} ⁹ (9.8 kHz)
1	1	1	0	f _{XX/2} ⁹	f _{X/2} ⁹ (9.8 kHz)	f _{X/2} ¹⁰ (4.9 kHz)
1	1	1	1	f _{XX/2} ¹¹	f _{X/2} ¹¹ (2.4 kHz)	f _{X/2} ¹² (1.2 kHz)
上記以外				設定禁止		

TCL17	TCL16	TCL15	TCL14	8ビット・タイマ・レジスタ2のカウンタ・クロックの選択		
				MCS = 1		MCS = 0
0	0	0	0	TI2の立ち下がりエッジ		
0	0	0	1	TI2の立ち上がりエッジ		
0	1	1	0	f _{XX/2}	f _{X/2} (2.5 MHz)	f _{X/2} ² (1.25 MHz)
0	1	1	1	f _{XX/2} ²	f _{X/2} ² (1.25 MHz)	f _{X/2} ³ (625 kHz)
1	0	0	0	f _{XX/2} ³	f _{X/2} ³ (625 kHz)	f _{X/2} ⁴ (313 kHz)
1	0	0	1	f _{XX/2} ⁴	f _{X/2} ⁴ (313 kHz)	f _{X/2} ⁵ (156 kHz)
1	0	1	0	f _{XX/2} ⁵	f _{X/2} ⁵ (156 kHz)	f _{X/2} ⁶ (78.1 kHz)
1	0	1	1	f _{XX/2} ⁶	f _{X/2} ⁶ (78.1 kHz)	f _{X/2} ⁷ (39.1 kHz)
1	1	0	0	f _{XX/2} ⁷	f _{X/2} ⁷ (39.1 kHz)	f _{X/2} ⁸ (19.5 kHz)
1	1	0	1	f _{XX/2} ⁸	f _{X/2} ⁸ (19.5 kHz)	f _{X/2} ⁹ (9.8 kHz)
1	1	1	0	f _{XX/2} ⁹	f _{X/2} ⁹ (9.8 kHz)	f _{X/2} ¹⁰ (4.9 kHz)
1	1	1	1	f _{XX/2} ¹¹	f _{X/2} ¹¹ (2.4 kHz)	f _{X/2} ¹² (1.2 kHz)
上記以外				設定禁止		

注意 TCL1を同一データ以外に書き換える場合は、いったんタイマ動作を停止させたのちに行ってください。

- 備考 1** . f_{XX} : メイン・システム・クロック周波数 (f_Xまたはf_{X/2})
- 2** . f_X : メイン・システム・クロック発振周波数
- 3** . TI1 : 8ビット・タイマ・レジスタ1の入力端子
- 4** . TI2 : 8ビット・タイマ・レジスタ2の入力端子
- 5** . MCS : 発振モード選択レジスタ (OSMS) のビット 0
- 6** . () 内は、f_X = 5.0 MHz動作時。

タイマ・クロック選択レジスタ 2 (TCL2)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL2	TCL27	TCL26	TCL25	TCL24	0	TCL22	TCL21	TCL20	FF42H	00H	R/W

TCL22	TCL21	TCL20	ウォッチドッグ・タイマのカウンタ・クロックの選択		
			MCS = 1		MCS = 0
0	0	0	$f_{\text{ox}}/2^3$	$f_{\text{v}}/2^3$ (625 kHz)	$f_{\text{v}}/2^4$ (313 kHz)
0	0	1	$f_{\text{ox}}/2^4$	$f_{\text{v}}/2^4$ (313 kHz)	$f_{\text{v}}/2^5$ (156 kHz)
0	1	0	$f_{\text{ox}}/2^5$	$f_{\text{v}}/2^5$ (156 kHz)	$f_{\text{v}}/2^6$ (78.1 kHz)
0	1	1	$f_{\text{ox}}/2^6$	$f_{\text{v}}/2^6$ (78.1 kHz)	$f_{\text{v}}/2^7$ (39.1 kHz)
1	0	0	$f_{\text{ox}}/2^7$	$f_{\text{v}}/2^7$ (39.1 kHz)	$f_{\text{v}}/2^8$ (19.5 kHz)
1	0	1	$f_{\text{ox}}/2^8$	$f_{\text{v}}/2^8$ (19.5 kHz)	$f_{\text{v}}/2^9$ (9.8 kHz)
1	1	0	$f_{\text{ox}}/2^9$	$f_{\text{v}}/2^9$ (9.8 kHz)	$f_{\text{v}}/2^{10}$ (4.9 kHz)
1	1	1	$f_{\text{ox}}/2^{11}$	$f_{\text{v}}/2^{11}$ (2.4 kHz)	$f_{\text{v}}/2^{12}$ (1.2 kHz)

TCL24	時計用タイマのカウンタ・クロックの選択		
	MCS = 1		MCS = 0
0	$f_{\text{ox}}/2^7$	$f_{\text{v}}/2^7$ (39.1 kHz)	$f_{\text{v}}/2^8$ (19.5 kHz)
1	f_{xt} (32.768 kHz)		

TCL27	TCL26	TCL25	ブザー出力の周波数の選択		
			MCS = 1		MCS = 0
0	x	x	ブザー出力禁止		
1	0	0	$f_{\text{ox}}/2^9$	$f_{\text{v}}/2^9$ (9.8 kHz)	$f_{\text{v}}/2^{10}$ (4.9 kHz)
1	0	1	$f_{\text{ox}}/2^{10}$	$f_{\text{v}}/2^{10}$ (4.9 kHz)	$f_{\text{v}}/2^{11}$ (2.4 kHz)
1	1	0	$f_{\text{ox}}/2^{11}$	$f_{\text{v}}/2^{11}$ (2.4 kHz)	$f_{\text{v}}/2^{12}$ (1.2 kHz)
1	1	1	設定禁止		

注意 TCL2を同一データ以外に書き換える場合は、いったんタイマ動作を停止させたのちに行ってください。

- 備考 1. f_{ox} : メイン・システム・クロック周波数 (f_x または $f_x/2$)
 2. f_x : メイン・システム・クロック発振周波数
 3. f_{xt} : サブシステム・クロック発振周波数
 4. x : don't care
 5. MCS : 発振モード選択レジスタ (OSMS) のビット 0
 6. () 内は、 $f_x = 5.0$ MHzまたは $f_{\text{xt}} = 32.768$ kHz動作時。

16ビット・タイマ・モード・コントロール・レジスタ (TMC0)

略号	7	6	5	4	3	2	1	①	アドレス	リセット時	R/W
TMC0	0	0	0	0	TMC03	TMC02	TMC01	OVF0	FF48H	00H	R/W

OVF0	16ビット・タイマ・レジスタのオーバフロー検出
0	オーバフローなし
1	オーバフローあり

TMC03	TMC02	TMC01	動作モードおよびクリア・モードの選択	TO0の出力タイミングの選択	割り込みの発生
0	0	0	動作停止 (TM0は0にクリア)	変化なし	発生しない
0	0	1	PWMモード (フリーランニング)	PWMパルス出力	TM0とCR00の一致またはTM0とCR01の一致で発生
0	1	0	フリーランニング・モード	TM0とCR00の一致またはTM0とCR01の一致	TM0とCR00の一致、TM0とCR01の一致またはTI00の有効エッジ
0	1	1		TM0とCR00の一致、TM0とCR01の一致またはTI00の有効エッジ	
1	0	0	TI00の有効エッジでクリア&スタート	TM0とCR00の一致またはTM0とCR01の一致	TM0とCR00の一致、TM0とCR01の一致またはTI00の有効エッジ
1	0	1		TM0とCR00の一致、TM0とCR01の一致またはTI00の有効エッジ	
1	1	0	TM0とCR00の一致でクリア&スタート	TM0とCR00の一致またはTM0とCR01の一致	TM0とCR00の一致、TM0とCR01の一致またはTI00の有効エッジ
1	1	1		TM0とCR00の一致、TM0とCR01の一致またはTI00の有効エッジ	

- 注意 1. クリア・モードおよびTO0の出力タイミングは、タイマ動作を停止 (TMC01-TMC03に、0, 0, 0を設定) させたのちに切り替えてください。
 2. TI00/INTP0端子の有効エッジは、外部割り込みモード・レジスタ0 (INTM0) で設定します。また、サンプリング・クロックの周波数は、サンプリング・クロック選択レジスタ (SCS) で選択します。
 3. PWMモードを使用するときは、PWMモード設定後、CR00にデータを設定してください。
 4. TM0とCR00の一致でクリア&スタートするモードを選択した場合、CR00の設定値がFFFFHで、TM0の値がFFFFHから0000Hに変化するとき、OVF0フラグが1に設定されます。
 5. 16ビット・タイマ・レジスタは、TMC01-TMC03に0, 0, 0 (動作停止モード) 以外の値を設定した時点で動作を開始します。動作を停止させるには、TMC01-TMC03に0, 0, 0を設定してください。

- 備考 1. TO0 : 16ビット・タイマ/イベント・カウンタの出力端子
 2. TI00 : 16ビット・タイマ/イベント・カウンタの入力端子
 3. TM0 : 16ビット・タイマ・レジスタ
 4. CR00 : コンペア・レジスタ00
 5. CR01 : コンペア・レジスタ01

8ビット・タイマ・モード・コントロール・レジスタ1 (TMC1)

略号	7	6	5	4	3	2	①	②	アドレス	リセット時	R/W
TMC1	0	0	0	0	0	TMC12	TCE2	TCE1	FF49H	00H	R/W

TCE1	8ビット・タイマ・レジスタ1の動作の制御
0	動作停止 (TM1は0にクリア)
1	動作許可
TCE2	8ビット・タイマ・レジスタ2の動作の制御
0	動作停止 (TM2は0にクリア)
1	動作許可
TMC12	動作モードの選択
0	8ビット・タイマ・レジスタx2チャネル・モード(TM1, TM2)
1	16ビット・タイマ・レジスタx1チャネル・モード(TM)

- 注意1. 動作モードは、タイマ動作を停止させたのちに切り替えてください。
 2. 16ビット・タイマ・レジスタとして使用する場合、動作許可/停止はTCE1で制御してください。

時計用タイマ・モード・コントロール・レジスタ (TMC2)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TMC2	0	TMC26	TMC25	TMC24	TMC23	TMC22	TMC21	TMC20	FF4AH	00H	R/W

TMC20	時計動作モードの選択				
0	通常動作モード ($f_w/2^{14}$ でフラグをセット)				
1	早送り動作モード ($f_w/2^2$ でフラグをセット)				
TMC21	プリスケアラの動作の制御				
0	動作停止後クリア				
1	動作許可				
TMC22	5ビット・カウンタの動作の制御				
0	動作停止後クリア				
1	動作許可				
TMC23	時計用フラグのセット時間の選択				
	$f_{cx} = 5.0 \text{ MHz}$ 動作時	$f_{cx} = 4.19 \text{ MHz}$ 動作時	$f_{ct} = 32.768 \text{ kHz}$ 動作時		
0	$2^{14}/f_w$ (0.4 sec)	$2^{14}/f_w$ (0.5 sec)	$2^{14}/f_w$ (0.5 sec)		
1	$2^{13}/f_w$ (0.2 sec)	$2^{13}/f_w$ (0.25 sec)	$2^{13}/f_w$ (0.25 sec)		
TMC26	TMC25	TMC24	プリスケアラのインターバル時間の選択		
			$f_{cx} = 5.0 \text{ MHz}$ 動作時	$f_{cx} = 4.19 \text{ MHz}$ 動作時	$f_{ct} = 32.768 \text{ kHz}$ 動作時
0	0	0	$2^9/f_w$ (410 μs)	$2^9/f_w$ (488 μs)	$2^9/f_w$ (488 μs)
0	0	1	$2^9/f_w$ (819 μs)	$2^9/f_w$ (977 μs)	$2^9/f_w$ (977 μs)
0	1	0	$2^9/f_w$ (1.64 ms)	$2^9/f_w$ (1.95 ms)	$2^9/f_w$ (1.95 ms)
0	1	1	$2^9/f_w$ (3.28 ms)	$2^9/f_w$ (3.91 ms)	$2^9/f_w$ (3.91 ms)
1	0	0	$2^9/f_w$ (6.55 ms)	$2^9/f_w$ (7.81 ms)	$2^9/f_w$ (7.81 ms)
1	0	1	$2^9/f_w$ (13.1 ms)	$2^9/f_w$ (15.6 ms)	$2^9/f_w$ (15.6 ms)
上記以外	設定禁止				

注意 時計用タイマを使用するときは、ひんばんにプリスケアラをクリアしないでください。

- 備考1. f_w : 時計用タイマ・クロック周波数 ($f_{cx}/2^7$ または f_{ct})
 2. f_{cx} : メイン・システム・クロック周波数 (f_x または $f_x/2$)
 3. f_x : メイン・システム・クロック発振周波数
 4. f_{ct} : サブシステム・クロック発振周波数

16ビット・タイマ出力コントロール・レジスタ (TOC0)

略号	7	⑥	⑤	4	③	②	1	①	アドレス	リセット時	R/W
TOC0	0	OSPT	OSPE	TOC04	LVS0	LVR0	TOC01	TOE0	FF4EH	00H	R/W

TOE0	16ビット・タイマ/イベント・カウンタの出力の制御	
0	出力禁止 (ポート・モード)	
1	出力許可	
TOC01	PWMモード時 アクティブ・レベルの選択	PWMモード時以外 CR00とTM0の一致による タイマ出力F/Fの制御
0	ハイ・アクティブ	反転動作禁止
1	ロウ・アクティブ	反転動作許可
LVS0	LVR0	16ビット・タイマ/イベント・カウンタのタイマ出力F/Fの状態の設定
0	0	変化しない
0	1	タイマ出力F/Fをリセット (0)
1	0	タイマ出力F/Fをセット (1)
1	1	設定禁止
TOC04	CR01とTM0の一致によるタイマ出力F/Fの制御	
0	反転動作禁止	
1	反転動作許可	
OSPE	ワンショット・パルス出力動作の制御	
0	連続パルス出力	
1	ワンショット・パルス出力	
OSPT	ソフトウェアによるワンショット・パルスの出力トリガの制御	
0	ワンショット・パルス・トリガなし	
1	ワンショット・パルス・トリガあり	

- 注意1. TOC0は、必ずタイマ動作を停止させたのちに設定してください (ただし、OSPTは除く)。
 2. LVS0, LVR0は、データ設定後に読み出すと0になっています。
 3. OSPTは、データ設定後自動的にクリアされますので、読み出すと0になっています。 ★

キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
CRC0	0	0	0	0	0	CRC02	CRC01	CRC00	FF4CH	04H	R/W

CRC00	CRC00の動作モードの選択	
0	コンペア・レジスタとして動作	
1	キャプチャ・レジスタとして動作	
CRC01	CRC00のキャプチャ・トリガの選択	
0	TI01の有効エッジでキャプチャする	
1	TI00の有効エッジでキャプチャする	
CRC02	CRC01の動作モードの選択	
0	コンペア・レジスタとして動作	
1	キャプチャ・レジスタとして動作	

- 注意1. CRC0は、必ずタイマ動作を停止させたのちに設定してください。
 2. 16ビット・タイマ・モード・コントロール・レジスタで、TM0とCR00の一致でクリア & スタート・モードを選択したとき、CR00をキャプチャ・レジスタに指定しないでください。

8ビット・タイマ出力コントロール・レジスタ (TOC1)

略号	⑦	⑥	5	④	③	②	1	①	アドレス	リセット時	R/W
TOC1	LVS2	LVR2	TOC15	TOE2	LVS1	LVR1	TOC11	TOE1	FF4FH	00H	R/W

TOE1	8ビット・タイマ/イベント・カウンタ1の出力の制御	
0	出力禁止 (ポート・モード)	
1	出力許可	
TOC11	8ビット・タイマ/イベント・カウンタ1のタイマ出力F/Fの制御	
0	反転動作禁止	
1	反転動作許可	
LVS1	LVR1	8ビット・タイマ/イベント・カウンタ1のタイマ出力F/Fの状態の設定
0	0	変化しない
0	1	タイマ出力F/Fをリセット(0)
1	0	タイマ出力F/Fをセット(1)
1	1	設定禁止
TOE2	8ビット・タイマ/イベント・カウンタ2の出力の制御	
0	出力禁止 (ポート・モード)	
1	出力許可	
TOC15	8ビット・タイマ/イベント・カウンタ2のタイマ出力F/Fの制御	
0	反転動作禁止	
1	反転動作許可	
LVS2	LVR2	8ビット・タイマ/イベント・カウンタ2のタイマ出力F/Fの状態の設定
0	0	変化しない
0	1	タイマ出力F/Fをリセット(0)
1	0	タイマ出力F/Fをセット(1)
1	1	設定禁止

注意1 . TOC1は、必ずタイマ動作を停止させたのちに設定してください。
 2 . LVS1, LVR1, LVS2, LVR2は、データ設定後に読み出すと0になっています。

ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

略号	⑦	6	5	4	3	2	1	0	アドレス	リセット時	R/W
WDTM	RUN	0	0	WDTM4	WDTM3	0	0	0	FFF9H	00H	R/W

WDTM4	WDTM3	ウォッチドッグ・タイマの動作モードの選択 注1
0	x	インターバル・タイマ・モード 注2 (オーバーフロー発生時, マスカブル割り込み要求発生)
1	0	ウォッチドッグ・タイマ・モード1 (オーバーフロー発生時, ノンマスカブル割り込み要求発生)
1	1	ウォッチドッグ・タイマ・モード2 (オーバーフロー発生時, リセット動作を起動)
RUN	ウォッチドッグ・タイマの動作の選択 注3	
0	カウンタの停止	
1	カウンタをクリアし, カウンタを開始	

注1 . WDTM3, WDTM4は、一度1にセットされると、ソフトウェアで0にクリアできません。
 2 . RUNに1を設定した時点でインターバル・タイマとして動作を開始します。
 3 . RUNは、一度1にセットされると、ソフトウェアでは0にクリアできません。
 したがって、カウンタを開始すると、RESET入力以外ではカウンタを停止できません。
 注意1 . RUNに1をセットし、ウォッチドッグ・タイマをクリアしたとき、実際のオーバーフロー時間は、タイマ・クロック選択レジスタ2 (TCL2) で設定した時間より最大0.5%短くなります。
 2 . ウォッチドッグ・タイマ・モード1, 2を使用する場合は、割り込み要求フラグ (TMIF4) が0になっていることを確認してからWDTM4を1にセットしてください。
 TMIF4が1の状態ではWDTM4を1にセットすると、WDTM3の内容にかかわらず、ノンマスカブル割り込み要求が発生します。

備考 x : don't care

5. シリアル・インタフェース

タイマ・クロック選択レジスタ3 (TCL3) (μPD78054サブシリーズ)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
TCL3	TCL37	TCL36	TCL35	TCL34	TCL33	TCL32	TCL31	TCL30	FF43H	88H	R/W

TCL33	TCL32	TCL31	TCL30	シリアル・インタフェース・チャンネル0のシリアル・クロックの選択		
			MCS = 1		MCS = 0	
0	1	1	0	$f_x/2$	設定禁止	$f_x/2^2$ (1.25 MHz)
0	1	1	1	$f_x/2^2$	$f_x/2^2$ (1.25 MHz)	$f_x/2^3$ (625 kHz)
1	0	0	0	$f_x/2^3$	$f_x/2^2$ (625 kHz)	$f_x/2^4$ (313 kHz)
1	0	0	1	$f_x/2^4$	$f_x/2^2$ (313 kHz)	$f_x/2^5$ (156 kHz)
1	0	1	0	$f_x/2^5$	$f_x/2^2$ (156 kHz)	$f_x/2^6$ (78.1 kHz)
1	0	1	1	$f_x/2^6$	$f_x/2^2$ (78.1 kHz)	$f_x/2^7$ (39.1 kHz)
1	1	0	0	$f_x/2^7$	$f_x/2^2$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)
1	1	0	1	$f_x/2^8$	$f_x/2^2$ (19.5 kHz)	$f_x/2^9$ (9.8 kHz)
上記以外				設定禁止		
TCL37	TCL36	TCL35	TCL34	シリアル・インタフェース・チャンネル1のシリアル・クロックの選択		
			MCS = 1		MCS = 0	
0	1	1	0	$f_x/2$	設定禁止	$f_x/2^2$ (1.25 MHz)
0	1	1	1	$f_x/2^2$	$f_x/2^2$ (1.25 MHz)	$f_x/2^3$ (625 kHz)
1	0	0	0	$f_x/2^3$	$f_x/2^2$ (625 kHz)	$f_x/2^4$ (313 kHz)
1	0	0	1	$f_x/2^4$	$f_x/2^2$ (313 kHz)	$f_x/2^5$ (156 kHz)
1	0	1	0	$f_x/2^5$	$f_x/2^2$ (156 kHz)	$f_x/2^6$ (78.1 kHz)
1	0	1	1	$f_x/2^6$	$f_x/2^2$ (78.1 kHz)	$f_x/2^7$ (39.1 kHz)
1	1	0	0	$f_x/2^7$	$f_x/2^2$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)
1	1	0	1	$f_x/2^8$	$f_x/2^2$ (19.5 kHz)	$f_x/2^9$ (9.8 kHz)
上記以外				設定禁止		

注意 TCL3を同一データ以外に書き換える場合は、いったんシリアル転送を停止させたのちに行ってください。

- 備考 1 . f_{xx} : メイン・システム・クロック周波数 (f_x または $f_x/2$)
 2 . f_x : メイン・システム・クロック発振周波数
 3 . MCS : 発振モード選択レジスタ (OSMS) のビット0
 4 . () 内は、 $f_x = 5.0$ MHz動作時。

シリアル・バス・インタフェース・コントロール・レジスタ (SBIC)
(μ PD78054サブシリーズ)

略号	⑦	⑥	⑤	④	③	②	①	①	アドレス	リセット時	R/W
SBIC	BSYE	ACKD	ACKE	ACKT	CMDD	RELD	CMDT	RELT	FF61H	00H	R/W 注1

R/W	RELT	バス・リリース信号出力のために使用する。RELT=1により、SO0ラッチがセット(1)される。SO0ラッチをセット後、自動的にクリア(0)される。また、CSIE0=0のときもクリア(0)される。
-----	------	---

R/W	CMDT	コマンド信号出力のために使用する。CMDT=1により、SO0ラッチがクリア(0)される。SO0ラッチをクリア後、自動的にクリア(0)される。また、CSIE0=0のときもクリア(0)される。
-----	------	--

R	RELD	バス・リリース検出	
		クリアされる条件 (RELD=0)	セットされる条件 (RELD=1)
		<ul style="list-style-type: none"> 転送スタート命令実行時 アドレス受信時にSIO0とSVAの値が一致しないとき CSIE0=0のとき RESET入力時 	<ul style="list-style-type: none"> バス・リリース信号 (REL) 検出時

R	CMDD	コマンド検出	
		クリアされる条件 (CMDD=0)	セットされる条件 (CMDD=1)
		<ul style="list-style-type: none"> 転送スタート命令実行時 バス・リリース信号 (REL) 検出時 CSIE0=0のとき RESET入力時 	<ul style="list-style-type: none"> コマンド信号 (CMD) 検出時

R/W	ACKT	セット(1)する命令実行直後のSCK0のクロックの立ち下がりエッジに同期してアクノリッジ信号を出力し、出力後、自動的にクリア(0)される。ACKE=0として使用する。また、シリアル・インタフェースの転送開始、CSIE0=0のときもクリア(0)される。
-----	------	---

R/W	ACKE	アクノリッジ信号出力の制御	
	0	アクノリッジ信号の自動出力禁止 (ACKTによる出力は可能)。	
	1	転送完了前	SCK0の9クロック目の立ち下がりエッジに同期してアクノリッジ信号を出力する (ACKE=1により、自動出力される)。
		転送完了後	セット(1)する命令実行直後のSCK0のクロックの立ち下がりエッジに同期してアクノリッジ信号を出力する (ACKE=1により、自動出力される)。ただし、アクノリッジ信号を出力後、自動的にクリア(0)されない。

R	ACKD	アクノリッジ検出	
		クリアされる条件 (ACKD=0)	セットされる条件 (ACKD=1)
		<ul style="list-style-type: none"> 転送スタート命令実行後、ビジー・モードを解除した直後のSCK0のクロックの立ち下がり時 CSIE0=0のとき RESET入力時 	<ul style="list-style-type: none"> 転送完了後のSCK0のクロックの立ち上がりエッジでアクノリッジ信号 (ACK) 検出時

R/W	BSYE 注2	同期ビジー信号出力の制御	
	0	クリア(0)する命令実行直後のSCK0のクロックの立ち下がりエッジに同期した、ビジー信号の出力を禁止する。	
	1	アクノリッジ信号に続くSCK0のクロックの立ち下がりエッジからビジー信号を出力する。	

- 注1 . ビット2, 3, 6 (RELD, CMDD, ACKD) は、Read Onlyです。
 2 . シリアル・インタフェースの転送開始、またはアドレス信号受信によって、ビジー・モードを解除できます。ただし、BSYEフラグは0にクリアされません。

割り込みタイミング指定レジスタ (SINT) (μ PD78054サブシリーズ)

略号	7	⑥	⑤	④	3	2	1	0	アドレス	リセット時	R/W
SINT	0	CLD	SIC	SVAM	0	0	0	0	FF63H	00H	R/W 注1



- 注1 . ビット6 (CLD) は、Read Onlyです。
 2 . SBIモードでウエイク・アップ機能を使用するときは、SICに0を設定してください。
 3 . CSIE0=0のとき、CLDは0になります。

注意 ビット0-3には、必ず0を設定してください。

- 備考 SVA : スレープ・アドレス・レジスタ
 CSIF0 : INTCSIO0に対応する割り込み要求フラグ
 CSIE0 : シリアル動作モード・レジスタ0 (CSIM0) のビット7

シリアル動作モード・レジスタ0 (CSIM0) (μPD78054サブシリーズ)

略号 ⑦ ⑥ ⑤ 4 3 2 1 0 アドレス リセット時 R/W

CSIM0 CSIE0 COI WUP CSIM04 CSIM03 CSIM02 CSIM01 CSIM00 FF60H 00H R/W 注1

R/W	CSIM01	CSIM00	シリアル・インタフェース・チャンネル0のクロックの選択
	0	×	SCK0端子への外部からの入力クロック
	1	0	8ビット・タイマ・レジスタ2 (TM2) の出力
	1	1	タイマ・クロック選択レジスタ3 (TCL3) のビット0-3で指定されたクロック

R/W	CSIM04	CSIM03	CSIM02	PM25	P25	PM26	P26	PM27	P27	動作モード	先頭ビット	SI0/SB0/P25端子の機能	SO0/SB1/P26端子の機能	SCK0/P27端子の機能		
	0	×	0	1 注2	×	注2	0	0	0	1	3線式シリアル I/Oモード	MSB LSB	SI0 注2 (入力)	SO0 (CMOS出力)	SCK0 (CMOS入出力)	
	1	0	0	×	注3	×	注3	0	0	0	1	SBIモード	MSB	P25 (CMOS入出力)	SB1 (N-chオープン・ドレイン入出力)	SCK0 (CMOS入出力)
			1	0	0	×	注3	×	注3	0	1		MSB	SB0 (N-chオープン・ドレイン入出力)	P26 (CMOS入出力)	
	1	1	0	×	注3	×	注3	0	0	0	1	2線式シリアル I/Oモード	MSB	P25 (CMOS入出力)	SB1 (N-chオープン・ドレイン入出力)	SCK0 (N-chオープン・ドレイン入出力)
			1	0	0	×	注3	×	注3	0	1		MSB	SB0 (N-chオープン・ドレイン入出力)	P26 (CMOS入出力)	

R/W	WUP	ウエイク・アップ機能の制御 注4
	0	すべてのモードで、シリアル転送ごとに割り込み要求信号を発生
	1	SBIモード時、バス・リリース後 (CMDD = RELD = 1のとき) に受信したアドレスがスレーブ・アドレス・レジスタ (SVA) のデータと一致したとき、割り込み要求信号を発生

R	COI	スレーブ・アドレス比較結果フラグ 注5
	0	スレーブ・アドレス・レジスタ (SVA) とシリアルI/Oソフト・レジスタ0 (SIO0) のデータが一致しない
	1	スレーブ・アドレス・レジスタ (SVA) とシリアルI/Oソフト・レジスタ0 (SIO0) のデータが一致する

R/W	CSIE0	シリアル・インタフェース・チャンネル0の動作の制御 注6
	0	動作停止
	1	動作許可

- 注1. ビット6 (COI) は、Read Onlyです。
- 注2. 送信のみ使用するときは、P25 (CMOS入出力) として使用できます。
- 注3. ポート機能として自由に使用できます。
- ★ 注4. ウエイク・アップ機能を使用 (WUP = 1) するときは、割り込みタイミング指定レジスタ (SINT) のビット5 (SIC) に0を設定してください。3線式シリアルI/O / 2線式シリアルI/Oモード使用時は、必ずWUPに0を設定してください。
- 注5. CSIE0 = 0のとき、COIは0になります。
- ★ 注6. SBIモード時、シリアル・インタフェース・チャンネル0の動作は、WUPを0にクリアしてから停止 (CSIE0 = 0) させてください。WUP = 0にしないと、P25がハイ・レベルに固定され、通常のポートとして使用できなくなることがあります。

備考 x : don't care
 PM x x : ポート・モード・レジスタ
 P x x : ポートの出力ラッチ

★ タイマ・クロック選択レジスタ3 (TCL3) (μPD78054Yサブシリーズ)

略号 7 6 5 4 3 2 1 0 アドレス リセット時 R/W

TCL3 TCL37 TCL36 TCL35 TCL34 TCL33 TCL32 TCL31 TCL30 FF43H 88H R/W

				シリアル・インタフェース・チャンネル0のシリアル・クロックの選択					
				I ² Cバス・モード時のシリアル・クロック			3線式シリアルI/Oモードまたは2線式シリアルI/Oモード時のシリアル・クロック		
				MCS = 1			MCS = 0		
0	1	1	0	$f_{\text{ox}}/2^0$	設定禁止	$f_w/2^6$ (78.1 kHz)	$f_{\text{ox}}/2$	設定禁止	$f_w/2^2$ (1.25 MHz)
0	1	1	1	$f_{\text{ox}}/2^1$	$f_w/2^8$ (78.1 kHz)	$f_w/2^7$ (39.1 kHz)	$f_{\text{ox}}/2^2$	$f_w/2^5$ (1.25 MHz)	$f_w/2^3$ (625 kHz)
1	0	0	0	$f_{\text{ox}}/2^2$	$f_w/2^7$ (39.1 kHz)	$f_w/2^6$ (19.5 kHz)	$f_{\text{ox}}/2^3$	$f_w/2^4$ (625 kHz)	$f_w/2^4$ (313 kHz)
1	0	0	1	$f_{\text{ox}}/2^3$	$f_w/2^6$ (19.5 kHz)	$f_w/2^5$ (9.77 kHz)	$f_{\text{ox}}/2^4$	$f_w/2^3$ (313 kHz)	$f_w/2^5$ (156 kHz)
1	0	1	0	$f_{\text{ox}}/2^3$	$f_w/2^9$ (9.77 kHz)	$f_w/2^{10}$ (4.88 kHz)	$f_{\text{ox}}/2^5$	$f_w/2^4$ (156 kHz)	$f_w/2^6$ (78.1 kHz)
1	0	1	1	$f_{\text{ox}}/2^{10}$	$f_w/2^{10}$ (4.88 kHz)	$f_w/2^{11}$ (2.44 kHz)	$f_{\text{ox}}/2^6$	$f_w/2^5$ (78.1 kHz)	$f_w/2^7$ (39.1 kHz)
1	1	0	0	$f_{\text{ox}}/2^{11}$	$f_w/2^{11}$ (2.44 kHz)	$f_w/2^{12}$ (1.22 kHz)	$f_{\text{ox}}/2^7$	$f_w/2^6$ (39.1 kHz)	$f_w/2^8$ (19.5 kHz)
1	1	0	1	$f_{\text{ox}}/2^{12}$	$f_w/2^{12}$ (1.22 kHz)	$f_w/2^{13}$ (0.61 kHz)	$f_{\text{ox}}/2^8$	$f_w/2^8$ (19.5 kHz)	$f_w/2^9$ (9.8 kHz)
上記以外				設定禁止					

				シリアル・インタフェース・チャンネル1のシリアル・クロックの選択		
				MCS = 1		MCS = 0
0	1	1	0	$f_{\text{ox}}/2$	設定禁止	$f_w/2^2$ (1.25 MHz)
0	1	1	1	$f_{\text{ox}}/2^2$	$f_w/2^2$ (1.25 MHz)	$f_w/2^3$ (625 kHz)
1	0	0	0	$f_{\text{ox}}/2^3$	$f_w/2^3$ (625 kHz)	$f_w/2^4$ (313 kHz)
1	0	0	1	$f_{\text{ox}}/2^4$	$f_w/2^4$ (313 kHz)	$f_w/2^5$ (156 kHz)
1	0	1	0	$f_{\text{ox}}/2^5$	$f_w/2^5$ (156 kHz)	$f_w/2^6$ (78.1 kHz)
1	0	1	1	$f_{\text{ox}}/2^6$	$f_w/2^6$ (78.1 kHz)	$f_w/2^7$ (39.1 kHz)
1	1	0	0	$f_{\text{ox}}/2^7$	$f_w/2^7$ (39.1 kHz)	$f_w/2^8$ (19.5 kHz)
1	1	0	1	$f_{\text{ox}}/2^8$	$f_w/2^8$ (19.5 kHz)	$f_w/2^9$ (9.8 kHz)
上記以外				設定禁止		

注意 TCL3を同一データ以外に書き換える場合は、いったんシリアル転送を停止させたのちに行ってください。

- 備考 1. f_{ox} : メイン・システム・クロック周波数 (f_x または $f_x/2$)
 2. f_x : メイン・システム・クロック発振周波数
 3. MCS : 発振モード選択レジスタ (OSMS) のビット 0
 4. () 内は, $f_x = 5.0$ MHz動作時。

★ シリアル・バス・インタフェース・コントロール・レジスタ (SBIC)
(μ PD78054Yサブシリーズ)

略号 ① アドレス リセット時 R/W
SBIC BSYE ACKD ACKE ACKT CMDD RELD CMDT RELT FF61H 00H R/W^{注1}

RELT	ストップ・コンディション出力のために使用する。 RELT=1により、SO0ラッチがセット(1)される。SO0ラッチをセット後、自動的にクリア(0)される。 また、CSIE0=0のときもクリア(0)される。
------	--

CMDT	スタート・コンディション出力のために使用する。 CMDT=1により、SO0ラッチがクリア(0)される。SO0ラッチをクリア後、自動的にクリア(0)される。 また、CSIE0=0のときもクリア(0)される。
------	--

RELD	ストップ・コンディション検出	
	クリアされる条件 (RELD=0)	セットされる条件 (RELD=1)
	・転送スタート命令実行時 ・アドレス受信時にSIO0とSVAの値が一致しないとき ・CSIE0=0のとき ・RESET入力時	・ストップ・コンディション検出時

CMDD	スタート・コンディション検出	
	クリアされる条件 (CMDD=0)	セットされる条件 (CMDD=1)
	・転送スタート命令実行時 ・ストップ・コンディション検出時 ・CSIE0=0のとき ・RESET入力時	・スタート・コンディション検出時

ACKT	セット命令 (ACKT=1) 実行直後から次のSCLの立ち下がりまでSDA0, SDA1をロウ・レベルにする。 8クロック・ウエイト選択時に、ソフトウェアでACK信号を生成するために使用する。シリアル・インタフェースの転送開始、CSIE0=0のときクリア(0)される。
------	---

ACKE	アクノリッジ信号の自動出力の制御 ^{注2}
0	アクノリッジ信号の自動出力禁止 (ACKTによる出力は可能)。 送信時または8クロック・ウエイト選択時で受信の場合に使用する ^{注3} 。
1	アクノリッジ信号の自動出力許可。 SCLの9クロック目の立ち下がりエッジに同期して、アクノリッジ信号を出力する (ACKE=1により、自動出力される)。出力後、自動的にクリア(0)されない。 9クロック・ウエイト選択時で受信の場合に使用する。

ACKD	アクノリッジ検出	
	クリアされる条件 (ACKD=0)	セットされる条件 (ACKD=1)
	・転送スタート命令実行時 ・CSIE0=0のとき ・RESET入力時	・転送完了後のSCLのクロックの立ち上がりエッジでアクノリッジ信号検出時

BSYE ^{注4}	I ² Cバス・モード時の送信用N-chオープン・ドレイン出力の制御 ^{注5}
0	出力許可 (送信)
1	出力禁止 (受信)

- 注1 . ビット2, 3, 6 (RELD, CMDD, ACKD) はRead Onlyです。
 2 . 転送開始前に設定してください。
 3 . 8クロック・ウエイト選択時では、受信時のアクノリッジ信号はACKTを用いて出力してください。
 4 . シリアル・インタフェースの転送開始、またはアドレスの信号受信によってウエイト状態を解除できます。ただし、BSYEはクリア(0)されません。
 5 . ウエイク・アップ機能を使用するときには、必ずBSYEに1を設定してください。
 備考1 . ビット0, 1, 4 (RELT, CMDT, ACKT) は、データ設定後に読み出すと0になっています。
 2 . CSIE0: シリアル動作モード・レジスタ0 (CSIM0) のビット7

割り込みタイミング指定レジスタ (SINT) (μ PD78054Yサブシリーズ)

略号 7 1 0 アドレス リセット時 R/W
SINT 0 CLD SIC SVAM CLC WREL WAT1 WAT0 FF63H 00H R/W^{注1}

WAT1	WAT0	ウエイトおよび割り込みの制御 ^{注2}
0	0	SCK0の8クロック目の立ち上がりで割り込み処理要求を発生する(クロック出力はハイ・インビダンス)。
0	1	設定禁止
1	0	I ² Cバス・モード時に使用する(8クロック・ウエイト)。 SCLの8クロック目の立ち上がりで割り込み処理要求を発生する(マスタの場合、8クロック出力後、SCL出力をロウ・レベルにしてウエイトする。スレーブの場合、8クロック入力後、SCL端子をロウ・レベルにしてウエイト要求する)。
1	1	I ² Cバス・モード時に使用する(9クロック・ウエイト)。 SCLの9クロック目の立ち上がりで割り込み処理要求を発生する(マスタの場合、9クロック出力後、SCL出力をロウ・レベルにしてウエイトする。スレーブの場合、9クロック入力後、SCL端子をロウ・レベルにしてウエイト要求する)。

WREL	ウエイト解除の制御
0	ウエイト解除状態
1	ウエイト状態を解除する。 解除後自動的にクリア(0)される(WAT0, WAT1によるウエイト状態の解除に使用する)。

CLC	クロック・レベルの制御 ^{注3}
0	I ² Cバス・モード時に使用する。 シリアル転送時以外の場合、SCL端子の出力レベルをロウ・レベルにする。
1	I ² Cバス・モード時に使用する。 シリアル転送時以外の場合、SCL端子の出力レベルをハイ・インビダンスにする。 マスタがスタート/ストップ・コンディション生成のためにSCLをハイ・レベルにするために使用する。

SVAM	スレーブ・アドレスとして使用するSVAのビット
0	ビット0-7
1	ビット1-7

SIC	INTCSI0の割り込み要因の選択 ^{注4}
0	シリアル・インタフェース・チャネル0の転送終了時にCSIF0をセット(1)する。
1	シリアル・インタフェース・チャネル0の転送終了時、またはストップ・コンディション検出時にCSIF0をセット(1)する。

CLD	SCK0/SCL端子のレベル ^{注5}
0	ロウ・レベル
1	ハイ・レベル

- 注1 . ビット6 (CLD) は、Read Onlyです。
 2 . I²Cバス・モード使用時は、WAT1, WAT0に1, 0または1, 1を設定してください。
 3 . I²Cバス・モードを使用しない場合は、CLCに0を設定してください。
 4 . I²Cバス・モードでウエイク・アップ機能を使用するときには、SICに1を設定してください。
 5 . CSIE0=0のとき、CLDIは0になります。

備考 SVAM : スレーブ・アドレス・レジスタ
 CSIF0 : INTCSI0に対応する割り込み要求フラグ
 CSIE0 : シリアル動作モード・レジスタ0 (CSIM0) のビット7

★ シリアル動作モード・レジスタ0 (CSIM0) (μPD78054Yサブシリーズ)

略号 4 3 2 1 0 アドレス リセット時 R/W
CSIM0 CSIE0 COI WUP CSIM04 CSIM03 CSIM02 CSIM01 CSIM00 FF60H 00H R/W^{注1}

R/W	CSIM01	CSIM00	シリアル・インタフェース・チャンネル0のクロックの選択									
	0	×	SCK0/SCL端子への外部からの入力クロック									
	1	0	8ビット・タイマ・レジスタ2 (TM2) の出力 ^{注2}									
	1	1	タイマ・クロック選択レジスタ3 (TCL3) のビット0-3で指定されたクロック									

R/W	CSIM04	CSIM03	CSIM02	PM25	P25	PM26	P26	PM27	P27	動作モード	先頭ビット	SI0/SB0/SDA0/P25端子の機能	SO0/SB1/SDA1/P26端子の機能	SCK0/SCL/P27端子の機能
	0	×	0	↑ ^{注3}	×	0	0	0	1	3線式シリアル I/Oモード	MSB	SI0 ^{注3} (入力)	SO0 (CMOS出力)	SCK0 (CMOS入出力)
			1						LSB					
	1	1	0	×	×	0	0	0	1	2線式シリアル I/Oモード または I ² Cバス・モード	MSB	P25 (CMOS入出力)	SB1/SDA1 (N-chオープン・ ドレイン入出力)	SCK0/SCL (N-chオープン・ ドレイン入出力)
									SB0/SDA0 (N-chオープン・ ドレイン入出力)			P26 (CMOS入出力)		

R/W	WUP	ウエイク・アップ機能の制御 ^{注5}												
	0	すべてのモードで、シリアル転送ごとに割り込み要求信号を発生												
	1	I ² Cバス・モード時、スタート・コンディション検出後 (CMDD = 1のとき) に受信したアドレスがスレープ・アドレス・レジスタ (SVA) のデータと一致したとき、割り込み要求信号を発生												

R	COI	スレープ・アドレス比較結果フラグ ^{注6}												
	0	スレープ・アドレス・レジスタ (SVA) とシリアルI/Oシフト・レジスタ0 (SIO0) のデータが一致しない												
	1	スレープ・アドレス・レジスタ (SVA) とシリアルI/Oシフト・レジスタ0 (SIO0) のデータが一致する												

R/W	CSIE0	シリアル・インタフェース・チャンネル0の動作の制御												
	0	動作停止												
	1	動作許可												

- 注1. ビット6 (COI) は、Read Onlyです。
- 2. I²Cバス・モード時、クロックはTO2が出力するクロック周波数の1/16となります。
- 3. 送信のみ使用するときは、P25 (CMOS入出力) として使用できます。
- 4. ポート機能として自由に使用できます。
- 5. ウエイク・アップ機能を使用 (WUP = 1) するときは、割り込みタイミング指定レジスタ (SINT) のビット5 (SIC) に0を設定してください。3線式シリアルI/O / 2線式シリアルI/Oモード使用時は、必ずWUPに0を設定してください。
- 6. CSIE0 = 0のとき、COIは0になります。

備考 x : don't care
 PM x x : ポート・モード・レジスタ
 P x x : ポートの出力ラッチ

シリアル動作モード・レジスタ1 (CSIM1)

略号 ⑦ 6 ⑤ 4 3 2 1 0 アドレス リセット時 R/W
 CSIM1 CSIE1 DIR ATE 0 0 0 CSIM11 CSIM10 FF68H 00H R/W

CSIM11	CSIM10	シリアル・インタフェース・チャンネル1のクロックの選択
0	×	SCK1端子への外部クロック入力 注1
1	0	8ビット・タイマ・レジスタ2 (TM2) の出力
1	1	タイマ・クロック選択レジスタ3 (TCL3) のビット4-7で指定されたクロック

ATE	シリアル・インタフェース・チャンネル1の動作モードの選択
0	3線式シリアルI/Oモード
1	自動送受信機能付き3線式シリアルI/Oモード

DIR	先頭ビット	SI1/P20端子の機能	SO1端子の機能
0	MSB	SI1/P20	SO1
1	LSB	(入力)	(CMOS出力)

CSIE1	CSIM11	PM20	P20	PM21	P21	PM22	P22	シフト・レジスタ1の動作	シリアル・クロックのカウンタの動作の制御	SI1/P20端子の機能	SO1/P21端子の機能	SCK1/P22端子の機能		
0	×	×	注2	×	注2	×	注2	×	注2	動作停止	クリア	P20 (CMOS入出力)	P21 (CMOS入出力)	P22 (CMOS入出力)
1	0	1	注3	×	注3	0	0	1	×	動作許可	カウント動作	SI1 注3 (入力)	SO1 (CMOS出力)	SCK1 (入力)
	1				0	1	SCK1 (CMOS出力)							

- 注1 . CSIM11を0にして外部クロック入力を選択したとき、自動データ送受信コントロール・レジスタ (ADTC) のビット1 (BUSY1) , ビット2 (STRB) を0, 0に設定してください。
- 2 . ポート機能として自由に使用できます。
- 3 . 送信のみ使用するとき、P20 (CMOS入出力) として使用できます (ADTCのビット7 (RE) に0を設定してください)。

備考 x : don't care
 PM x x : ポート・モード・レジスタ
 P x x : ポートの出力ラッチ

自動データ送受信間隔指定レジスタ (ADTI) (1/2)

略号 7 6 5 4 3 2 1 0 アドレス リセット時 R/W
ADTI ADTI7 0 0 ADTI4 ADTI3 ADTI2 ADTI1 ADTI0 FF6BH 00H R/W

ADTI4	ADTI3	ADTI2	ADTI1	ADTI0	データ転送のインターバル時間の指定 (f _{xx} = 5.0 MHz動作時)	
					最小値 注1	最大値 注1
0	0	0	0	0	18.4 μs + 0.5/f _{sck}	20.0 μs + 1.5/f _{sck}
0	0	0	0	1	31.2 μs + 0.5/f _{sck}	32.8 μs + 1.5/f _{sck}
0	0	0	1	0	44.0 μs + 0.5/f _{sck}	45.6 μs + 1.5/f _{sck}
0	0	0	1	1	56.8 μs + 0.5/f _{sck}	58.4 μs + 1.5/f _{sck}
0	0	1	0	0	69.6 μs + 0.5/f _{sck}	71.2 μs + 1.5/f _{sck}
0	0	1	0	1	82.4 μs + 0.5/f _{sck}	84.0 μs + 1.5/f _{sck}
0	0	1	1	0	95.2 μs + 0.5/f _{sck}	96.8 μs + 1.5/f _{sck}
0	0	1	1	1	108.0 μs + 0.5/f _{sck}	109.6 μs + 1.5/f _{sck}
0	1	0	0	0	120.8 μs + 0.5/f _{sck}	122.4 μs + 1.5/f _{sck}
0	1	0	0	1	133.6 μs + 0.5/f _{sck}	135.2 μs + 1.5/f _{sck}
0	1	0	1	0	146.4 μs + 0.5/f _{sck}	148.0 μs + 1.5/f _{sck}
0	1	0	1	1	159.2 μs + 0.5/f _{sck}	160.8 μs + 1.5/f _{sck}
0	1	1	0	0	172.0 μs + 0.5/f _{sck}	173.6 μs + 1.5/f _{sck}
0	1	1	0	1	184.8 μs + 0.5/f _{sck}	186.4 μs + 1.5/f _{sck}
0	1	1	1	0	197.6 μs + 0.5/f _{sck}	199.2 μs + 1.5/f _{sck}
0	1	1	1	1	210.4 μs + 0.5/f _{sck}	212.0 μs + 1.5/f _{sck}
1	0	0	0	0	223.2 μs + 0.5/f _{sck}	224.8 μs + 1.5/f _{sck}
1	0	0	0	1	236.0 μs + 0.5/f _{sck}	237.6 μs + 1.5/f _{sck}
1	0	0	1	0	248.8 μs + 0.5/f _{sck}	250.4 μs + 1.5/f _{sck}
1	0	0	1	1	261.6 μs + 0.5/f _{sck}	263.2 μs + 1.5/f _{sck}
1	0	1	0	0	274.4 μs + 0.5/f _{sck}	276.0 μs + 1.5/f _{sck}
1	0	1	0	1	287.2 μs + 0.5/f _{sck}	288.8 μs + 1.5/f _{sck}
1	0	1	1	0	300.0 μs + 0.5/f _{sck}	301.6 μs + 1.5/f _{sck}
1	0	1	1	1	312.8 μs + 0.5/f _{sck}	314.4 μs + 1.5/f _{sck}
1	1	0	0	0	325.6 μs + 0.5/f _{sck}	327.2 μs + 1.5/f _{sck}
1	1	0	0	1	338.4 μs + 0.5/f _{sck}	340.0 μs + 1.5/f _{sck}
1	1	0	1	0	351.2 μs + 0.5/f _{sck}	352.8 μs + 1.5/f _{sck}
1	1	0	1	1	364.0 μs + 0.5/f _{sck}	365.6 μs + 1.5/f _{sck}
1	1	1	0	0	376.8 μs + 0.5/f _{sck}	378.4 μs + 1.5/f _{sck}
1	1	1	0	1	389.6 μs + 0.5/f _{sck}	391.2 μs + 1.5/f _{sck}
1	1	1	1	0	402.4 μs + 0.5/f _{sck}	404.0 μs + 1.5/f _{sck}
1	1	1	1	1	415.2 μs + 0.5/f _{sck}	416.8 μs + 1.5/f _{sck}

ADTI7	データ転送のインターバル時間の制御
0	ADTIによるインターバル時間の制御なし 注2
1	ADTI (ADTI0-ADTI4) によるインターバル時間の制御あり

注1 . データ転送のインターバル時間には、誤差が含まれています。各データ転送のインターバル時間の最小値と最大値は次の式により求められます (n : ADTI0-ADTI4に設定した値)。ただし、次の式から計算された最小値が2/f_{sck}よりも小さい場合、インターバル時間の最小値は2/f_{sck}となります。

$$\text{最小値} = (n + 1) \times \frac{2^e}{f_{xx}} + \frac{28}{f_{xx}} + \frac{0.5}{f_{sck}}$$

$$\text{最大値} = (n + 1) \times \frac{2^e}{f_{xx}} + \frac{36}{f_{xx}} + \frac{1.5}{f_{sck}}$$

2 . インターバル時間は、CPU処理にのみ依存します。

注意1 . 自動送受信機能動作中は、ADTIへの書き込みを行わないでください。

2 . ビット5, 6には必ず0を設定してください。

3 . ADTIを使用して自動送受信によるデータ転送のインターバル時間を制御する場合、ピジ制御は無効になります。

備考1 . f_{xx} : メイン・システム・クロック周波数 (fxまたはfx/2)

2 . fx : メイン・システム・クロック発振周波数

3 . f_{sck} : シリアル・クロック周波数

自動データ送受信間隔指定レジスタ (ADTI) (2/2)

略号 7 6 5 4 3 2 1 0 アドレス リセット時 R/W
ADTI ADTI7 0 0 ADTI4 ADTI3 ADTI2 ADTI1 ADTI0 FF6BH 00H R/W

ADTI4	ADTI3	ADTI2	ADTI1	ADTI0	データ転送のインターバル時間の指定 (f _{xx} = 2.5 MHz動作時)	
					最小値 注1	最大値 注1
0	0	0	0	0	36.8 μs + 0.5/f _{sck}	40.0 μs + 1.5/f _{sck}
0	0	0	0	1	62.4 μs + 0.5/f _{sck}	65.6 μs + 1.5/f _{sck}
0	0	0	1	0	88.0 μs + 0.5/f _{sck}	91.2 μs + 1.5/f _{sck}
0	0	0	1	1	113.6 μs + 0.5/f _{sck}	116.8 μs + 1.5/f _{sck}
0	0	1	0	0	139.2 μs + 0.5/f _{sck}	142.4 μs + 1.5/f _{sck}
0	0	1	0	1	164.8 μs + 0.5/f _{sck}	168.0 μs + 1.5/f _{sck}
0	0	1	1	0	190.4 μs + 0.5/f _{sck}	193.6 μs + 1.5/f _{sck}
0	0	1	1	1	216.0 μs + 0.5/f _{sck}	219.2 μs + 1.5/f _{sck}
0	1	0	0	0	241.6 μs + 0.5/f _{sck}	244.8 μs + 1.5/f _{sck}
0	1	0	0	1	267.2 μs + 0.5/f _{sck}	270.4 μs + 1.5/f _{sck}
0	1	0	1	0	292.8 μs + 0.5/f _{sck}	296.0 μs + 1.5/f _{sck}
0	1	0	1	1	318.4 μs + 0.5/f _{sck}	321.6 μs + 1.5/f _{sck}
0	1	1	0	0	344.0 μs + 0.5/f _{sck}	347.2 μs + 1.5/f _{sck}
0	1	1	0	1	369.6 μs + 0.5/f _{sck}	372.8 μs + 1.5/f _{sck}
0	1	1	1	0	395.2 μs + 0.5/f _{sck}	398.4 μs + 1.5/f _{sck}
0	1	1	1	1	420.8 μs + 0.5/f _{sck}	424.0 μs + 1.5/f _{sck}
1	0	0	0	0	446.4 μs + 0.5/f _{sck}	449.6 μs + 1.5/f _{sck}
1	0	0	0	1	472.0 μs + 0.5/f _{sck}	475.2 μs + 1.5/f _{sck}
1	0	0	1	0	497.6 μs + 0.5/f _{sck}	500.8 μs + 1.5/f _{sck}
1	0	0	1	1	523.2 μs + 0.5/f _{sck}	526.4 μs + 1.5/f _{sck}
1	0	1	0	0	548.8 μs + 0.5/f _{sck}	552.0 μs + 1.5/f _{sck}
1	0	1	0	1	574.4 μs + 0.5/f _{sck}	577.6 μs + 1.5/f _{sck}
1	0	1	1	0	600.0 μs + 0.5/f _{sck}	603.2 μs + 1.5/f _{sck}
1	0	1	1	1	625.6 μs + 0.5/f _{sck}	628.8 μs + 1.5/f _{sck}
1	1	0	0	0	651.2 μs + 0.5/f _{sck}	654.4 μs + 1.5/f _{sck}
1	1	0	0	1	676.8 μs + 0.5/f _{sck}	680.0 μs + 1.5/f _{sck}
1	1	0	1	0	702.4 μs + 0.5/f _{sck}	705.6 μs + 1.5/f _{sck}
1	1	0	1	1	728.0 μs + 0.5/f _{sck}	731.2 μs + 1.5/f _{sck}
1	1	1	0	0	753.6 μs + 0.5/f _{sck}	756.8 μs + 1.5/f _{sck}
1	1	1	0	1	779.2 μs + 0.5/f _{sck}	782.4 μs + 1.5/f _{sck}
1	1	1	1	0	804.8 μs + 0.5/f _{sck}	808.0 μs + 1.5/f _{sck}
1	1	1	1	1	830.4 μs + 0.5/f _{sck}	833.6 μs + 1.5/f _{sck}

ADTI7	データ転送のインターバル時間の制御
0	ADTIによるインターバル時間の制御なし 注2
1	ADTI (ADTI0-ADTI4) によるインターバル時間の制御あり

注1 . データ転送のインターバル時間には、誤差が含まれています。各データ転送のインターバル時間の最小値と最大値は次の式により求められます (n : ADTI0-ADTI4に設定した値)。ただし、次の式から計算された最小値が2/f_{sck}よりも小さい場合、インターバル時間の最小値は2/f_{sck}となります。

$$\text{最小値} = (n + 1) \times \frac{2^e}{f_{xx}} + \frac{28}{f_{xx}} + \frac{0.5}{f_{sck}}$$

$$\text{最大値} = (n + 1) \times \frac{2^e}{f_{xx}} + \frac{36}{f_{xx}} + \frac{1.5}{f_{sck}}$$

2 . インターバル時間は、CPU処理にのみ依存します。

注意1 . 自動送受信機能動作中は、ADTIへの書き込みを行わないでください。

2 . ビット5, 6には必ず0を設定してください。

3 . ADTIを使用して自動送受信によるデータ転送のインターバル時間を制御する場合、ピジ制御は無効になります。

備考1 . f_{xx} : メイン・システム・クロック周波数 (fxまたはfx/2)

2 . fx : メイン・システム・クロック発振周波数

3 . f_{sck} : シリアル・クロック周波数

アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM)

略号	⑦	⑥	5	4	3	2	1	0	アドレス	リセット時	R/W
ASIM	TXE	RXE	PS1	PS0	CL	SL	ISRM	SCK	FF70H	00H	R/W

SCK	アシンクロナス・シリアル・インタフェース・モード時のクロックの選択	
0	ASCK端子への外部からの入力クロック	
1	専用ポー・レート・ジェネレータの出力 注	
ISRM	エラー発生時の受信完了割り込み要求制御	
0	エラー発生時、受信完了割り込み要求を発生する	
1	エラー発生時、受信完了割り込み要求を発生しない	
SL	送信データのストップ・ビット長の指定	
0	1ビット	
1	2ビット	
CL	キャラクタ長の指定	
0	7ビット	
1	8ビット	
PS1	PS0	パリティ・ビットの指定
0	0	パリティなし
0	1	送信時、常に0パリティ付加 受信時、パリティの検査をしない(パリティ・エラーを発生しない)
1	0	奇数パリティ
1	1	偶数パリティ
RXE	受信動作の制御	
0	受信動作停止	
1	受信動作許可	
TXE	送信動作の制御	
0	送信動作停止	
1	送信動作許可	

注 SCKを1にしてポー・レート・ジェネレータ出力を選択したとき、ASCK端子は入出力ポートとして使用できます。

注意1 3線式シリアルI/Oモード選択時は、ASIMに00Hを設定してください。

2 動作モードは、シリアル送受信動作を停止させたのちに切り替えてください。

アシンクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ASIS	0	0	0	0	0	PE	FE	OVE	FF71H	00H	R

OVE	オーバーラン・エラー・フラグ
0	オーバーラン・エラー未発生
1	オーバーラン・エラー発生 注1 (受信バッファ・レジスタからデータを読み出す前に次の受信動作が完了したとき)
FE	フレーミング・エラー・フラグ
0	フレーミング・エラー未発生
1	フレーミング・エラー発生 注2 (ストップ・ビットが検出されないとき)
PE	パリティ・エラー・フラグ
0	パリティ・エラー未発生
1	パリティ・エラー発生 (送信データのパリティが一致しないとき)

注1 オーバーラン・エラーが発生したとき、受信バッファ・レジスタ (RXB) を必ず読み出してください。RXBを読み出すまで、データ受信のためにオーバーラン・エラーが発生し続けます。

2 アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM) のビット2 (SL) でストップ・ビット長を2ビットに設定した場合も、受信時のストップ・ビット検出は1ビットのみです。

ポー・レート・ジェネレータ・コントロール・レジスタ (BRGC)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
BRGC	TPS3	TPS2	TPS1	TPS0	MDL3	MDL2	MDL1	MDL0	FF73H	00H	R/W

MDL3	MDL2	MDL1	MDL0	ポー・レート・ジェネレータの入力クロックの選択		k
0	0	0	0	f _{scw} /16		0
0	0	0	1	f _{scw} /17		1
0	0	1	0	f _{scw} /18		2
0	0	1	1	f _{scw} /19		3
0	1	0	0	f _{scw} /20		4
0	1	0	1	f _{scw} /21		5
0	1	1	0	f _{scw} /22		6
0	1	1	1	f _{scw} /23		7
1	0	0	0	f _{scw} /24		8
1	0	0	1	f _{scw} /25		9
1	0	1	0	f _{scw} /26		10
1	0	1	1	f _{scw} /27		11
1	1	0	0	f _{scw} /28		12
1	1	0	1	f _{scw} /29		13
1	1	1	0	f _{scw} /30		14
1	1	1	1	f _{sck} 注		-

TPS3	TPS2	TPS1	TPS0	5ビット・カウンタのソース・クロックの選択			n
				MCS = 1		MCS = 0	
0	0	0	0	f _x /2 ¹⁰	f _x /2 ¹⁰ (4.9 kHz)	f _x /2 ¹¹ (2.4 kHz)	11
0	1	0	1	f _{xx}	f _x (5.0 MHz)	f _x /2 (2.5 MHz)	1
0	1	1	0	f _x /2	f _x /2 (2.5 MHz)	f _x /2 ² (1.25 MHz)	2
0	1	1	1	f _x /2 ²	f _x /2 ² (1.25 MHz)	f _x /2 ³ (625 kHz)	3
1	0	0	0	f _x /2 ³	f _x /2 ³ (625 kHz)	f _x /2 ⁴ (313 kHz)	4
1	0	0	1	f _x /2 ⁴	f _x /2 ⁴ (313 kHz)	f _x /2 ⁵ (156 kHz)	5
1	0	1	0	f _x /2 ⁵	f _x /2 ⁵ (156 kHz)	f _x /2 ⁶ (78.1 kHz)	6
1	0	1	1	f _x /2 ⁶	f _x /2 ⁶ (78.1 kHz)	f _x /2 ⁷ (39.1 kHz)	7
1	1	0	0	f _x /2 ⁷	f _x /2 ⁷ (39.1 kHz)	f _x /2 ⁸ (19.5 kHz)	8
1	1	0	1	f _x /2 ⁸	f _x /2 ⁸ (19.5 kHz)	f _x /2 ⁹ (9.8 kHz)	9
1	1	1	0	f _x /2 ⁹	f _x /2 ⁹ (9.8 kHz)	f _x /2 ¹⁰ (4.9 kHz)	10
上記以外				設定禁止			

注 3線式シリアルI/Oモード時にのみ使用できます。

注意 通信動作中にBRGCへの書き込みを行うと、ポー・レート・ジェネレータの出力が乱れ正常に通信できなくなります。

したがって、通信動作中にはBRGCへの書き込みを行わないでください。

備考1 f_{sck} : 5ビット・カウンタのソース・クロック

2 f_x : メイン・システム・クロック発振周波数

3 f_{xx} : メイン・システム・クロック周波数 (f_xまたはf_x/2)

4 MCS : 発振モード選択レジスタ (OSMS) のビット0

5 () 内は、f_x = 5.0 MHz動作時。

6 k : MDL0-MDL3で設定した値 (0 k 14)

7 n : TPS0-TPS3で設定した値 (1 n 11)

6. 割り込み制御

割り込み要求フラグ・レジスタ (IFOL, IF0H, IF1L)

略号	⑦	⑥	⑤	④	③	②	①	①	①	①	①	①	アドレス	リセット時	R/W
IFOL	PIF6	PIF5	PIF4	PIF3	PIF2	PIF1	PIF0	TMIF4					FFE0H	00H	R/W
IF0H	TMIF01	TMIF00	TMIF3	STIF	SRIF	SERIF	CSIF1	CSIF0					FFE1H	00H	R/W
IF1L	WTIF注	0	0	0	0	ADIF	TMIF2	TMIF1					FFE2H	00H	R/W

x x IFx x	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注 WTIFは、テスト入力フラグです。ベクタ割り込み要求は発生しません。

- 注意 1. TMIF4フラグはウォッチドッグ・タイマをインターバル・タイマとして使用しているときのみ、R/W可能です。ウォッチドッグ・タイマ・モード1で使用する場合は、TMIF4フラグに0を設定してください。
2. ポート0は外部割り込み要求入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。
3. IF1Lのビット3-6には、必ず0を設定してください。

割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L)

略号	⑦	⑥	⑤	④	③	②	①	①	①	①	①	①	アドレス	リセット時	R/W
MK0L	PMK6	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	TMMK4					FFE4H	FFH	R/W
MK0H	TMMK01	TMMK00	TMMK3	STMK	SRMK	SERMK	CSIMK1	CSIMK0					FFE5H	FFH	R/W
MK1L	WTMK注	1	1	1	1	ADMK	TMMK2	TMMK1					FFE6H	FFH	R/W

x x MKx	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注 WTMKは、スタンバイ・モードの解除の許可/禁止を制御しています。割り込み機能の制御は行っていません。

- 注意 1. ウォッチドッグ・タイマをウォッチドッグ・タイマ・モード1で使用する場合、TMMK4フラグを読み出すと不定になっています。
2. ポート0は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグに1を設定してください。
3. MK1Lのビット3-6には、必ず1を設定してください。

優先順位指定フラグ・レジスタ (PR0L, PR0H, PR1L)

略号	⑦	⑥	⑤	④	③	②	①	①	①	①	①	①	アドレス	リセット時	R/W
PR0L	PPR6	PPR5	PPR4	PPR3	PPR2	PPR1	PPR0	TMPR4					FFE8H	FFH	R/W
PR0H	TMPR01	TMPR00	TMPR3	STPR	SRPR	SERPR	CSIPR1	CSIPR0					FFE9H	FFH	R/W
PR1L	1	1	1	1	1	ADPR	TMPR2	TMPR1					FFEAH	FFH	R/W

x x PRx	優先順位レベルの選択
0	高優先順位レベル
1	低優先順位レベル

- 注意 1. ウォッチドッグ・タイマをウォッチドッグ・タイマ・モード1で使用する場合、TMPR4フラグに1を設定してください。
2. PR1Lのビット3-7には、必ず1を設定してください。

外部割り込みモード・レジスタ0 (INTM0)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
INTM0	ES31	ES30	ES21	ES20	ES11	ES10	0	0	FFECH	00H	R/W

ES11	ES10	INTP0の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下りの両エッジ

ES21	ES20	INTP1の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下りの両エッジ

ES31	ES30	INTP2の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下りの両エッジ

注意 INTP0/TI00/P00端子の有効エッジは、16ビット・タイマ・モード・コントロール・レジスタ (TMC0) のビット1-3 (TMC01-TMC03) に0, 0, 0を設定し、タイマ動作を停止させたのちに設定してください。

外部割り込みモード・レジスタ1 (INTM1)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
INTM1	ES71	ES70	ES61	ES60	ES51	ES50	ES41	ES40	FFEDH	00H	R/W

ES41	ES40	INTP3の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下りの両エッジ

ES51	ES50	INTP4の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下りの両エッジ

ES61	ES60	INTP5の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下りの両エッジ

ES71	ES70	INTP6の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下りの両エッジ

キー・リターン・モード・レジスタ (KRM)

略号	7	6	5	4	3	2	①	②	アドレス	リセット時	R/W
KRM	0	0	0	0	0	0	KRMK	KRIF	FFF6H	02H	R/W

KRIF	キー・リターン信号検出フラグ
0	未検出
1	検出 (ポート4の立ち下がりエッジ検出)
KRMK	キー・リターン信号によるスタンバイ・モードの制御
0	スタンバイ・モードの解除許可
1	スタンバイ・モードの解除禁止

注意 ポート4で立ち下がりエッジ検出を使用するとき、必ずKRIFを0にクリアしてください (KRIFは自動的に0にクリアされません)。

サンプリング・クロック選択レジスタ (SCS)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
SCS	0	0	0	0	0	0	SCS1	SCS0	FF47H	00H	R/W

SCS1	SCS0	INTP0のサンプリング・クロックの選択		
		MCS = 1		MCS = 0
0	0	$f_{\text{osc}}/2^4$		
0	1	$f_{\text{osc}}/2^7$	$f_x/2^7$ (39.1 kHz)	$f_x/2^8$ (19.5 kHz)
1	0	$f_{\text{osc}}/2^5$	$f_x/2^5$ (156.3 kHz)	$f_x/2^6$ (78.1 kHz)
1	1	$f_{\text{osc}}/2^6$	$f_x/2^6$ (78.1 kHz)	$f_x/2^7$ (39.1 kHz)

注意 $f_{\text{osc}}/2^N$ はCPUへ供給されるクロック、 $f_{\text{osc}}/2^5$ 、 $f_{\text{osc}}/2^6$ 、 $f_{\text{osc}}/2^7$ は周辺ハードウェアへ供給されるクロックです。したがって、 $f_{\text{osc}}/2^N$ はHALTモード中は停止します。

- 備考1** . N : プロセッサ・クロック・コントロール・レジスタのビット0-2 (PCC0-PCC2) に設定した値 (N=0-4)。
- 2 . f_{osc} : メイン・システム・クロック周波数 (f_x または $f_x/2$)
- 3 . f_x : メイン・システム・クロック発振周波数
- 4 . MCS : 発振モード選択レジスタ (OSMS) のビット0
- 5 . () 内は、 $f_x = 5.0$ MHz動作時。

7. メモリ容量制御

メモリ拡張モード・レジスタ (MM)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
MM	0	0	PW1	PW0	0	MM2	MM1	MM0	FFF8H	10H	R/W

MM2	MM1	MM0	シングルチップ / メモリ拡張モードの選択	P40-P47, P50-P57, P64-P67端子の状態					
				P40-P47	P50-P53	P54, P55	P56, P57	P64-P67	
0	0	0	シングルチップ・モード	ポート・入力	ポート・モード				
0	0	1		ポート・出力					
0	1	1	メモリ拡張モード	AD0-AD7	ポート・モード				P64= $\overline{\text{RD}}$ P65= $\overline{\text{WR}}$ P66= $\overline{\text{WAIT}}$ P67= $\overline{\text{ASTB}}$
1	0	0	256 バイト・モード		A8-A11	ポート・モード			
1	0	1	4 K バイト・モード			A12, A13	ポート・モード		
1	0	1	16 K バイト・モード			A14, A15			
1	1	1	フルアドレス・モード 注						
上記以外			設定禁止						

PW1	PW0	ウエイトの制御
0	0	ウエイトなし
0	1	ウエイトあり (1ウエイト・ステート挿入)
1	0	設定禁止
1	1	外部ウエイト端子によるウエイト制御

注 フルアドレス・モードとは、64 Kアドレス空間のうち、内部ROM, RAM, SFR領域および使用不可領域を除く、すべての領域に外部拡張できるモードです。

- 備考1** . P60-P63端子は、シングルチップ・モード、メモリ拡張モードにかかわらずポート・モードになります。
- 2 . MMは、ウエイト数、外部拡張領域の設定以外に、ポート4の入力/出力を設定する機能があります。

メモリ・サイズ切り替えレジスタ (IMS) (μPD78P054)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
IMS	RAM2	RAM1	RAM0	0	ROM3	ROM2	ROM1	ROM0	FFF0H	注	R/W

ROM3	ROM2	ROM1	ROM0	内部ROM容量の選択
0	1	0	0	16 Kバイト
0	1	1	0	24 Kバイト
1	0	0	0	32 Kバイト
上記以外				設定禁止
RAM2	RAM1	RAM0	内部高速RAM容量の選択	
0	1	0	512バイト	
1	1	0	1024バイト	
上記以外			設定禁止	

マスクROM製品と同一のメモリ・マップにするIMSの設定値を次に示します。

品名	IMSの設定値
μPD78052	44H
μPD78053	C6H
μPD78054	C8H

注 リセット時の値は製品によって異なります。
μPD78052 : 44H, μPD78053 : C6H, μPD78054, 78P054 : C8H

注意 マスクROM製品を使用する場合、IMSにはリセット時の値以外を設定しないでください。

メモリ・サイズ切り替えレジスタ (IMS) (μPD78P058, 78P058Y)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
IMS	RAM2	RAM1	RAM0	0	ROM3	ROM2	ROM1	ROM0	FFF0H	注1	R/W

ROM3	ROM2	ROM1	ROM0	内部ROM容量の選択
0	1	0	0	16 Kバイト
0	1	1	0	24 Kバイト
1	0	0	0	32 Kバイト
1	0	1	0	40 Kバイト
1	1	0	0	48 Kバイト
1	1	1	0	56 Kバイト 注2
1	1	1	1	60 Kバイト
上記以外				設定禁止

RAM2	RAM1	RAM0	内部高速RAM容量の選択
0	1	0	512バイト
1	1	0	1024バイト
上記以外			設定禁止

マスクROM製品と同一のメモリ・マップにするIMSの設定値を次に示します。

品名	IMSの設定値
μPD78052, 78052Y	44H
μPD78053, 78053Y	C6H
μPD78054, 78054Y	C8H
μPD78055, 78055Y	CAH
μPD78056, 78056Y	CCH
μPD78058, 78058Y	CFH

注1. リセット時の値は製品によって異なります。

μPD78052, 78052Y: 44H, μPD78053, 78053Y: C6H,
μPD78054, 78054Y, 78054Y: C8H, μPD78055, 78055Y: CAH,
μPD78056, 78056Y: CCH, μPD78058, 78P058, 78058Y, 78P058Y: CFH

2. μPD78058, 78P058, 78058Y, 78P058Yで外部デバイス拡張機能を使用する場合、内部ROM容量を56 Kバイト以下にしてください。

注意 マスクROM製品を使用する場合、IMSにはリセット時の値以外を設定しないでください。ただし、μPD78058, 78058Yで外部デバイス拡張機能を使用するときは除きます。

内部拡張RAMサイズ切り替えレジスタ (IXS)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
IXS	0	0	0	0	IXRAM3	IXRAM2	IXRAM1	IXRAM0	FFF4H	0AH	W

IXRAM3	IXRAM2	IXRAM1	IXRAM0	内部拡張RAM容量の選択
1	1	0	0	0バイト
1	0	1	0	1024バイト
上記以外				設定禁止

マスクROM製品と同一の内部拡張RAMにするIXSの設定値を次に示します。

品名	IXSの設定値
μPD78052, 78052Y	0CH
μPD78053, 78053Y	
μPD78054, 78054Y	
μPD78055, 78055Y	
μPD78056, 78056Y	
μPD78058, 78058Y	0AH

8. CPU制御

プロセッサ・クロック・コントロール・レジスタ (PCC)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PCC	MCC	FRC	CLS	CSS	0	PCC2	PCC1	PCC0	FFF0H	04H	R/W 注1

R/W	CSS	PCC2	PCC1	PCC0	CPUクロック (f _{cpu}) の選択		
					MCS = 1		MCS = 0
0	0	0	0	f _{xx}	f _x	(0.4 μs)	f _x /2 (0.8 μs)
	0	0	1	f _x /2	f _x /2	(0.8 μs)	f _x /2 ² (1.6 μs)
	0	1	0	f _x /2 ²	f _x /2 ²	(1.6 μs)	f _x /2 ³ (3.2 μs)
	0	1	1	f _x /2 ³	f _x /2 ³	(3.2 μs)	f _x /2 ⁴ (6.4 μs)
	1	0	0	f _x /2 ⁴	f _x /2 ⁴	(6.4 μs)	f _x /2 ⁵ (12.8 μs)
1	0	0	0	f _x /2 (122 μs)			
	0	0	1				
	0	1	0				
	0	1	1				
	1	0	0				
上記以外				設定禁止			

R	CLS	CPUクロックのステータス
0	メイン・システム・クロック	
1	サブシステム・クロック	

R/W	FRC	サブシステム・クロックのフィードバック抵抗の選択
0	内蔵フィードバック抵抗を使用する	
1	内蔵フィードバック抵抗を使用しない	

R/W	MCC	メイン・システム・クロックの発振の制御 注2
0	発振可能	
1	発振停止	

注1. ビット5は、Read Onlyです。

2. CPUがサブシステム・クロックで動作しているとき、メイン・システム・クロックの発振を停止させるには、MCCを使用してください。STOP命令は使用しないでください。

注意 ビット3には、必ず0を設定してください。

- 備考
- f_{xx}: メイン・システム・クロック周波数 (f_xまたはf_x/2)
 - f_x: メイン・システム・クロック発振周波数
 - f_{XT}: サブシステム・クロック発振周波数
 - MCS: 発振モード選択レジスタ (OSMS) のビット0
 - () 内は、f_x = 5.0 MHzまたはf_{XT} = 32.768 kHz動作時の最小命令実行時間: 2/f_{cpu}

発振モード選択レジスタ (OSMS)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
OSMS	0	0	0	0	0	0	0	MCS	FFF2H	00H	W

MCS	メイン・システム・クロックの分周回路の制御
0	分周回路を使用する
1	分周回路を使用しない

注意1. OSMSへの書き込み命令 (同じ値を書き込む場合を含みます) を実行すると、書き込み命令実行時のみ、メイン・システム・クロック周期が最大2/f_x長くなります。このため、周辺ハードウェアのうち、メイン・システム・クロックで動作しているハードウェアでは、タイマなどのカウント・クロック周期に一時的な誤差が生じます。また、発振モードを切り替えた場合、CPUに供給されるクロックだけでなく、周辺ハードウェアへ供給されるクロックも切り替わります。したがって、OSMSへの書き込み命令は、リセット解除後、周辺ハードウェアを動作させる前に、一度だけ実行することを推奨します。

2. MCSに1を設定する場合は、V_{DD} 2.7 Vになってから行ってください。

9. スタンバイ制御

発振安定時間選択レジスタ (OSTS)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0	FFFAH	04H	R/W

OSTS2	OSTS1	OSTS0	STOPモード解除時の発振安定時間の選択		
			MCS = 1		MCS = 0
0	0	0	$2^{15}/f_{xx}$	$2^{12}/f_x$ (819 μ s)	$2^{13}/f_x$ (1.64 ms)
0	0	1	$2^{16}/f_{xx}$	$2^{14}/f_x$ (3.28 ms)	$2^{15}/f_x$ (6.55 ms)
0	1	0	$2^{15}/f_{xx}$	$2^{15}/f_x$ (6.55 ms)	$2^{16}/f_x$ (13.1 ms)
0	1	1	$2^{16}/f_{xx}$	$2^{16}/f_x$ (13.1 ms)	$2^{17}/f_x$ (26.2 ms)
1	0	0	$2^{17}/f_{xx}$	$2^{17}/f_x$ (26.2 ms)	$2^{18}/f_x$ (52.4 ms)
上記以外			設定禁止		

注意1. RESET入力でSTOPモードを解除するとき、解除までの時間は $2^{18}/f_x$ ではなく、 $2^{17}/f_x$ となります。

- ★ 2. STOPモード解除時のウェイト時間には、STOPモード解除後にクロックが発振を開始するまでの時間は含みません。これは、RESET入力による場合も、割り込み要求発生による場合も同様です。

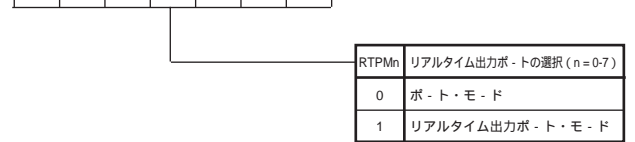
備考1. f_{xx} : メイン・システム・クロック周波数 (f_x または $f_x/2$)

- 2. f_x : メイン・システム・クロック発振周波数
- 3. MCS : 発振モード選択レジスタ (OSMS) のビット 0
- 4. () 内は、 $f_x = 5.0$ MHz動作時。

10. リアルタイム出力ポート

リアルタイム出力ポート・モード・レジスタ (RTPM)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
RTPM	RTPM7	RTPM6	RTPM5	RTPM4	RTPM3	RTPM2	RTPM1	RTPM0	FF34H	00H	R/W

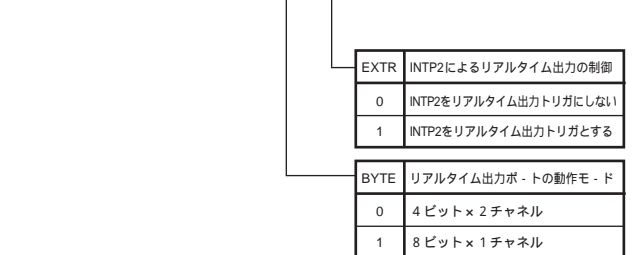


注意1. リアルタイム出力ポートとして使用する場合、リアルタイム出力を行うポートは出力モード (ポート・モード・レジスタ12 (PM12) の該当ビットに0を設定) にしてください。

- 2. リアルタイム出力ポートに指定したポートは、出力ラッチにデータを設定できません。したがって、初期値を設定する場合には、リアルタイム出力ポート・モードにする前に出力ラッチにデータを設定してください。

リアルタイム出力ポート・コントロール・レジスタ (RTPC)

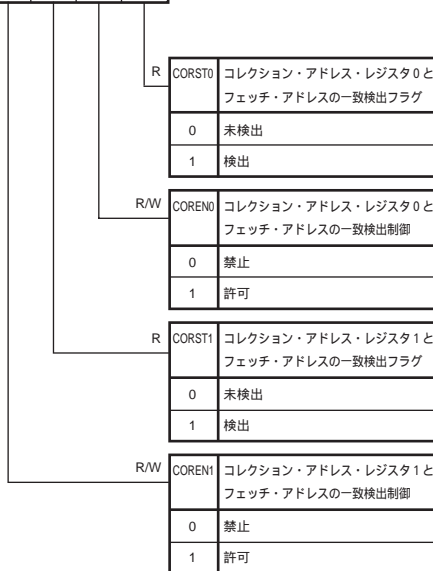
略号	7	6	5	4	3	2	①	②	アドレス	リセット時	R/W
RTPC	0	0	0	0	0	0	BYTE	EXTR	FF36H	00H	R/W



11. ROMコレクション

コレクション・コントロール・レジスタ (CORCN)

略号	7	6	5	4	③	②	①	④	アドレス	リセット時	R/W
CORCN	0	0	0	0	COREN1	CORST1	COREN0	CORST0	FFBAH	00H	R/W 注



注 ビット0, 2はRead Onlyです。

本製品のうち、外国為替および外国貿易管理法の規定により戦略物資等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

この資料中でレジスタ・フォーマットのビット番号を で囲んでいるものは、そのビット名称が RA78K/0で予約語に、CC78K/0ではsfrbit.hというヘッダ・ファイルで定義済みとなっているものです。