

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。


33017インストラクション活用表

(適用品種: μ PD753012, 753016, 753017, 75P3018)

μ PD753017命令セット (1/5)

命令群	ニモニック	オペランド	バイト数	マサイクル	オペレーション	アドレッシング	スキップ動作
転送	MOV	A, #n4	1	1	A←n4		たてづみA
		reg1, #n4	2	2	reg1←n4		
		XA, #n8	2	2	XA←n8		たてづみA
		HL, #n8	2	2	HL←n8		たてづみB
		rp2, #n8	2	2	rp2←n8		
		A, @HL	1	1	A←(HL)	*1	
		A, @HL+	1	2+S	A←(HL), then L←L+1	*1	L=0
		A, @HL-	1	2+S	A←(HL), then L←L-1	*1	L=FH
		A, @rpal	1	1	A←(rpal)	*2	
		XA, @HL	2	2	XA←(HL)	*1	
		@HL, A	1	1	(HL)←A	*1	
		@HL, XA	2	2	(HL)←XA	*1	
		A, mem	2	2	A←(mem)	*3	
		XA, mem	2	2	XA←(mem)	*3	
		mem, A	2	2	(mem)←A	*3	
		mem, XA	2	2	(mem)←XA	*3	
	A, reg1	2	2	A←reg1			
	XA, rp'	2	2	XA←rp'			
	reg1, A	2	2	reg1←A			
	rp'1, XA	2	2	rp'1←XA			
	XCH	A, @HL	1	1	A↔(HL)	*1	
		A, @HL+	1	2+S	A↔(HL), then L←L+1	*1	L=0
		A, @HL-	1	2+S	A↔(HL), then L←L-1	*1	L=FH
		A, @rpal	1	1	A↔(rpal)	*2	
		XA, @HL	2	2	XA↔(HL)	*1	
		A, mem	2	2	A↔(mem)	*3	
		XA, mem	2	2	XA↔(mem)	*3	
		A, reg1	1	1	A↔reg1		
XA, rp'	2	2	XA↔rp'				
テーブル参照	MOV ^{注1}	XA, @PCDE	1	3	XA←(PC ₁₃₋₉ +DE) ROM		
				● μ PD753017, 75P3018			
				XA←(PC ₁₄₋₉ +DE) ROM			
		XA, @PCXA	1	3	XA←(PC ₁₃₋₈ +XA) ROM		
				● μ PD753017, 75P3018			
				XA←(PC ₁₄₋₈ +XA) ROM			
		XA, @BCDE ^{注2}	1	3	XA←(B _{1,0} +CDE) ROM	*6	
				● μ PD753017, 75P3018		*11	
				XA←(B ₂₋₀ +CDE) ROM			
		XA, @BCXA ^{注2}	1	3	XA←(B _{1,0} +CXA) ROM	*6	
		● μ PD753017, 75P3018		*11			
		XA←(B ₂₋₀ +CXA) ROM					
ビット転送	MOV1	CY, fmem, bit	2	2	CY←(fmem, bit)	*4	
		CY, pmem, @L	2	2	CY←(pmem ₇₋₂ +L _{3,2} bit (L _{1,0}))	*5	
		CY, @H+mem, bit	2	2	CY←(H+mem ₃₋₀ , bit)	*1	
		fmem, bit, CY	2	2	(fmem, bit)←CY	*4	
		pmem, @L, CY	2	2	(pmem ₇₋₂ +L _{3,2} bit (L _{1,0}))←CY	*5	
		@H+mem, bit, CY	2	2	(H+mem ₃₋₀ , bit)←CY	*1	

命令群	ニモニック	オペランド	バイト数	マサイクル	オペレーション	アドレッシング	スキップ動作	
演算	ADDS	A, #n4	1	1+S	A←A+n4		carry	
		XA, #n8	2	2+S	XA←XA+n8		carry	
		A, @HL	1	1+S	A←A+(HL)	*1	carry	
		XA, rp'	2	2+S	XA←XA+rp'		carry	
		rp'1, XA	2	2+S	rp'1←rp'1+XA		carry	
	ADDC	A, @HL	1	1	A, CY←A+(HL)+CY	*1		
		XA, rp'	2	2	XA, CY←XA+rp'+CY			
		rp'1, XA	2	2	rp'1, CY←rp'1+XA+CY			
	SUBS	A, @HL	1	1+S	A←A-(HL)	*1	borrow	
		XA, rp'	2	2+S	XA←XA-rp'		borrow	
		rp'1, XA	2	2+S	rp'1←rp'1-XA		borrow	
	SUBC	A, @HL	1	1	A, CY←A-(HL)-CY	*1		
		XA, rp'	2	2	XA, CY←XA-rp'-CY			
		rp'1, XA	2	2	rp'1, CY←rp'1-XA-CY			
	AND	A, #n4	2	2	A←A∧n4			
		A, @HL	1	1	A←A∧(HL)	*1		
		XA, rp'	2	2	XA←XA∧rp'			
		rp'1, XA	2	2	rp'1←rp'1∧XA			
	OR	A, #n4	2	2	A←A∨n4			
		A, @HL	1	1	A←A∨(HL)	*1		
		XA, rp'	2	2	XA←XA∨rp'			
XOR	A, #n4	2	2	A←A⊙n4				
	A, @HL	1	1	A←A⊙(HL)	*1			
	XA, rp'	2	2	XA←XA⊙rp'				
アム操 キレ ユー リタ 作	RORC	A	1	1	CY←A ₀ , A ₃ ←CY, A _{n-1} ←A _n			
	NOT	A	2	2	A← \bar{A}			
増減	INCS	reg	1	1+S	reg←reg+1		reg=0	
		rp1	1	1+S	rp1←rp1+1		rp1=00H	
		@HL	2	2+S	(HL)←(HL)+1	*1	(HL)=0	
		mem	2	2+S	(mem)←(mem)+1	*3	(mem)=0	
	DECS	reg	1	1+S	reg←reg-1		reg=FFH	
		rp'	2	2+S	rp'←rp'-1		rp'=FFH	
比較	SKE	reg, #n4	2	2+S	Skip if reg=n4		reg=n4	
		@HL, #n4	2	2+S	Skip if (HL)=n4	*1	(HL)=n4	
		A, @HL	1	1+S	Skip if A=(HL)	*1	A=(HL)	
		XA, @HL	2	2+S	Skip if XA=(HL)	*1	XA=(HL)	
		A, reg	2	2+S	Skip if A=reg		A=reg	
		XA, rp'	2	2+S	Skip if XA=rp'		XA=rp'	

注1.  で示す部分はMk IIモード時のみ対応可能です。そのほかは、Mk Iモード時のみ対応可能です。

2. ブレジスタは、下記のビットのみ有効です。

μ PD753012, 753016 : 下位2ビット

μ PD753017, 75P3018 : 下位3ビット

備考 μ PD753017, 75P3018はMk Iモードに設定した場合は、PC₁₄は0に固定されます。

本資料は、この製品の企画段階で作成していますので、予告なしに内容を変更することがあります。

また本資料で扱う製品の製品化を中止することがあります。

命令群	命令	オペランド	バイト数	マシンのバイト数	オペレーション	アドレス・ジャンプ	スキップ動作
キャリーフラッグ操作	SET1	CY	1	1	CY←1		
	CLR1	CY	1	1	CY←0		
	SKT	CY	1	1+S	Skip if CY=1		CY=1
	NOT1	CY	1	1	CY←CY		
メモリ・ビット操作	SET1	mem. bit	2	2	(mem. bit) ← 1	*3	
		fmem. bit	2	2	(fmem. bit) ← 1	*4	
		pmem. @L	2	2	(pmem ₇₋₂ +L _{3,2} .bit (L _{1,0})) ← 1	*5	
		@H+mem. bit	2	2	(H+mem ₃₋₀ .bit) ← 1	*1	
	CLR1	mem. bit	2	2	(mem. bit) ← 0	*3	
		fmem. bit	2	2	(fmem. bit) ← 0	*4	
		pmem. @L	2	2	(pmem ₇₋₂ +L _{3,2} .bit (L _{1,0})) ← 0	*5	
		@H+mem. bit	2	2	(H+mem ₃₋₀ .bit) ← 0	*1	
	SKT	mem. bit	2	2+S	Skip if (mem. bit) = 1	*3	(mem. bit) = 1
		fmem. bit	2	2+S	Skip if (fmem. bit) = 1	*4	(fmem. bit) = 1
		pmem. @L	2	2+S	Skip if (pmem ₇₋₂ +L _{3,2} .bit (L _{1,0})) = 1	*5	(pmem. @L) = 1
		@H+mem. bit	2	2+S	Skip if (H+mem ₃₋₀ .bit) = 1	*1	(@H+mem. bit) = 1
	SKF	mem. bit	2	2+S	Skip if (mem. bit) = 0	*3	(mem. bit) = 0
		fmem. bit	2	2+S	Skip if (fmem. bit) = 0	*4	(fmem. bit) = 0
		pmem. @L	2	2+S	Skip if (pmem ₇₋₂ +L _{3,2} .bit (L _{1,0})) = 0	*5	(pmem. @L) = 0
		@H+mem. bit	2	2+S	Skip if (H+mem ₃₋₀ .bit) = 0	*1	(@H+mem. bit) = 0
	SKTCLR	fmem. bit	2	2+S	Skip if (fmem. bit) = 1 and clear	*4	(fmem. bit) = 1
		pmem. @L	2	2+S	Skip if (pmem ₇₋₂ +L _{3,2} .bit (L _{1,0})) = 1 and clear	*5	(pmem. @L) = 1
		@H+mem. bit	2	2+S	Skip if (H+mem ₃₋₀ .bit) = 1 and clear	*1	(@H+mem. bit) = 1
	AND1	CY, fmem. bit	2	2	CY←CY ∧ (fmem. bit)	*4	
		CY, pmem. @L	2	2	CY←CY ∧ (pmem ₇₋₂ +L _{3,2} .bit (L _{1,0}))	*5	
		CY, @H+mem. bit	2	2	CY←CY ∧ (H+mem ₃₋₀ .bit)	*1	
	OR1	CY, fmem. bit	2	2	CY←CY ∨ (fmem. bit)	*4	
		CY, pmem. @L	2	2	CY←CY ∨ (pmem ₇₋₂ +L _{3,2} .bit (L _{1,0}))	*5	
CY, @H+mem. bit		2	2	CY←CY ∨ (H+mem ₃₋₀ .bit)	*1		
XOR1	CY, fmem. bit	2	2	CY←CY ⊕ (fmem. bit)	*4		
	CY, pmem. @L	2	2	CY←CY ⊕ (pmem ₇₋₂ +L _{3,2} .bit (L _{1,0}))	*5		
	CY, @H+mem. bit	2	2	CY←CY ⊕ (H+mem ₃₋₀ .bit)	*1		

命令群	命令	オペランド	バイト数	マシンのバイト数	オペレーション	アドレス・ジャンプ	スキップ動作
分岐	BR ^{注1}	addr	—	—	PC ₁₃₋₀ ←addr [アセンブラにより、次のうち最適な命令を選択します。 BR !addr BRCB !caddr BR \$addr]	*6	
		addr1	—	—	●μPD753017, 75P3018 PC ₁₄₋₀ ←addr1 [アセンブラにより、次のうち最適な命令を選択します。 BR !addr BRA !addr1 BRCB !caddr BR \$addr1]	*11	
	!addr	3	3	PC ₁₃₋₀ ←addr ●μPD753017, 75P3018 PC ₁₄₋₀ ←0, PC ₁₃₋₀ ←addr	*6		
	\$addr	1	2	PC ₁₃₋₀ ←addr	*7		
	\$addr1	1	2	●μPD753017, 75P3018 PC ₁₄₋₀ ←addr1			
	PCDE	2	3	PC ₁₃₋₀ ←PC ₁₃₋₈ +DE ●μPD753017, 75P3018 PC ₁₄₋₀ ←PC ₁₄₋₈ +DE			
	PCXA	2	3	PC ₁₃₋₀ ←PC ₁₃₋₈ +XA ●μPD753017, 75P3018 PC ₁₄₋₀ ←PC ₁₄₋₈ +XA			
	BCDE ^{注2}	2	3	PC ₁₃₋₀ ←B _{1,0} +CDE ●μPD753017, 75P3018	*6	*11	
	BCXA ^{注2}	2	3	PC ₁₃₋₀ ←B _{1,0} +CXA ●μPD753017, 75P3018 PC ₁₄₋₀ ←B _{2,0} +CXA	*6	*11	
	BRA ^{注1}	!addr	3	3	●μPD753012, 753016 PC ₁₃₋₀ ←addr	*6	
		!addr1	3	3	●μPD753017, 75P3018 PC ₁₄₋₀ ←addr1	*11	
	BRCB ^{注1}	!caddr	2	2	PC ₁₃₋₀ ←PC _{13,12} +caddr ₁₁₋₀ ●μPD753017, 75P3018 PC ₁₄₋₀ ←PC _{14,13,12} +caddr ₁₁₋₀	*8	
		!addr	3	3	●μPD753012, 753016 (SP-5)(SP-6)(SP-3)(SP-4)+0, PC ₁₃₋₀ (SP-2)←×, ×, MBE, RBE PC ₁₃₋₀ ←addr, SP←SP-6	*6	
	サブルーチン・スタック制御	!addr1	3	3	●μPD753017, 75P3018 (SP-5)(SP-6)(SP-3)(SP-4)+0, PC ₁₄₋₀ (SP-2)←×, ×, MBE, RBE PC ₁₄₋₀ ←addr1, SP←SP-6	*11	

注1. [] 示す部分はMkIIモード時のみ対応可能です。そのほかは、MkIモード時のみ対応可能です。

2. Bレジスタは、下記のビットのみ有効です。

μPD753012, 753016 : 下位2ビット

μPD753017, 75P3018 : 下位3ビット

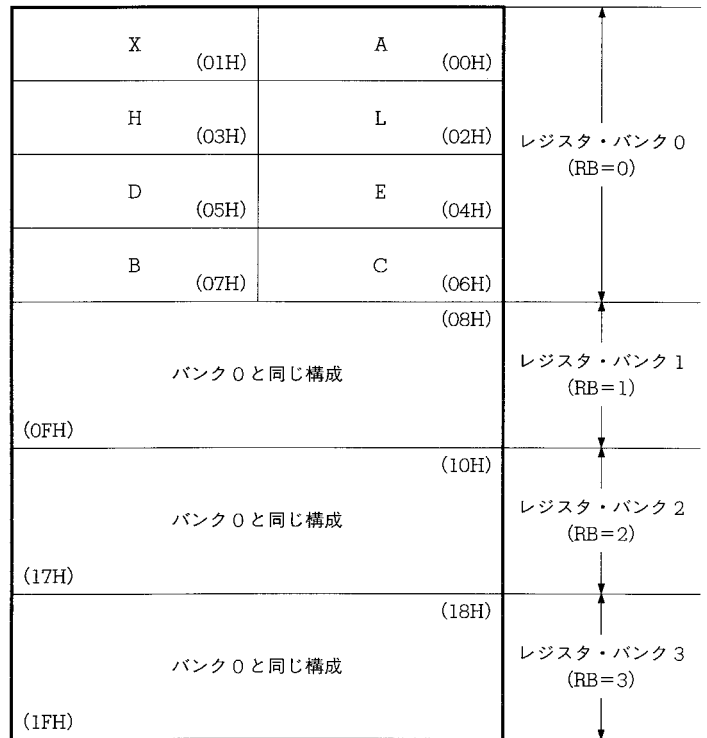
備考 μPD753017, 75P3018をMkIモードに設定した場合は、PC₁₄は0に固定されます。

オペランドの表現形式/記述方式

表現形式	記述方法
reg	X, A, B, C, D, E, H, L
regl	X, B, C, D, E, H, L
rp	XA, BC, DE, HL
rp1	BC, DE, HL
rp2	BC, DE
rp'	XA, BC, DE, HL, XA', BC', DE', HL'
rp'l	BC, DE, HL, XA', BC', DE', HL'
rpa	HL, HL+, HL-, DE, DL
rpal	DE, DL
n4	4ビット・イミディエト・データまたはレーベル
n8	8ビット・イミディエト・データまたはレーベル
mem	8ビット・イミディエト・データまたはレーベル ^注
bit	2ビット・イミディエト・データまたはレーベル
fmem	FBOH-FBFH, FFOH-FFFHイミディエト・データまたはレーベル
pmem	FCOH-FFFHイミディエト・データまたはレーベル
addr	0000H-2FFFHイミディエト・データまたはレーベル(μPD753012) 0000H-3FFFHイミディエト・データまたはレーベル (μPD753016, 753017, 75P3018)
addr1	0000H-5FFFHイミディエト・データまたはレーベル 0000H-7FFFHイミディエト・データまたはレーベル
caddr	12ビット・イミディエト・データまたはレーベル
faddr	11ビット・イミディエト・データまたはレーベル
taddr	20H-7FHイミディエト・データ (ただしbit0=0) またはレーベル
PORTn	PORT0-PORT7
IE×××	IEBT, IETO-IET2, IEO-IE2, IE4, IEC5I, IEW
RBn	RB0-RB3
MBn	MB0, MB1, MB2, MB3, MB15

注 memは、8ビット・データ処理の場合は偶数アドレスのみ記述できます。

汎用レジスタの構成 (データ・メモリにマッピング)

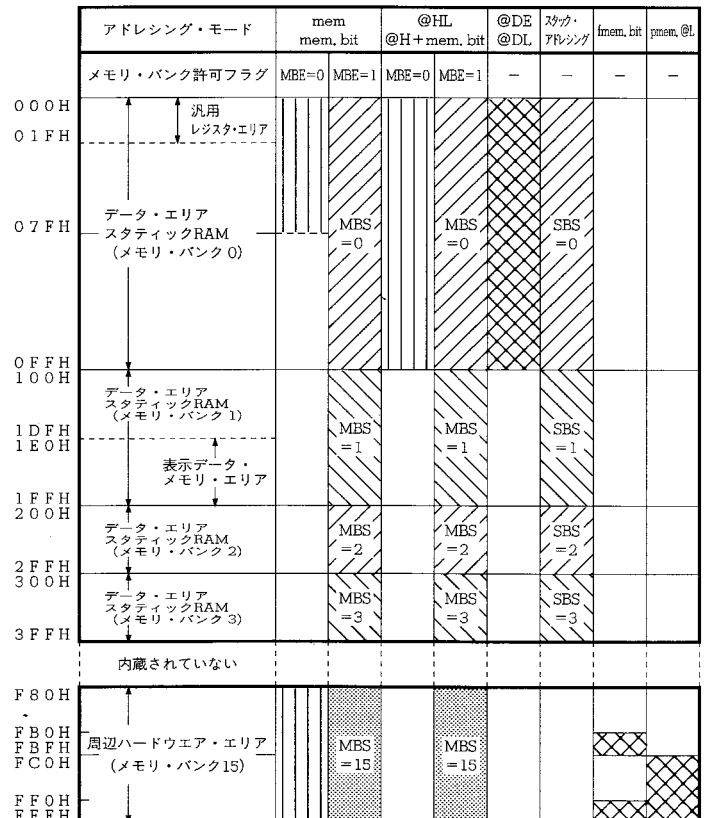


備考1. RB=RBE・RBS (RBS=0-3)

2. レジスタ・ペア (XA, HL, DE, BC, XA', HL', DE', BC') を構成し、8ビット処理可能。

{ なお、(') は、RBのビット0を反転したレジスタ・バンク (0↔1, 2↔3) のレジスタ・ペアを示す。 }

データ・メモリの構成と、各アドレッシング・モードのアドレッシング・エリア



備考 - : don't care

アドレッシング・エリア欄の記号説明

*1	MB=MBE・MBS (MBS=0-3, 15)	データ・メモリ・ アドレッシング
*2	MB=0	
*3	MBE=0:MB=0 (00H-7FH) MB=15 (F80H-FFFFH) MBE=1:MB=MBS (MBS=0-3, 15)	
*4	MB=15, fmem=FB0H-FBFH, FF0H-FFFFH	
*5	MB=15, pmem=FC0H-FFFFH	
*6	μPD753012 addr=0000H-2FFFH μPD753016 addr=0000H-3FFFH 753017 75P3018	プログラム・メモリ・ アドレッシング
*7	μPD753012 addr= (Current PC) - 15~(Current PC) - 1 753016 (Current PC) + 2~(Current PC) + 16 753017 (Mk I モード時) 75P3018 (Mk I モード時) μPD753017 addr1= (Current PC) - 15~(Current PC) - 1 (Mk II モード時) (Current PC) + 2~(Current PC) + 16 75P3018 (Mk II モード時)	
*8	μPD753012 caddr=0000H-0FFFH (PC ₁₃ , 12=00B) or 1000H-1FFFH (PC ₁₃ , 12=01B) or 2000H-2FFFH (PC ₁₃ , 12=10B) μPD753016 caddr=0000H-0FFFH (PC ₁₃ , 12=00B) or 1000H-1FFFH (PC ₁₃ , 12=01B) or 2000H-2FFFH (PC ₁₃ , 12=10B) or 3000H-3FFFH (PC ₁₃ , 12=11B) μPD753017 caddr=0000H-0FFFH (PC ₁₄ , 13, 12=000B) or 1000H-1FFFH (PC ₁₄ , 13, 12=001B) or 2000H-2FFFH (PC ₁₄ , 13, 12=010B) or 3000H-3FFFH (PC ₁₄ , 13, 12=011B) or 4000H-4FFFH (PC ₁₄ , 13, 12=100B) or 5000H-5FFFH (PC ₁₄ , 13, 12=101B) μPD75P3018 caddr=0000H-0FFFH (PC ₁₄ , 13, 12=000B) or 1000H-1FFFH (PC ₁₄ , 13, 12=001B) or 2000H-2FFFH (PC ₁₄ , 13, 12=010B) or 3000H-3FFFH (PC ₁₄ , 13, 12=011B) or 4000H-4FFFH (PC ₁₄ , 13, 12=100B) or 5000H-5FFFH (PC ₁₄ , 13, 12=101B) or 6000H-6FFFH (PC ₁₄ , 13, 12=110B) or 7000H-7FFFH (PC ₁₄ , 13, 12=111B)	
*9	faddr=0000H-07FFFH	
*10	taddr=0020H-007FFFH	
*11	μPD753017 addr1=0000H-5FFFH μPD75P3018 addr1=0000H-7FFFH	

マシン・サイクル欄の記号説明

マシン・サイクル欄の記号は、スキップ動作をするときに要するマシン・サイクル数を示し、次のように変わります。

スキップしないとき	S=0
スキップされる命令が、1, 2バイト命令のとき	S=1
スキップされる命令が、3バイト命令のとき	S=2

備考1. MBはアクセス可能なメモリ・バンクを示します。

2. *2ではMBE, MBSに関係なくMB=0です。
2. *4, *5ではMBE, MBSに関係なくMB=15です。
4. *6-*11は、それぞれアドレッシング可能な領域を示します。

アドレス	ハードウェア名称 (略号)				R/W	操作可能なビット数			ビット操作 アドレッシング	備考
	b3	b2	b1	b0		1ビット	4ビット	8ビット		
F80H	スタック・ポインタ (SP)				R/W	-	-	○	-	ビット0は0に固定
F82H	レジスタ・バンク選択レジスタ (RBS)				R	-	○	○	-	注1
F83H	バンク選択レジスタ (BS)					-	○			
F84H	メモリ・バンク選択レジスタ (MBS)					-	○			
F84H	スタック・バンク選択レジスタ (SBS)				R/W	-	○	-	-	
F85H	ベーシック・インターバル・タイム・モード・レジスタ (BTM)				W	△	○	-	mem. bit	ビット3のみビット操作可能
F86H	ベーシック・インターバル・タイム (BT)				R	-	-	○	-	
F88H	タイマ/イベント・カウンタ・ハイ・レベル期間設定用モジュロ・レジスタ (TMOD2H)				R/W	-	-	○	-	
F8BH	WDTM ^{注2}				W	○	-	-	mem. bit	
F8CH	表示モード・レジスタ (LCDM)				R/W	△ (W)	-	○	mem. bit	ビット3のみビット操作可能
F8EH	表示制御レジスタ (LCDC)				R/W	-	○	-	-	
F8FH	LCDポート選択レジスタ (LPS)				W	-	○	-	-	

F90H	タイマ/イベント・カウンタ2モード・レジスタ (TM2)				R/W	△ (W)	-	○	mem. bit	ビット3のみビット操作可能
F91H						-	-		-	
F92H	TOE2 REMC NRZB NRZ				R/W	○	○	○	mem. bit	ビット3はWのみ可能
F93H	タイマ/イベントカウンタ2コントロールレジスタ (TC2) TGCE - - -					△	-			ビット3のみビット操作可能
F94H	タイマ/イベント・カウンタ2カウンタ・レジスタ (T2)				R	-	-	○	-	
F95H										
F96H	タイマ/イベント・カウンタ2モジュロ・レジスタ (TMOD2)				R/W	-	-	○	-	
F97H										
F98H	時計モード・レジスタ (WM)				R/W	△ (R)	-	○	mem. bit	ビット3のみビット操作可能
F99H						-	-		-	

FA0H	タイマ/イベント・カウンタ0モード・レジスタ (TMO)				R/W	△ (W)	-	○	mem. bit	ビット3のみビット操作可能
FA2H	TOE ^{注3}				W	○	-	-	mem. bit	
FA4H	タイマ/イベント・カウンタ0カウンタ・レジスタ (T0)				R	-	-	○	-	
FA6H	タイマ/イベント・カウンタ0モジュロ・レジスタ (TMOD0)				R/W	-	-	○	-	
FA8H	タイマ/イベント・カウンタ1モード・レジスタ (TM1)				R/W	△ (W)	-	○	mem. bit	ビット3のみビット操作可能
FAAH	TOE ^{注4}				W	○	-	-	mem. bit	
FACH	タイマ/イベント・カウンタ1カウンタ・レジスタ (T1)				R	-	-	○	-	
FAEH	タイマ/イベント・カウンタ1モジュロ・レジスタ (TMOD1)				R/W	-	-	○	-	

アドレス	ハードウェア名称 (略号)				R/W	操作可能なビット数			ビット操作 アドレッシング	備考
	b3	b2	b1	b0		1ビット	4ビット	8ビット		
FB0H	IST1	IST0	MBE	RBE	R/W	○ (R/W)	○ (R/W)	○ (R)	fmem. bit	8ビット操作はRのみ可能
	プログラム・ステータス・ワード (PSW) CY SK2 SK1 SK0					-	-			
FB2H	割り込みプライオリティ選択レジスタ (IPS)				R/W	-	○	-		注5
FB3H	プロセッサ・クロック・コントロール・レジスタ (PCC)				R/W	-	○	-		注6
FB4H	INT0モード・レジスタ (IM0)				R/W	-	○	-	-	
FB5H	INT1モード・レジスタ (IM1)				R/W	-	○	-		
FB6H	INT2モード・レジスタ (IM2)				R/W	-	○	-		
FB7H	システム・クロック・コントロール・レジスタ (SCC)				R/W	△	○ (R)	-	-	ビット0,3のみビット操作可能
FB8H	IE4	IRQ4	IEBT	IRQBT	R/W	○	○	-	fmem. bit	
FBAH	/	/	IEW	IRQW	R/W	○	○	-		
FBCH	IE1	IRQ1	IE10	IRQ10	R/W	○	○	-		
FBDH	IE2	IRQ2	IECS1	IRQCS1	R/W	○	○	-		
FBEH	IE1	IRQ1	IE0	IRQ0	R/W	○	○	-		
FBFH	/	/	IE2	IRQ2	R/W	○	○	-		

FC0H	ビット・シーケンシャル・バッファ0 (BSB0)				R/W	○	○	○	mem. bit pmem. @L	
FC1H	" 1 (BSB1)				R/W	○	○	○		
FC2H	" 2 (BSB2)				R/W	○	○	○		
FC3H	" 3 (BSB3)				R/W	○	○	○		
FCFH	サブ発振回路コントロール・レジスタ (SOS)				R/W	-	○	-	-	
FD0H	クロック出力モード・レジスタ (CLOM)				R/W	-	○	-	-	
FDCH	プルアップ抵抗指定レジスタ・グループA (POGA)				R/W	-	-	○	-	

備考1. IE×××は割り込み許可フラグ
2. IRQ×××は割り込み要求フラグ

注1. 4ビット操作では、RBSおよびMBSとして別々に操作可能。
8ビット操作では、BSとして操作可能。
MBS, RBSへの書き込みはそれぞれSEL MBn, SEL RBn命令で行ってください。
2. WDTM: ウォッチドッグ・タイム許可フラグ (W): 1度セットすると命令ではクリアできません。
3. TOE0: タイマ/イベント・カウンタ0出力許可フラグ (W)
4. TOE1: タイマ/イベント・カウンタ1出力許可フラグ (W)
5. ビット3のみEI/DI命令により操作。
6. ビット3, 2はSTOP/HALT命令実行時ビット操作可能。

アドレス	ハードウェア名称 (略号)				R/W	操作可能なビット数			ビット操作 アドレッシング	備 考
	b3	b2	b1	b0		1ビット	4ビット	8ビット		
FE0H	シリアル動作モード・レジスタ (CSIM)				R/W	-	-	○	-	..注
	CSIE	COI	WUP			△ (R)(W)	-		mem. bit	
FE2H	CMDD	RELD	CMDT	RELT	R/W	○	-	-	mem. bit	R/Wは、ビットにより異なります。
	SBIコントロール・レジスタ (SBIC)									
	BSYE	ACKD	ACKE	ACKT						
FE4H	シリアルI/Oシフト・レジスタ (SIO)				R/W	-	-	○	-	
FE6H	スレープ・アドレス・レジスタ (SVA)				R/W	-	-	○	-	
FE8H	PM33	PM32	PM31	PM30	R/W	-	-	○	-	
	ポート・モード・レジスタ・グループA (PMGA)									
	PM63	PM62	PM61	PM60						
FECH	-	PM2	-	-	R/W	-	-	○	-	
	ポート・モード・レジスタ・グループB (PMGB)									
	PM7	-	PM5	PM4						

アドレス	ハードウェア名称 (略号)				R/W	操作可			アドレッシング	備 考
	b3	b2	b1	b0		1ビット	4ビット	8ビット		
FF0H	ポート 0 (PORT0)				R	○	○	-	fmem. bit pmem. @L	
FF1H	ポート 1 (PORT1)				R	○	○			
FF2H	ポート 2 (PORT2)				R/W	○	○	-		
FF3H	ポート 3 (PORT3)				R/W	○	○			
FF4H	ポート 4 (PORT4)				R/W	○	○	○		
FF5H	ポート 5 (PORT5)				R/W	○	○			
FF6H	KR3	KR2	KR1	KR0	R/W	○	○	○		
	ポート 6 (PORT6)									
FF7H	KR7	KR6	KR5	KR4	R/W	○	○			
	ポート 7 (PORT7)									

注 1 ビット操作は、ビットによりR/Wが異なります。

	0H	1H	2H	3H	4H	5H	6H	7H	8H	9H	AH	BH	CH	DH	EH	FH
F8×H	SP		RBS	MBS	SES	BTM	BT	TMOD2H				WDTM	LCDM		LCDC	LPS
F9×H	TM2		TC2		T2		TMOD2	WM								
FA×H	TM0		TOE0		TO		TMOD0	TM1		TOE1		T1		TMOD1		
FB×H	PSW		IPS	PCC	IM0	IM1	IM2	SCC	注		注		注			
FC×H	BSB0	BSB1	BSB2	BSB3												SOS
FD×H	CLOM												POGA			
FE×H	CSIM		SBIC		SIO		SVA	PMGA					PMGB			
FF×H	PORT0-PORT7															

注 IE×××, IRQ×××を示します。

備考 で示す部分は、内蔵されていません。

μPD753017モード・レジスタ

タイマ/イベント・カウンタ・モード・レジスタ (チャンネル0)

TM0	-	TM06	TM05	TM04	TM03	TM02	-	-
-----	---	------	------	------	------	------	---	---

動作モード

TM02	カウント動作
0	停止 (カウント内容保持)
1	カウント動作

タイマ・スタート指示ビット

TM03	"1"を書き込むことによって、カウンタ、IRQT0フラグをクリア。ビット2が"1"にセットされていれば、カウント動作をスタート。
------	--

カウント・パルス (CP) 選択ビット

TM06	TM05	TM04	カウント・パルス (CP)
0	0	0	TIO立ち上がりエッジ
0	0	1	TIO立ち下がりエッジ
1	0	0	$f_X/2^{10}$
1	0	1	$f_X/2^8$
1	1	0	$f_X/2^6$
1	1	1	$f_X/2^4$
上記以外			設定禁止

タイマ/イベント・カウンタ・モード・レジスタ (チャンネル1)

TM1	-	TM16	TM15	TM14	TM13	TM12	TM11	TM10
-----	---	------	------	------	------	------	------	------

動作モード選択ビット

TM11	TM10	モード
0	0	8ビット・タイマ/イベント・カウンタ・モード注
1	0	16ビット・タイマ/イベント・カウンタ・モード
上記以外		設定禁止

注 タイマ/イベント・カウンタ・モード・レジスタ (チャンネル2) のTM20, TM21 (=11) と組み合わせて使用する場合は、キャリア・ジェネレータ・モードとなります。

動作モード

TM12	カウント動作
0	停止 (カウント内容保持)
1	カウント動作

タイマ・スタート指示ビット

TM13	"1"を書き込むことによって、カウンタ、IRQT1フラグをクリア。ビット2が"1"にセットされていれば、カウント動作をスタート。
------	--

カウント・パルス (CP) 選択ビット

TM16	TM15	TM14	カウント・パルス (CP)
0	0	0	TI1立ち上がりエッジ
0	0	1	TI1立ち下がりエッジ
0	1	0	タイマ/イベント・カウンタ・チャンネル2のオーバフロー
0	1	1	$f_X/2^5$
1	0	0	$f_X/2^{12}$
1	0	1	$f_X/2^{10}$
1	1	0	$f_X/2^8$
1	1	1	$f_X/2^6$

タイマ/イベント・カウンタ・モード・レジスタ (チャンネル2)

TM2	-	TM26	TM25	TM24	TM23	TM22	TM21	TM20
-----	---	------	------	------	------	------	------	------

動作モード選択ビット

TM21	TM20	モード
0	0	8ビット・タイマ/イベント・カウンタ・モード
0	1	PWMパルス・ジェネレータ・モード
1	0	16ビット・タイマ/イベント・カウンタ・モード
1	1	キャリア・ジェネレータ・モード

動作モード

TM22	カウント動作
0	停止 (カウント内容保持)
1	カウント動作

タイマ・スタート指示ビット

TM23	"1"を書き込むことによって、カウンタ、IRQT2フラグをクリア。ビット2が"1"にセットされていれば、カウント動作をスタート。
------	--

カウント・パルス (CP) 選択ビット

TM26	TM25	TM24	カウント・パルス (CP)
0	0	0	TI2立ち上がりエッジ
0	0	1	TI2立ち下がりエッジ
0	1	0	$f_X/2$
0	1	1	f_X
1	0	0	$f_X/2^{10}$
1	0	1	$f_X/2^8$
1	1	0	$f_X/2^6$
1	1	1	$f_X/2^4$

タイマ/イベント・カウンタ出力許可フラグ

TOE0,	0	タイマ/イベント・カウンタ・アウトプットF/Fの出力を禁止
TOE1	1	タイマ/イベント・カウンタ・アウトプットF/Fの出力を許可

タイマ/イベント・カウンタ・コントロール・レジスタ

TC2	TGCE	-	-	-	TOE2	REMC	NRZB	NRZ
-----	------	---	---	---	------	------	------	-----

ノー・リターン・ゼロ・フラグ

NRZ	ノー・リターン・ゼロ・データ
0	ロウ・レベルを出力する
1	キャリア・パルスまたはハイ・レベルを出力する

ノー・リターン・ゼロ・バッファ・フラグ

NRZB	次に出力するノー・リターン・ゼロ・データ。タイマ/イベント・カウンタ (チャンネルn) の割り込み発生時、NRZへ転送される。
------	---

リモコン出力制御フラグ

REMC	リモコン出力
0	NRZ=1のとき、キャリア・パルスを出力する
1	NRZ=1のとき、ハイ・レベルを出力する

タイマ出力許可フラグ

TOE2	タイマ出力
0	禁止 (ロウ・レベルを出力する)
1	許可

ゲート制御許可フラグ

TGCE	ゲート制御
0	禁止 (ゲート・サンプリング・クロックに従わない)
1	許可 (ゲート・サンプリング・クロックに従う)

ベーシック・インターバル・タイマ・モード・レジスタ

BTM	BTM3	BTM2	BTM1	BTM0
-----	------	------	------	------

BTM2	BTM1	BTM0	入力クロック指定	割り込みインターバル時間 (スタンバイ解除時のウェイト時間)
0	0	0	$f_X/2^{12}$	$2^{20}/f_X$
0	1	1	$f_X/2^9$	$2^{17}/f_X$
1	0	1	$f_X/2^7$	$2^{15}/f_X$
1	1	1	$f_X/2^5$	$2^{13}/f_X$
上記以外			設定禁止	

BTM3	"1" を書き込むことによって、ベーシック・インターバル/ウォッチドッグ・タイマのスタート (カウンタ、IRQBTフラグをクリア)。動作を開始すると、自動的にリセット "0" される。
------	--

ウォッチドッグ・タイマ許可フラグ (WDTM)

WDTM	0	ベーシック・インターバル・タイマ (BT) のオーバーフローによりIRQBTをセットします。
	1	ベーシック・インターバル・タイマ (BT) のオーバーフローにより内部リセット信号を発生します。

時計モード・レジスタ

WM	WM7	0	WM5	WM4	WM3	WM2	WM1	WM0
----	-----	---	-----	-----	-----	-----	-----	-----

WM0	0	$f_X/128$ をカウント・クロックに選択
	1	f_{XT} をカウント・クロックに選択
WM1	0	通常時計モード (0.5 s間隔でIRQWをセット)
	1	早送り時計モード (3.91 ms間隔でIRQWをセット)
WM2	0	時計動作停止 (カウンタ・クリア)
	1	時計動作可能
WM3	0	XT1端子への入力はロウ・レベル
	1	XT1端子への入力はハイ・レベル
WM7	0	ブザー出力禁止
	1	ブザー出力許可

WM5	WM4	ブザー出力周波数
0	0	$f_W/2^4$ (2,048 kHz)
0	1	$f_W/2^3$ (4,096 kHz)
1	0	設定禁止
1	1	f_W (32,768 kHz)

プロセッサ・クロック・コントロール・レジスタ

PCC	PCC3	PCC2	PCC1	PCC0
-----	------	------	------	------

CPUクロック選択

PCC1	PCC0	SCC=0		SCC=1	
		()内は $f_X=6.00$ MHz時 CPUクロック周波数	1マシン・サイクル	()内は $f_{XT}=32.768$ MHz時 CPUクロック周波数	1マシン・サイクル
0	0	$\Phi=f_X/64$ (93.8 kHz)	$64/f_X$ (10.7 μ s)	$\Phi=f_{XT}/4$ (8,192 kHz)	$4/f_{XT}$ (122 μ s)
0	1	$\Phi=f_X/16$ (375 kHz)	$16/f_X$ (2.67 μ s)		
1	0	$\Phi=f_X/8$ (750 kHz)	$8/f_X$ (1.33 μ s)		
1	1	$\Phi=f_X/4$ (1.5 MHz)	$4/f_X$ (0.67 μ s)		

f_X : メイン・システム・クロック発振回路出力周波数

f_{XT} : サブシステム・クロック発振回路出力周波数

CPU動作モード

PCC3	PCC2	CPU動作モード
0	0	通常動作モード
0	1	HALTモード
1	0	STOPモード
1	1	設定禁止

備考 PCC1,0を書き換えたあと、CPUクロック Φ が変更されるまで最大16マシン・サイクル必要です。

システム・クロック・コントロール・レジスタ

SCC	SCC3	-	-	SCC0
-----	------	---	---	------

SCC3	SCC0	CPUクロックの選択	メイン・システム・クロックの発振
0	0	メイン・システム・クロック	発振可能
0	1	サブシステム・クロック	
1	0	設定禁止	
1	1	サブシステム・クロック	発振停止

クロック出力モード・レジスタ

CLOM	CLOM3	0	CLOM1	CLOM0
------	-------	---	-------	-------

CLOM1	CLOM0	クロック出力周波数選択
0	0	Φ
0	1	$f_X/2^3$
1	0	$f_X/2^4$
1	1	$f_X/2^6$

クロック出力の許可/禁止

CLOM3	0	出力禁止
	1	出力許可

スタック・バンク選択レジスタ

SBS	SBS3	0	SBS1	SBS0
-----	------	---	------	------

スタック・エリア指定

SBS1	SBS0	スタック・エリア指定
0	0	メモリ・バンク 0
0	1	メモリ・バンク 1
1	0	メモリ・バンク 2
1	1	メモリ・バンク 3

モード切り替え指定

SBS3	0	MK II モード
	1	MK I モード

サブ発振回路コントロール・レジスタ

SOS	0	0	SOS1	SOS0
-----	---	---	------	------

サブ発振回路フィードバック抵抗カット・フラグ

SOS0	0	内蔵フィードバック抵抗を使用する
	1	内蔵フィードバック抵抗を使用しない

サブ発振回路電流カット・フラグ

SOS1	0	ドライブ電流大 ($1.8V \leq V_{DD}$)
	1	ドライブ電流小 ($2.7V \leq V_{DD}$)

SBIコントロール・レジスタ

SBIC	BSYE	ACKD	ACKE	ACKT	CMDD	RELD	CMDT	RELT
------	------	------	------	------	------	------	------	------

RELT	(W)	セットすることにより、SOラッチがセット(1)される。 バス・リリース信号出力のために用いる。 SOラッチのセット後、自動的に“0”にクリアされる。
------	-----	--

CMDT	(W)	セットすることにより、SOラッチがクリア(0)される。 コマンド信号出力のために用いる。 SOラッチのクリア後、自動的に“0”にクリアされる。
------	-----	---

RELD	(R)	0になる条件 <ul style="list-style-type: none"> ・転送スタート指示時。 ・受信したアドレスがスレーブ・アドレス・レジスタ (SVA) の値と一致しないとき。 ・リセット入力時。 ・CSIE=0
		1になる条件 <ul style="list-style-type: none"> ・バス・リリース信号の検出時。

CMDD	(R)	0になる条件 <ul style="list-style-type: none"> ・転送スタート指示時。 ・バス・リリース信号の検出時。 ・リセット入力時。 ・CSIE=0
		1になる条件 <ul style="list-style-type: none"> ・コマンド信号の検出時。

ACKT	(W)	転送完了後 セットする命令実行直後のSCKに同期してアクノリッジ信号のみを使用 を出力。
------	-----	--

- 備考1. ACKTは、アクノリッジ信号出力後自動的にクリアされます。
 2. ACKTは、ソフトウェアでクリアすることはできません。
 3. ACKTをセットするときは、ACKE=0にしてください。

ACKE	(R/W)	0 <ul style="list-style-type: none"> ・アクノリッジ信号の自動出力を禁止 (アクノリッジ・トリガ・ビット ACKTによる出力は可能)。
		1 <ul style="list-style-type: none"> ・転送完了前 <ul style="list-style-type: none"> ・SCKの9クロック目に同期してアクノリッジ信号を出力 (ACKE=1にしておくことにより自動出力される)。 ・転送完了後 <ul style="list-style-type: none"> ・セットする命令実行直後のSCKに同期してアクノリッジ信号を出力 (ACKE=1にしておくことにより自動出力される)。

ACKD	(R)	0になる条件 <ul style="list-style-type: none"> ・転送開始時。 ・リセット入力時。
		1になる条件 <ul style="list-style-type: none"> ・アクノリッジ信号検出時。

BSYE	(R/W)	0 <ul style="list-style-type: none"> ・同期ビジー信号の出力を禁止。 クリア命令実行直後のSCKの立ち下がりに同期して、同期ビジー信号の出力を停止。
		1 <ul style="list-style-type: none"> ・アクノリッジ信号に続くSCKの立ち下がりに同期して同期ビジー信号を出力。

ポート・モード・レジスタ・グループA

PMGA	PM63	PM62	PM61	PM60	PM33	PM32	PM31	PM30
------	------	------	------	------	------	------	------	------

PM3n	PM6n	P3n, P6n端子入出力指定 (n=0-3)
0		入力モード (出力バッファ・オフ)
1		出力モード (出力バッファ・オン)

ポート・モード・レジスタ・グループB

PMGB	PM7	-	PM5	PM4	-	PM2	-	-
------	-----	---	-----	-----	---	-----	---	---

PMn	ポートn入出力指定 (n=2, 4, 5, 7)
0	入力モード (出力バッファ・オフ)
1	出力モード (出力バッファ・オン)

シリアル動作モード・レジスタ

CSIM		CSIE	COI	WUP	CSIM4	CSIM3	CSIM2	CSIM1	CSIMO
CSIM1 (W)	CSIM0 (W)	シリアル・クロック						SCK端子	
0	0	3線式シリアル/Oモード	SBIモード	2線式シリアル/Oモード				モード	
0	0	SCK端子への外部からの入力クロック						入力	
0	1	タイマ/イベント・カウンタ出力 (TO)						出力	
1	0	$f_X/2^4$ (375 kHz)			$f_X/2^6$ (93,8 kHz)				
1	1	$f_X/2^3$ (750 kHz)							

() 内は $f_X=6.00$ MHz時

CSIM4 (W)	CSIM3 (W)	CSIM2 (W)	動作モード	シフト・レジスタのビット順	SO端子機能	SI端子機能
×	0	0	3線式シリアル I/Oモード	SIO ₇₋₀ ↔ XA (MSB先頭で転送)	SO/PO2 (CMOS出力)	SI/PO3 (入力)
		1				
0	1	0	SBIモード	SIO ₇₋₀ ↔ XA (MSB先頭で転送)	SBO/PO2 (N-chオープン・ドレイン出力)	PO3入力
		1			PO2入力	SB1/PO3 (N-chオープン・ドレイン出力)
0	1	1	2線式シリアル I/Oモード	SIO ₇₋₀ ↔ XA (MSB先頭で転送)	SBO/PO2 (N-chオープン・ドレイン出力)	PO3入力
		1			PO2入力	SB1/PO3 (N-chオープン・ドレイン出力)

WUP (W)	0	各モードでのシリアル転送終了時に毎回IRQCSIをセットする。
1	1	SBIモードのみに使用。バス・リリース後に受信したアドレスがスレーブ・アドレス・レジスタのデータと一致したとき (ウエイク・アップ状態) のみIRQCSIをセットする。 SBO/SB1はハイ・インピーダンス

COI (R)	0	スレーブ・アドレス・レジスタとシフト・レジスタのデータが不一致
1	1	スレーブ・アドレス・レジスタとシフト・レジスタのデータが一致

CSIE (W)	シフト・レジスタの動作	シリアル・クロック・カウンタ	IRQCSI フラグ	SO/SBO, SI/SB1端子
0	シフト動作禁止	クリア	保持	ポート0機能専用
1	シフト動作可能	カウント動作	セット可能	各モードでの機能とポート0兼用

- 注意1.** COIは、シリアル転送開始前、完了後にのみ有効です。転送中には不定の値が読み出されます。
- 2.** COIに書き込まれたデータは無視されます。
- 3.** PO1/SCK端子を入力ポートとして使用するには、次の2つの設定を行ってください。
- CSIMO, CSIM1に“0”をセットする (PO1/SCK端子を入力モードにする)。
 - CSIEに“0”をセットする (シリアル・インタフェースの動作を停止する)。
- また、CSIMO=1またはCSIM1=1の場合は、PO1/SCK端子はハイ・レベルを出力します。

備考 (R) : データの読み出し可能。
(W) : データの書き込み可能。
(R/W) : データの読み出し/書き込みがともに可能。

ブルアップ抵抗レジスタ・グループ

POGA	PO7	PO6	—	—	PO3	PO2	PO1	PO0
POn	指定内容 (n=0-3, 6, 7)							
0	ブルアップ抵抗を内蔵しない。							
1	ブルアップ抵抗を内蔵する。							

表示モード・レジスタ

LCDM	LCDM7	LCDM6	LCDM5	LCDM4	LCDM3	LCDM2	LCDM1	LCDM0
------	-------	-------	-------	-------	-------	-------	-------	-------

表示モードの選択

LCDM3	LCDM2	LCDM1	LCDM0	時分割数	バイアス法
0	×	×	×	表示オフ ^注	
1	0	0	0	4	1/3
1	0	0	1	3	1/3
1	0	1	0	2	1/2
1	0	1	1	3	1/2
1	1	0	0	スタティック	
上記以外				設定禁止	

注 全セグメント信号が非選択レベル

LCDクロックの選択

LCDM5	LCDM4	LCDCL
0	0	$f_W/2^9$ (64 Hz)
0	1	$f_W/2^8$ (128 Hz)
1	0	$f_W/2^7$ (256 Hz)
1	1	$f_W/2^6$ (512 Hz)

() 内は $f_W=32.768$ kHzの場合

セグメント/ポートの切替指定

LCDM7	LCDM6	S24-S27	S28-S31	セグメント出力	ビット・ポート出力
0	0	セグメント出力	セグメント出力	32本	0本
0	1	セグメント出力	ビット・ポート出力	28本	4本
1	0	ビット・ポート出力	セグメント出力	28本	4本
1	1	ビット・ポート出力	ビット・ポート出力	24本	8本

フレーム周波数 (Hz)

LCDCL	$f_W/2^9$ (64 Hz)	$f_W/2^8$ (128 Hz)	$f_W/2^7$ (256 Hz)	$f_W/2^6$ (512 Hz)
表示デューティ				
スタティック	64	128	256	512
1/2	32	64	128	256
1/3	21	43	85	171
1/4	16	32	64	128

() 内は $f_W=32.768$ kHzの場合

表示制御レジスタ

LCDC	0	LCDC2	VACO	LCDC0
------	---	-------	------	-------

LCDコントローラ動作の禁止/許可

LCDC0	0	1	
LCDM3	×	0 1	
COM0-3	"L" を出力 (表示オフ)	表示モードに対応したコモン信号を出力	表示モードに対応したコモン信号を出力
S0-S23	"L" を出力 (表示オフ)	表示モードに対応したセグメント信号を出力(非選択レベル出力, 表示オフ)	表示モードに対応したセグメント信号を出力(表示オン)
S24-S31のセグメント指定端子			
S24-S31のビット・ポート指定端子	対応する表示データ・メモリのビット0の内容を出力(ビット・ポート機能)	対応する表示データ・メモリのビット0の内容を出力(ビット・ポート機能)	対応する表示データ・メモリのビット0の内容を出力(ビット・ポート機能)
分割抵抗への電源供給(BIAS端子出力)	オフ (ハイインピーダンス) ^{注1}	オン (ハイ・レベル) ^{注1}	オン (ハイ・レベル) ^{注1}

注1. () 内は分割抵抗を内蔵しない場合です。

2. BIAS端子出力によって分割抵抗 (V_{LC0-2}) への電源を供給していないときは、表示出力、ビット・ポート出力はLCDC0による影響を受けません。

昇圧回路カット用信号

VACO	0	通常モード ($2.7V \leq V_{DD} \leq 5.5V$)
	1	低電圧モード ($1.8V \leq V_{DD} \leq 5.5V$)

LCDC, SYNC信号の出力の禁止/許可

LCDC2	0	LCDC, SYNC信号の出力を禁止
	1	LCDC, SYNC信号の出力を許可

プログラム・ステータス・ワード

PSW	CY	SK2	SK1	SK0	IST1	IST0	MBE	RBE
-----	----	-----	-----	-----	------	------	-----	-----

バンク許可フラグ

MBE	0	バンク0に固定 ^注	MBEはメモリ・バンク, RBEはレジスタ・バンクに対応
RBE	1	MBS, RBSによりバンク指定可能	

注 メモリ・バンクの場合、ダイレクト・アドレッシングにより、バンク15もアクセス可能。

割り込みステータス・フラグ

IST1	IST0	処理内容とアドレス制御
0	0	通常のプログラム処理中 すべての割り込みを受け付け可能
0	1	低位の、または高位のプログラム処理中 高位の割り込みのみ受け付け可能
1	0	高位のプログラム処理中 すべての割り込みの受け付けを禁止
1	1	設定禁止

注意 IST1, 0 を操作する場合は、必ずDI命令を実行して割り込みを禁止した状態で行ってください。

割り込みプライオリティ選択レジスタ

IPS	IPS3	IPS2	IPS1	IPS0
-----	------	------	------	------

高位の割り込みの選択

IPS2	IPS1	IPS0	高位の割り込みの選択	
0	0	0	すべて低位の割り込み	
0	0	1	VRQ1 (INTWT/INT4)	左記ベクタ割り込みを高位の割り込みとする。
0	1	0	VEQ2 (INT0)	
0	1	1	VEQ3 (INT1)	
1	0	0	VEQ4 (INTCSD)	
1	0	1	VEQ5 (INTT0)	
1	1	0	VEQ6 (INTT1, INTT2)	
1	1	1	設定禁止	

割り込みマスク許可フラグ (IME)

IPS3	0	すべての割り込みが禁止される
	1	割り込みの許可/禁止は、各割り込み許可フラグにより制御される

注意 IPSをセットする場合は、必ずDI命令を実行して割り込みを禁止した状態で行ってください。

INT0エッジ検出モード・レジスタ

IM0	IM03	IM02	IM01	IM00
-----	------	------	------	------

IM01	IM00	INT0動作モード
0	0	立ち上がりエッジ指定
0	1	立ち下がりエッジ指定
1	0	立ち上がり、立ち下がり両エッジ指定
1	1	無視 (IRQ0フラグはセットされない)

IM02	ノイズ除去回路の選択	サンプリング	スタンバイ・リリース
0	ノイズ除去回路を選択する	許可	不可
1	ノイズ除去回路を選択しない	禁止	可能

IM03	サンプリング・クロック
0	Φ (0.67 μ s, 1.33 μ s, 2.67 μ s, 10.7 μ s : 6.00 MHz動作時)
1	$64/f_X$ (10.7 μ s : 6.00 MHz動作時)

INT1エッジ検出モード・レジスタ

IM1	0	0	0	IM10
-----	---	---	---	------

IM10	0	立ち上がりエッジ指定
	1	立ち下がりエッジ指定

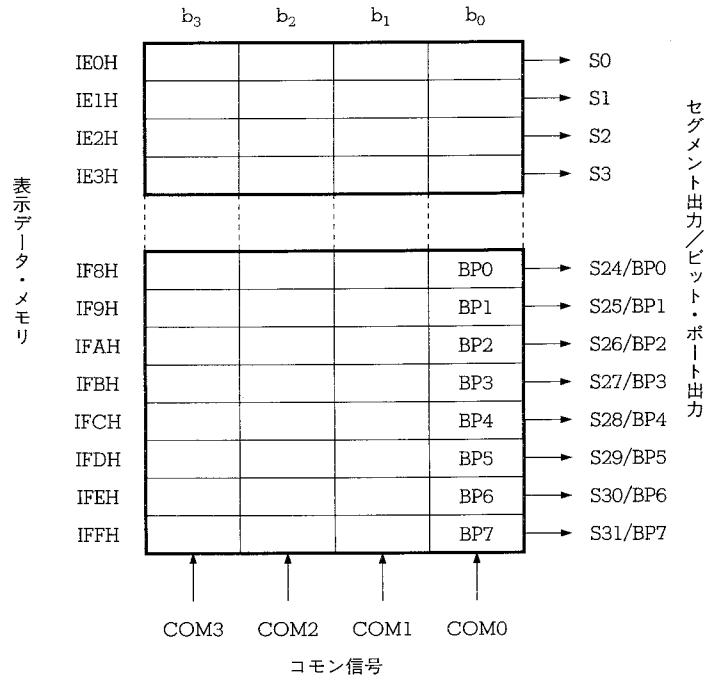
INT2エッジ検出モード・レジスタ

IM2	0	0	IM21	IM20
-----	---	---	------	------

IM21	IM20	INT2テスト・ソース	テスト入力端子
0	0	INT2端子入力立ち上がりエッジ	INT2 (1本)
0	1	KR×端子入力のいずれかの立ち上がりエッジ	KR4-KR7 (4本)
1	0	立ち下がりエッジ	KR2-KR7 (6本)
1	1		KR0-KR7 (8本)

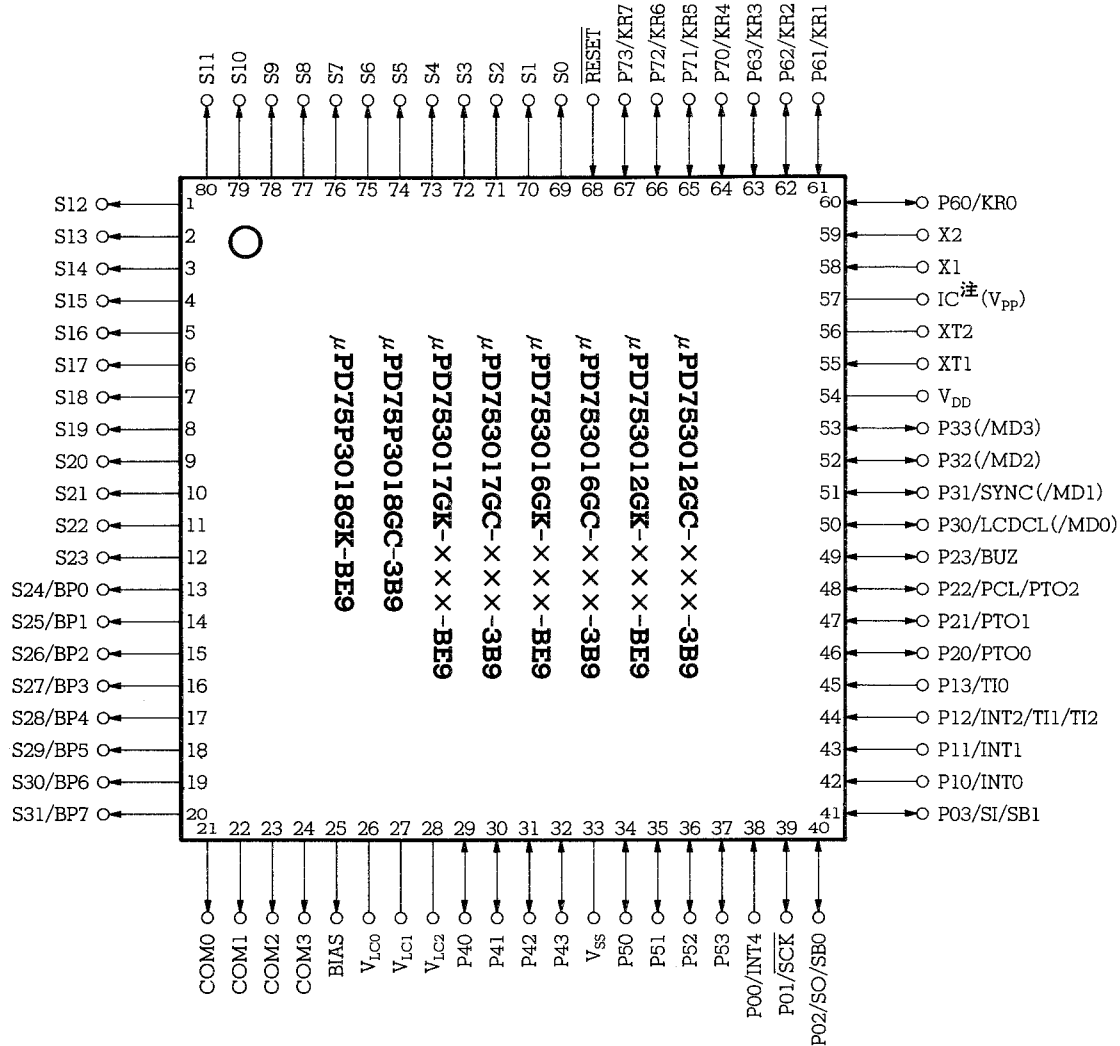
注意 各レジスタの構成図に0とあるビットには、必ず0を書き込んでください。

表示データ・メモリとコモン・セグメント出力の対応



端子接続図 (Top View)

- 80ピン・プラスチックQFP (□14 mm)
- 80ピン・プラスチックTQFP (ファインピッチ) (□12 mm)



注 IC (Internally Connected) 端子は、V_{DD}に直接接続してください。

備考 () 内は、μPD75P3018の場合です。