

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

μ PD17003A 命令セット



命令セット概要

b ₁₅ b ₁₄ b ₁₃ b ₁₂ b ₁₁		0		1				
0	0	0	0	0	ADD	r, m	ADD	m, #i
0	0	0	1	1	SUB	r, m	SUB	m, #i
0	0	1	0	2	ADDC	r, m	ADDC	m, #i
0	0	1	1	3	SUBC	r, m	SUBC	m, #i
0	1	0	0	4	AND	r, m	AND	m, #i
0	1	0	1	5	XOR	r, m	XOR	m, #i
0	1	1	0	6	OR	r, m	OR	m, #i
0	1	1	1	7	INC	AR		
					INC	IX		
					MOVT	DHF, #AR		
					BR	#AR		
					CALL	#AR		
					RET			
					RETSK			
					EI			
					DI			
					RETI			
					PUSH	AR		
					POP	AR		
					GET	DHF, p		
					PUT	μ , DBF		
					PEEK	WR, r1		
POKE	r1, WR							
RORC	r							
STOP	0							
HALT	h							
NOP								
1	0	0	0	8	LD	r, m	ST	m, r
1	0	0	1	9	SKE	m, #i	SKGE	m, #i
1	0	1	0	A	MOV	#r, m	MOV	m, #r
1	0	1	1	B	SKNE	m, #i	SKLT	m, #i
1	1	0	0	C	BR	addr (ページ0)	CALL	addr (ページ0)
1	1	0	1	D	BR	addr (ページ1)	MOV	m, #i
1	1	1	0	E	-		SKT	m, #n
1	1	1	1	F	-		SKF	m, #n

凡 例

- M : データ・メモリ・アドレス
- m : バンクを除くデータ・メモリ・アドレス
- m_H : データ・メモリ・ロウ・アドレス
- m_L : データ・メモリ・コラム・アドレス
- R : ジェネラル・レジスタ・アドレス
- r : ジェネラル・レジスタ・コラム・アドレス
- RP : ジェネラル・レジスタ・ポインタ
- RF : レジスタ・ファイル
- r1 : レジスタ・ファイル・アドレス
- r1_H : レジスタ・ファイル・アドレス (上位3ビット)
- r1_L : レジスタ・ファイル・アドレス (下位3ビット)
- AR : アドレス・レジスタ
- IX : インデクス・レジスタ
- IXE : インデクス・イネーブル・フラグ
- DBF : データ・バンク・フラグ
- WR : ウインドウ・レジスタ
- MP : データ・メモリ・ロウ・アドレス・ポインタ
- MPE : メモリ・ポインタ・イネーブル・フラグ
- PE : 周辺レジスタ
- p : 周辺アドレス
- p_H : 周辺アドレス (上位3ビット)
- p_L : 周辺アドレス (下位4ビット)
- PC : プログラム・メモリ・カウンタ
- SP : スタック・ポインタ
- STACK : スタック・ポインタで示されるスタックの始
- STACK_H : スタック・ポインタで示されるプログラム・カウンタの始
- BANK : バンク・レジスタ
- (ROM)_H : プログラム・メモリ・カウンタで示されるプログラム・メモリのデータ
- INTEF : インタラプト・イネーブル・フラグ
- i : イミチエイト・データ (4ビット)
- n : ビット・ポジション (4ビット)
- addr : プログラム・メモリ・アドレス (11ビット)
- PAGE : プログラム・カウンタの上位2ビット
- LY : キャリー・フラグ
- h : ホールト解除条件
- () : データ・メモリまたはレジスタのアドレス
- { } : データ・メモリまたはレジスタの値

命令群	ニモニック	オペランド	オペレーション	マシン・コード			
				オペ・コード			
加算命令	ADD	r, m	$(R) \leftarrow (R) + (M)$	0000	m ₁₆	m ₁	r
		m, #i	$(M) \leftarrow (M) + i$	1000	m ₁₆	m ₁	i
	ADDC	r, m	$(R) \leftarrow (R) + (M) + (CY)$	0010	m ₁₆	m ₁	r
		m, #i	$(M) \leftarrow (M) + i + (CY)$	1010	m ₁₆	m ₁	i
INC	AR		$(AR) \leftarrow (AR) + 1$	0011	000	1001	0000
	IX		$(IX) \leftarrow (IX) + 1$	0011	000	1000	0000
減算命令	SUB	r, m	$(R) \leftarrow (R) - (M)$	0001	m ₁₆	m ₁	r
		m, #i	$(M) \leftarrow (M) - i$	1001	m ₁₆	m ₁	i
SUBC		r, m	$(R) \leftarrow (R) - (M) - (CY)$	0011	m ₁₆	m ₁	r
		m, #i	$(M) \leftarrow (M) - i - (CY)$	1011	m ₁₆	m ₁	i
比較命令	SKE	m, #i	$(M) - i$, skip if zero	0100	m ₁₆	m ₁	i
	SKGF	m, #i	$(M) - i$, skip if not borrow	1100	m ₁₆	m ₁	i
	SKLT	m, #i	$(M) - i$, skip if borrow	1101	m ₁₆	m ₁	i
	SKNE	m, #i	$(M) - i$, skip if not zero	0101	m ₁₆	m ₁	i
論理演算命令	AND	m, #i	$(M) \leftarrow (M) \text{ AND } i$	1010	m ₁₆	m ₁	i
	OR	m, #i	$(M) \leftarrow (M) \text{ OR } i$	1010	m ₁₆	m ₁	i
	XOR	m, #i	$(M) \leftarrow (M) \text{ XOR } i$	1010	m ₁₆	m ₁	i
		r, m	$(R) \leftarrow (R) \text{ AND } (M)$	0010	m ₁₆	m ₁	r
転送命令	LD	r, m	$(R) \leftarrow (M)$	0100	m ₁₆	m ₁	r
	ST	m, r	$(M) \leftarrow (R)$	1100	m ₁₆	m ₁	r
	MOV	*r, m	if MPE=1 [(MPL), (R)] ← (M) if MPE=0 [(m ₁₆), (R)] ← (M)	0101	m ₁₆	m ₁	i
		m, #r	if MPE=1 (M) ← [(MPL), (R)] if MPE=0 (M) ← [(m ₁₆), (R)]	1101	m ₁₆	m ₁	r
制御命令	MOVT	DBF, #AR	$(STACK_{16}) \leftarrow (PC) - (IX) - (AR)$ $(DBF) \leftarrow (ROM)_{16}, (PC) \leftarrow (STACK_{16})$	0011	000	0001	0000
	PUSH	AR	$(SP) \leftarrow (SP) - 1, (STACK_{16}) \leftarrow (AR)$	0011	000	1101	0000
	POP	AR	$(AR) \leftarrow (STACK_{16}), (SP) \leftarrow (SP) + 1$	0011	000	1100	0000
	PEEK	WR, r1	$(WR) \leftarrow (RF)$	0011	r ₁₆	0011	r ₁
	POKE	r1, WR	$(RF) \leftarrow (WR)$	0011	r ₁₆	0010	r ₁
	GET	DBF, p	$(DBF) \leftarrow (PE)$	0011	p ₁₆	1011	p ₁
	PUT	p, DBF	$(PE) \leftarrow (DBF)$	0011	p ₁₆	1010	p ₁
	ジャンプ命令	SKT	m, #n	if (M) ₁₆ =all "1", then skip	1110	m ₁₆	m ₁
SKF	m, #n	if (M) ₁₆ =all "0", then skip	1111	m ₁₆	m ₁	n	
分岐命令	BR	addr	$(PC) \leftarrow \text{addr}, \text{PAGE} \leftarrow 0$	0110	addr (11 bits)		
		#AR	$(PC) \leftarrow \text{addr}, \text{PAGE} \leftarrow 1$	0110	addr (11 bits)		
		#AR	$(PC) \leftarrow (AR)$	0011	000	0100	0000

命令群	ニモニック	オペランド	オペレーション	マシン・コード			
				オペ・コード			
シフト	RORC	r	$(R)_{16} \leftarrow (R)_{16} \leftarrow (R)_{16} \leftarrow (R)_{16}$	0011	000	0111	r
サブルーチン命令	CALL	addr	$(SP) \leftarrow (SP) - 1, (STACK_{16}) \leftarrow ((PC) + 1, (PC)_{16} - 0, (PC) + \text{addr})$	1110	addr (11 bits)		
		#AR	$(SP) \leftarrow (SP) - 1, (STACK_{16}) \leftarrow ((PC) + 1, (PC) \leftarrow (AR))$	0011	000	0101	0000
	RET		$(PC) \leftarrow (STACK_{16}), (SP) \leftarrow (SP) + 1$	0011	000	1110	0000
	RETSK		$(PC) \leftarrow (STACK_{16}), (SP) \leftarrow (SP) + 1, \text{skip}$	0011	001	1110	0000
戻り命令	RETI		$(PC), (\text{BANK}), (\text{XE}) \leftarrow (STACK), (SP) \leftarrow (SP) + 1$	0011	100	1110	0000
その他	EI		INTEF ← 1	0011	000	1111	0000
	DI		INTEF ← 0	0011	001	1111	0000
その他	STOP	0	stop clock if CE = low	0011	010	1111	0000
	HALT	h	halt	0011	011	1111	h
	NOP		No operation	0011	100	1111	0000

アセンブラ (AS17K) 組み込みマクロ命令

凡 例
 flag : (flag, flagn)のうち1つ
 (flag, flagn) : 予約されているフラグ名
 n : 番号
 < > : 省略可能

ニモニック	オペランド	n	オペレーション
SKTn	flag1, -flagn	1 ≤ n ≤ 4	if (flag1) - (flagn) = all "1", then skip
SKFn	flag1, -flagn	1 ≤ n ≤ 4	if (flag1) - (flagn) = all "0", then skip
SETn	flag1, -flagn	1 ≤ n ≤ 4	(flag1) ← (flagn) - 1
CLRn	flag1, -flagn	1 ≤ n ≤ 4	(flag1) ← (flagn) - 0
NOTn	flag1, -flagn	1 ≤ n ≤ 4	if (flag) = "0", then (flag) ← 1 & if (flag) = "1", then (flag) ← 0
INTEFLG	<NOT>flag1, <NOT>flagn	1 ≤ n ≤ 4	if description = NOT flag, (flag) ← 0 if description ≠ flag, (flag) ← 1
BANKn		0 ≤ n ≤ 2	(BANK) ← n, 0 ≤ n ≤ 2

保守/廃止

Table with columns: Control Register Name, Address, Read/Write, Bit Number, Function, and Bit Value. Rows include SP, Timer, Input/Output, Interrupt, PLL, and ADC registers.

Table with columns: Control Register Name, Address, Read/Write, Bit Number, Function, and Bit Value. Rows include SPI, I2C, ADC, and other peripheral registers.



名前	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	
名前	SP (SIO2MODE)	SATA DP (SIO2MODE)			IFカウンタ (IFCJJK)	PLLロック (PLLHJJK)	ADコンバータ (ADJJK)	キー (KEYJJK)	キー (KEYJJK)	シフトレジスタ (SIOJJK)	シフトレジスタ (SIOJJK)						
記号	S S S S P P P P 3 2 1 0	S S S S P P P P 3 2 1 0			0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	S S S S S S S S I B I I O O O O C 1 1 1 1	T T T T M M M M M M M M D D D D C M T H S X						I N T J D G 0 0 1 0
Read/Write	R/W	R/W			R	R&Reset	R	R	R/W	R/W						R	
名前	LCD (LCDMODE)	LCD (LCDPORT)	IFカウンタ (IFCJJK)	PWM (PWMHJJK)	ADコンバータ (ADJJK)	PLLロック (PLLHJJK)	キー (KEYJJK)	キー (KEYJJK)	シフトレジスタ (SIOJJK)	シフトレジスタ (SIOJJK)							
記号	K L S C 0 0 0 0 F D Y X E F 0 0 S E 0 0 0 0 N N S N N	P P P P P P P P 3 2 1 0	T T T T F F F F C C C C M M C C C C D D K K 1 0 1 0	P P P P W W W W M M M M 2 1 0 0 G O O N N	A A A A D D D D C C C C C C C C H H H H 3 2 1 0	P P P P L L L L L L L L U U U U L L L L D D D D Y Y Y Y 3 2 1 0		K H Y 0 0 0	T M C A O O C 1 1 I K N W W W R R R T Q Q L 0	S S S S S S S S I B I I O O O O C 1 1 1 1						I N T E L U E 0 0 1 0	
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R&Reset	R&Reset	R/W	R/W						R/W	
名前	PLL (PLLMODE)		IFカウンタ (IFCJJK)						IFカウンタ (IFCJJK)	IFカウンタ (IFCJJK)							
記号	P L L L L L M M M M D D D D 3 2 1 0		T F F C C 0 0 S N R T						0 0 0 1 0	0 0 0 1 0							
Read/Write	R/W		W						R/W	R/W						R/W	
名前	PLL (PLRFMODE)				Port 1A (P1AHJJK)	Port 0B (P0BHJJK)	Port 0A (P0AHJJK)		シフトレジスタ (SIOJJK)	シフトレジスタ (SIOJJK)							
記号	P P P P L L L L R R R R M M M M D D D D 3 2 1 0				P P P P 1 1 1 1 A A A A H H H H 1 1 1 1 G O O O 3 2 1 0	P P P P 0 0 0 0 B B B B H H H H 0 0 0 0 3 2 1 0	P P P P 0 0 0 0 A A A A B B B B 1 1 1 1 M M M M D D D D 3 2 1 0		S S S S 1 1 1 1 O O O O 1 1 1 1 T T T T C C C C	S S S S 1 1 1 1 O O O O 1 1 1 1 M M M M K K K K 3 2 1 0						I N T K E Q 1 0 0 1	
Read/Write	R/W				R/W	R/W	R/W		R/W	R/W						R/W	

周辺ハードウェアとデータ・バッファの関係

周辺ハードウェア	データ・バッファとデータ転送を行う周辺レジスタ				機能			
	名称	記号	周辺アドレス	PUT/GET GET命令の有 A出力ビット数	データ・バッファ 出力ビット数	実用ビット数	概 要	
A/Dコンバータ	A/Dコンバータ・データ・レジスタ	A1X/R	02H	PUT/GET	8	6	A/Dコンバータの比較電圧 V _{REF} データを設定 V _{REF} = $\frac{x-0.5}{64} \times V_{DD}$, 1 ≤ x ≤ 63	
シリアル・インタフェース	シリアル・インタフェース2 (SIO2)	シリアル・インタフェース2 (SIO2SER)	03H	PUT/GET	8	8	シリアル・アウト・データの設定およびシリアル・イン・データの読み込み	
	シリアル・インタフェース1 (SBI, SBL, SIO1)	シリアル・インタフェース1 (SIO1SER)	04H	PUT/GET	8	8	シリアル・アウト・データの設定およびシリアル・イン・データの読み込み	
D/Aコンバータ (PWM出力)	PWM ₀ 出力	PWMデータ・レジスタ0	PWM0	05H	PUT/GET	8	D/Aコンバータの出力信号のチューニングを設定 チューニング = $\frac{x+0.25}{256} \times 100\%$, 0 ≤ x ≤ 255 周波数 f = 878.91Hz	
	PWM ₁ 出力	PWMデータ・レジスタ1	PWM1	06H	PUT/GET	8		
	PWM ₂ 出力	PWMデータ・レジスタ2	PWM2	07H	PUT/GET	8		
LCDコントローラ/ドライバ	LCDセグメントグループ0	LCDセグメントグループ・データ・レジスタ0	LCDR0	08H	PUT	8	7	LCDセグメント・グループ0
	LCDセグメントグループ1	LCDセグメントグループ・データ・レジスタ1	LCDR1	09H	PUT	8	7	LCDセグメント・グループ1
	LCDセグメントグループ2	LCDセグメントグループ・データ・レジスタ2	LCDR2	0AH	PUT	8	7	LCDセグメント・グループ2
	LCDセグメントグループ3	LCDセグメントグループ・データ・レジスタ3	LCDR3	0BH	PUT	8	7	LCDセグメント・グループ3
	LCDセグメントグループ4	LCDセグメントグループ・データ・レジスタ4	LCDR4	0CH	PUT	8	7	LCDセグメント・グループ4
	LCDセグメントグループ5	LCDセグメントグループ・データ・レジスタ5	LCDR5	0DH	PUT	8	7	LCDセグメント・グループ5
	LCDセグメントグループ6	LCDセグメントグループ・データ・レジスタ6	LCDR6	0EH	PUT	8	7	LCDセグメント・グループ6
出力ポート	Port 0X	Port 0X グループ・データ・レジスタ	P0X	0CH	PUT	8	8	Port 0Xの出力データを設定 0: Lowレベル 1: Highレベル
	Port 0Y	Port 0Y グループ・データ・レジスタ	P0Y	42H	PUT/GET	16	16	Port 0Yの出力データを設定 0: Lowレベル 1: Highレベル
クロック・ジェネレータ・ポート (CGP)	CGPデータ・レジスタ	CGPR	20H	PUT/GET	8	7	SG機能の周波数 f = $\frac{18}{2(2^x)}$ kHzおよびVIP機能の周波数 f = $\frac{x+2}{67}$ kHzを設定 チューニング D = $\frac{x+2}{67}$, 0 ≤ x ≤ 63	
アドレス・レジスタ (AR)	アドレス・レジスタ	AR	40H	PUT/GET	16	16	アドレス・レジスタとのデータ転送	
PLL周波数シンセサイザ	PLLデータ・レジスタ	PLLR	41H	PUT/GET	16	16	PLLの分周値 (N値) を設定	
キー・ソース・コントローラ/コーダ	キー・ソース・データ・レジスタ	KSR	42H	PUT/GET	16	16	キー・ソース信号の出力データを設定	
周波数カウンタ	IFカウンタ・データ・レジスタ	IFC	43H	GET	16	16	周波数カウンタの計数値の読み込み	

シンボル名	属性	値	R/W	説明
AR3	MEM	0.74H	R/W	アドレス・レジスタのビット15-ビット12 (0に固定)
AR2	MEM	0.75H	R/W	アドレス・レジスタのビット11-ビット8 (0に固定)
AR1	MEM	0.76H	R/W	アドレス・レジスタのビット7-ビット4
AR0	MEM	0.77H	R/W	アドレス・レジスタのビット3-ビット0
WR	MEM	0.78H	R/W	フントウ・レジスタ
BANK	MEM	0.79H	R/W	バンク・レジスタ (上位2ビットは0に固定)
IXH	MEM	0.7AH	R/W	インデックス・レジスタ・ハイ (ビット2, ビット1は0に固定)
MPH	MEM	0.7AH	R/W	メモリ・ポインタ・ハイ ()
MPE	FLG	0.7AH.3	R/W	メモリ・ポインタ・イネーブル・フラグ
IXM	MEM	0.7BH	R/W	インデックス・レジスタ・ミドル
MPL	MEM	0.7BH	R/W	メモリ・ポインタ・ロウ
IXL	MEM	0.7CH	R/W	インデックス・レジスタ・ロウ
RPH	MEM	0.7DH	R/W	シメナル・レジスタ・ポインタ・ハイ (上位2ビットは0に固定)
RPL	MEM	0.7EH	R/W	シメナル・レジスタ・ポインタ・ロウ
PSW	MEM	0.7FH	R/W	プログラム・ステータス・ワード
BCD	FLG	0.7EH.0	R/W	BCDフラグ
CMP	FLG	0.7FH.3	R/W	コンペア・フラグ
CY	FLG	0.7FH.2	R/W	キャリー・フラグ
Z	FLG	0.7FH.1	R/W	ゼロ・フラグ
IXE	FLG	0.7FH.0	R/W	インデックス・イネーブル・フラグ

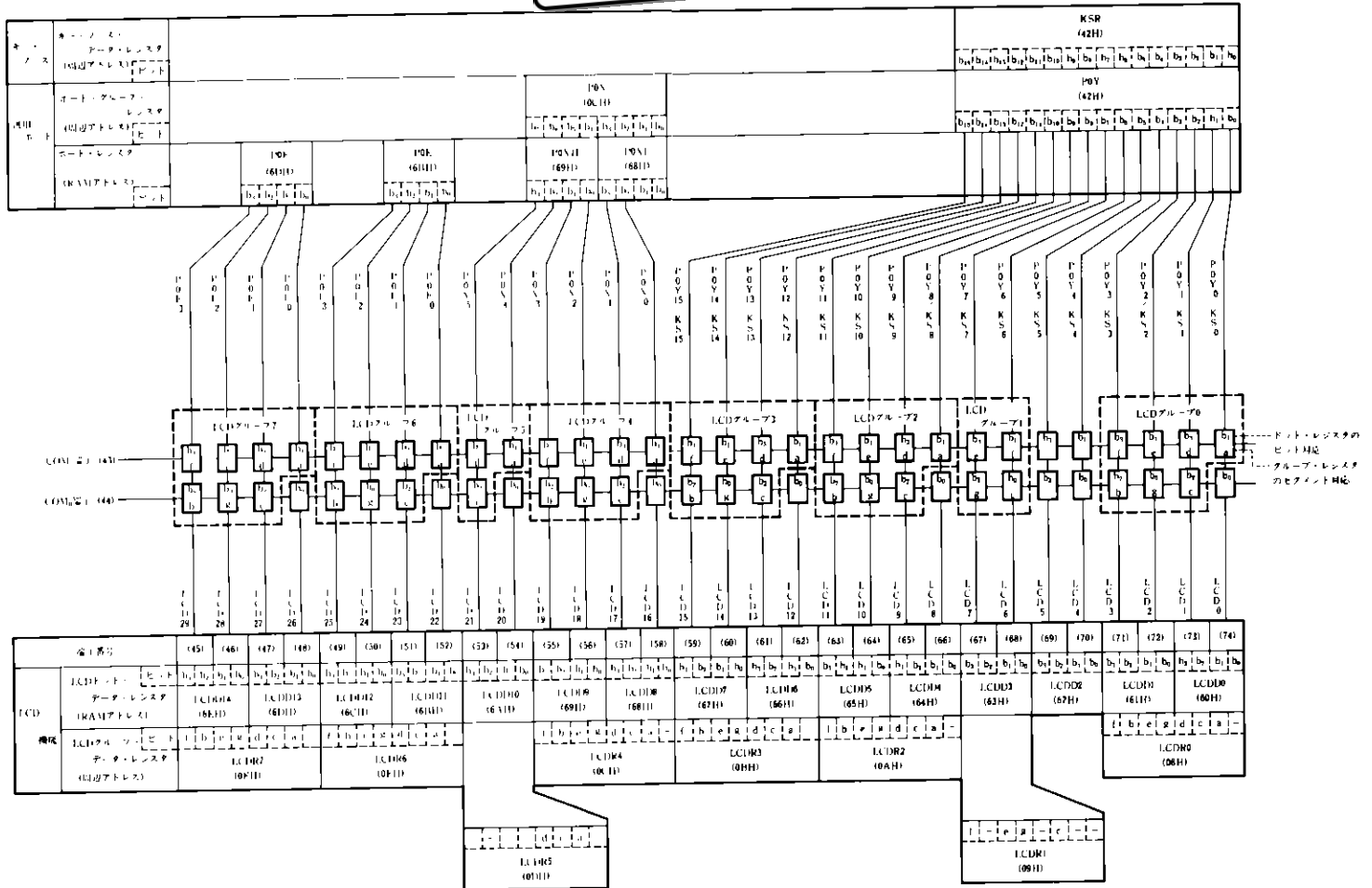
シンボル名	属性	値	R/W	説明
POA3	FLG	0.70H.3	R/W	ポート0Aのビット3
POA2	FLG	0.70H.2	R/W	ポート0Aのビット2
POA1	FLG	0.70H.1	R/W	ポート0Aのビット1
POA0	FLG	0.70H.0	R/W	ポート0Aのビット0
POB3	FLG	0.71H.3	R/W	ポート0Bのビット3
POB2	FLG	0.71H.2	R/W	ポート0Bのビット2
POB1	FLG	0.71H.1	R/W	ポート0Bのビット1
POB0	FLG	0.71H.0	R/W	ポート0Bのビット0
POC3	FLG	0.72H.3	R/W	ポート0Cのビット3
POC2	FLG	0.72H.2	R/W	ポート0Cのビット2
POC1	FLG	0.72H.1	R/W	ポート0Cのビット1
POC0	FLG	0.72H.0	R/W	ポート0Cのビット0
POD3	FLG	0.73H.3	R	ポート0Dのビット3
POD2	FLG	0.73H.2	R	ポート0Dのビット2
POD1	FLG	0.73H.1	R	ポート0Dのビット1
POD0	FLG	0.73H.0	R	ポート0Dのビット0
POXH3	FLG	0.68H.3	R/W	ポート0Xのビット3
POXH2	FLG	0.68H.2	R/W	ポート0Xのビット2
POXH1	FLG	0.68H.1	R/W	ポート0Xのビット1
POXH0	FLG	0.68H.0	R/W	ポート0Xのビット0
POE3	FLG	0.68H.3	R/W	ポート0Eのビット3
POE2	FLG	0.68H.2	R/W	ポート0Eのビット2
POE1	FLG	0.68H.1	R/W	ポート0Eのビット1
POE0	FLG	0.68H.0	R/W	ポート0Eのビット0
POF3	FLG	0.6DH.3	R/W	ポート0Fのビット3
POF2	FLG	0.6DH.2	R/W	ポート0Fのビット2
POF1	FLG	0.6DH.1	R/W	ポート0Fのビット1
POF0	FLG	0.6DH.0	R/W	ポート0Fのビット0
PIA3	FLG	1.70H.3	R/W	ポート1Aのビット3
PIA2	FLG	1.70H.2	R/W	ポート1Aのビット2
PIA1	FLG	1.70H.1	R/W	ポート1Aのビット1
PIA0	FLG	1.70H.0	R/W	ポート1Aのビット0
PIB3	FLG	1.71H.3	R/W	ポート1Bのビット3
PIB2	FLG	1.71H.2	R/W	ポート1Bのビット2
PIB1	FLG	1.71H.1	R/W	ポート1Bのビット1
PIB0	FLG	1.71H.0	R/W	ポート1Bのビット0
PI3	FLG	1.72H.3	R/W	ポート1Cのビット3
PI2	FLG	1.72H.2	R/W	ポート1Cのビット2
PI1	FLG	1.72H.1	R/W	ポート1Cのビット1
PI0	FLG	1.72H.0	R/W	ポート1Cのビット0
PID3	FLG	1.73H.3	R	ポート1Dのビット3
ID2	FLG	1.73H.2	R	ポート1Dのビット2
ID1	FLG	1.73H.1	R	ポート1Dのビット1
ID0	FLG	1.73H.0	R	ポート1Dのビット0
P2A3	FLG	2.70H.3	R/W	ダミー
P2A2	FLG	2.70H.2	R/W	ダミー
P2A1	FLG	2.70H.1	R/W	ダミー
P2A0	FLG	2.70H.0	R/W	ポート2Aのビット0

データ・バッファ

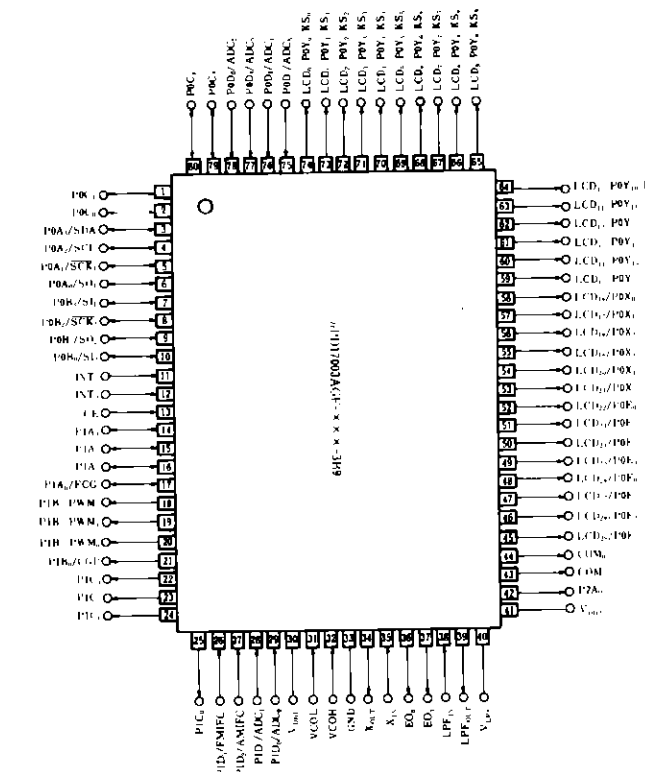
シンボル名	属性	値	R/W	説明
DBF3	MEM	0.0CH	R/W	DBFのビット15-ビット12
DBF2	MEM	0.0DH	R/W	DBFのビット11-ビット8
DBF1	MEM	0.0EH	R/W	DBFのビット7-ビット4
DBF0	MEM	0.0FH	R/W	DBFのビット3-ビット0

LCDドット・データ・レジスタ

シンボル名	属性	値	R/W	説明
LCDD0	MEM	0.60H	R/W	LCDデータ・レジスタ
LCDD1	MEM	0.61H	R/W	LCDデータ・レジスタ
LCDD2	MEM	0.62H	R/W	LCDデータ・レジスタ
LCDD3	MEM	0.63H	R/W	LCDデータ・レジスタ
LCDD4	MEM	0.64H	R/W	LCDデータ・レジスタ
LCDD5	MEM	0.65H	R/W	LCDデータ・レジスタ
LCDD6	MEM	0.66H	R/W	LCDデータ・レジスタ
LCDD7	MEM	0.67H	R/W	LCDデータ・レジスタ
LCDD8	MEM	0.68H	R/W	LCDデータ・レジスタ
LCDD9	MEM	0.69H	R/W	LCDデータ・レジスタ
LCDD10	MEM	0.6AH	R/W	LCDデータ・レジスタ
LCDD11	MEM	0.6BH	R/W	LCDデータ・レジスタ
LCDD12	MEM	0.6CH	R/W	LCDデータ・レジスタ
LCDD13	MEM	0.6DH	R/W	LCDデータ・レジスタ
LCDD14	MEM	0.6EH	R/W	LCDデータ・レジスタ



端子接続図 (Top View)



- POA₀-POA₇ ポート OA
- POB₀-POB₇ ポート OB
- POC₀-POC₇ ポート OC
- POD₀-POD₇ ポート OD
- POE₀-POE₇ ポート OE
- POF₀-POF₇ ポート OF
- POX₀-POX₇ ポート OX
- POY₀-POY₇ ポート OY
- P1A₀-P1A₇ ポート 1A
- P1B₀-P1B₇ ポート 1B
- P1C₀-P1C₇ ポート 1C
- P1D₀-P1D₇ ポート 1D
- P2A₀ ポート 2A
- SDA シリアル・データ入出力
- SCL シリアル・クロック入出力
- SCK₀, SCK₁ シリアル・クロック入出力
- SO₀, SO₁ シリアル・データ出力
- SI₀, SI₁ シリアル・データ入力
- INT₀, INT₁ 外部インタラプト入力
- CE チップ・イネーブル入力
- FCG 外部ゲート・カウンタ入力
- PWM₀-PWM₇ D/Aコンバータ出力
- CGP クロック・ジェネレータ・ポート
- FMIFC 周波数カウンタ入力
- AMIFC 周波数カウンタ入力
- ADC₀-ADC₇ A/Dコンバータ入力
- VCOIL 周波数発生ロウ入力
- VCOH 周波数発生ハイ入力
- X_{in}, X_{out} 水晶振動子接続端子
- EO₀, EO₁ エラー・アウト出力
- COM₀, COM₁ LCDコモン信号出力
- LCD₀-LCD₇ LCDセグメント信号出力
- KS₀-KS₁₅ キー・ソース信号出力
- LPF_{in} LPFアンプ入力
- LPF_{out} LPFアンプ出力
- V_{err} LPFアンプ用電源
- V_{DD}, V_{DD2} 電源
- GND グランド