

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

---

# 低電圧 CMOS ロジック IC HD74LV\_A/LVC シリーズ

## アプリケーションノート

---

### 1. はじめに

ノートパソコンや携帯移動電話など携帯型情報機器は急速に普及しつつあります。そして、処理速度も確実に上がっています。それにともない、低電圧で高速動作かつ低消費電力な標準ロジック IC が求められています。

ルネサスでは 3 V 動作標準ロジックとして「ALVC シリーズ」「LVC シリーズ」「LV-A シリーズ」の 3 ファミリをラインアップしています。

これらのファミリは、3.3 V での高速動作を可能とし、かつ CMOS のメリットである低消費電力を合わせ持っています。

本アプリケーションノートでは、LVC シリーズの回路特性および実装時の情報を提示し、システムでの低電圧化・低消費電力化に際し、LVC シリーズの性能を活かした使い方をして頂くために作成いたしました。

お客様が製品を設計する上での御参考にして頂ければ幸いです。

2. 製品の位置付け

ルネサスでは 3 V 動作標準ロジックシリーズとして、超高速システム用「ALVC シリーズ」、高速・低消費電力システム用「LVC シリーズ」、中低速・低消費電力システム用「LV-A シリーズ」の 3 ファミリを開発し幅広いアプリケーションに対応しています。

また、これらのシリーズは、テキサス・インスツルメンツ社との技術提携により仕様の共通化を行い、お客様への安定供給も図っています。

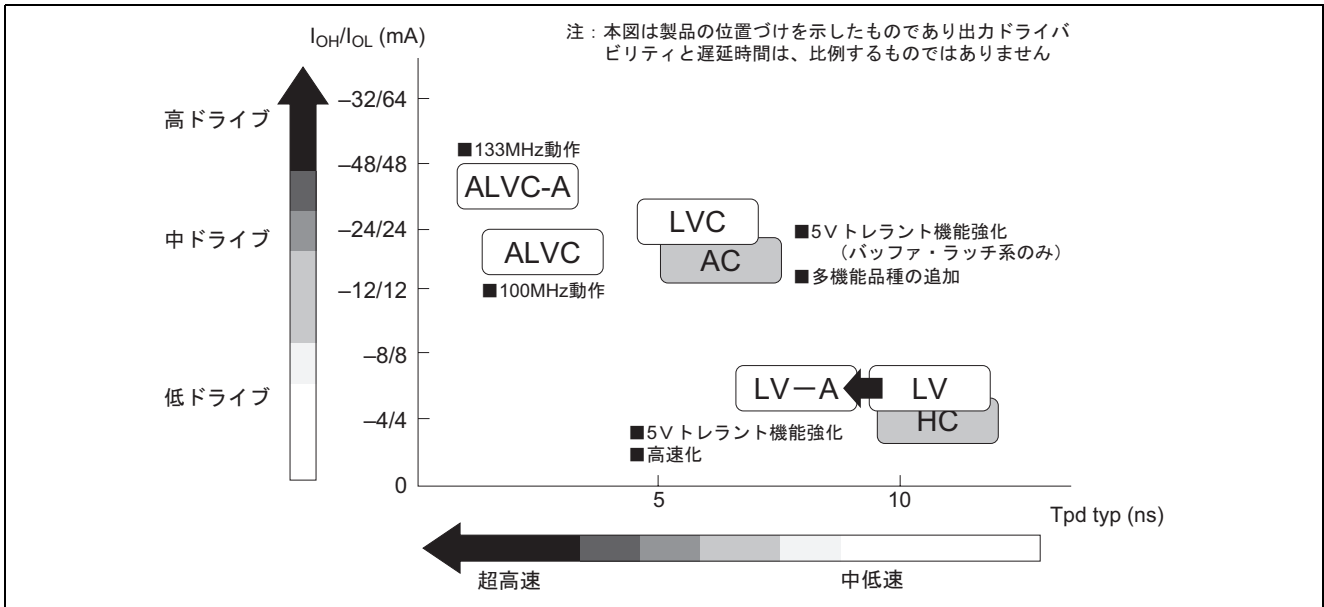


図 2.1 低電圧標準ロジック IC の製品展開図

### 3. 性能および特長

従来、5 V 動作を前提とした CMOS ロジックを低電圧で動作させると、伝搬遅延時間が大幅に遅くなりました。さらに、従来の CMOS ロジックでは入力から電源に対してダイオードによる電流が流れる経路ができる為、バッテリー駆動の製品ではバッテリー消耗の原因となっていました。

これら CMOS ロジックの欠点を補うため LVC シリーズでは次のことを実現し、低電圧化・低消費電力化を計っています。

#### 3.1 低電圧標準ロジックの性能と特長

##### 3.1.1 性能

###### (1) 低電圧で高速スイッチング特性

ALVC : 2.0 ns typ , LVC : 5 ns typ , LV-A : 5.4 ns typ の高速動作

###### (2) 高駆動電流

ALVC/LVC 最大±24 mA , LV-A 最大±8 mA の高出力電流特性

###### (3) 広い動作範囲

LVC シリーズでは 3.3 V , 5 V , LV-A シリーズでは 2.5 V , 3.3 V , 5 V で電気的特性を保証し、幅広い電源電圧で動作

##### 3.1.2 特長

###### (1) 出力ノイズの低減

$V_{OLP}$  (Output Ground Bounce) < 0.8V (Typ) [ $V_{CC} = 3.3$  V,  $T_a = 25^\circ\text{C}$ ]

$V_{OHV}$  (Output VOH Undershoot) > 2V (Typ) [ $V_{CC} = 3.3$  V,  $T_a = 25^\circ\text{C}$ ]

###### (2) 電源オフ時の電流漏れ込み防止 [ ALVC , LVC , LV-A ]

入力保護回路の改良により電流の漏れ込みを防止

###### (3) 5 V 動作デバイスとの直接インタフェース [ LVC , LV-A ]

入力電圧の定格を 5.5 V とし、3 V 動作時に 5 V 動作デバイスの信号をダイレクトに入力可能

###### (4) 小型面付実装パッケージのラインアップ

高密度実装のための小型面付実装のパッケージ(SOP, TSSOP)をラインアップ

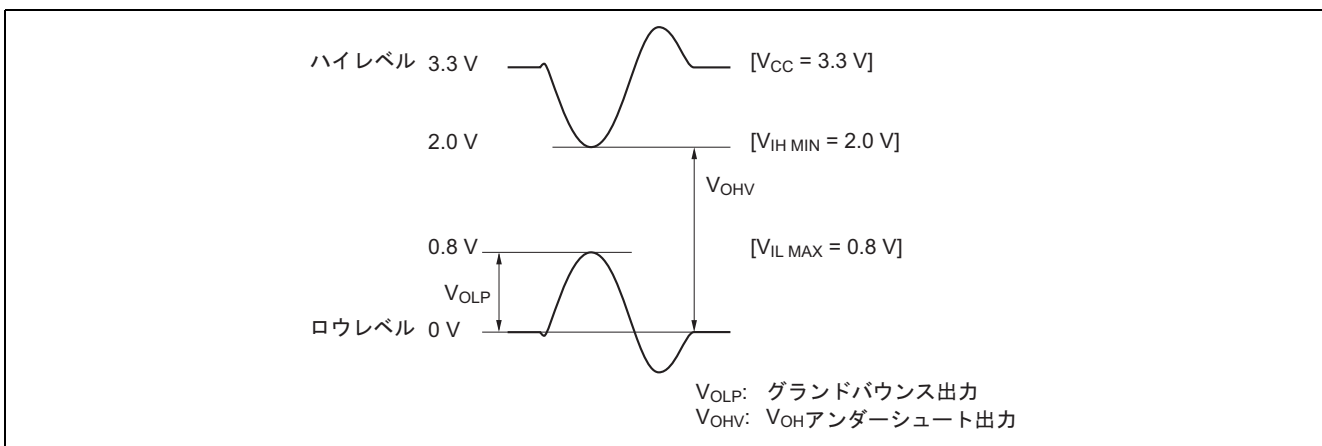


図 3.1 出力ノイズの波形イメージと略号

#### 3.2 反射ノイズ防止品 [ ALVC , LVC ]

反射は伝送線路上で必ず起こってしまう現象であり、これが受動素子にノイズとして影響します。この反射ノイズの対策の 1 つにダンピング抵抗という手法があります。

ALVC シリーズと LVC シリーズの製品の一部に、ダンピング抵抗を内蔵した製品を準備しました。このダンピング抵抗はインピーダンス 50 Ω の伝送線路に対応します。

反射ノイズについては項目 5.4 に詳細を載せています。

### 3.3 バスホールド回路内蔵品 [ALVCH]

CMOS は入力端子がハイインピーダンスであるため、入力不定あるいは未使用の状態では、入力端子は Pull-Up/Pull-Down しなくてはなりません。この Pull-Up/Pull-Down 処理をかた代わりするのがバスホールド回路です。

バスホールド回路は入力端子にラッチ回路が入っている様なもので、入力された信号に応じて、入力端子を High/Low どちらかのレベルに固定します。

レベルに応じて変化するので、セットアップ時間、ホールド時間がありませんから、短期的なラッチ回路として使う事もできます。

### 3.4 活線挿抜対応品 [LVCZ]

活線挿抜とは、メイン基板のソケットにサブ基板を抜き差しする事を、電源が入った状態で行うことです。ここで必要な機能は、電源電圧が規定値より低くなった時にも出力が安定する事です。

ここでは代表的なアプリケーションである、交換機を例にします。

交換機では活線挿抜が日常行われていますが、安定動作をしないと数万という電話回線がパンクする可能性があります。

Low 信号は、TTL の規格では  $V_{IL} = 0.8\text{ V}$ 、CMOS の 5 V 規格では  $V_{IL} = 1.5\text{ V}$  となっています。

通常 CMOS は 0.8 V 近辺で動作を始めます。電源電圧 0.8 V で動作した IC が High 信号を出力しても、0.8 V までしか出力できません。バス側からすると 0.8 V は Low レベルであると認識されてしまうのです。

そこで、出力を Pull-Up したときに、電源電圧が 1.5V まではハイインピーダンスを保つ事が求められます。『LVCZ シリーズ』では電源電圧 2.0 V(typ) 以下でハイインピーダンスになります。

## 4. 入出力回路の特性

### 4.1 入出力等価回路

従来、CMOS ロジックは静電破壊対策として入力回路に保護ダイオードを配置するため、IC の電源をオフ状態にした際に入力端子に High レベルの信号が入力されると

- (1) 保護ダイオードから電源に電流が流れ、思わぬ電力を消費する。
- (2) 電源端子に Hi レベルの電圧が印加される事により IC が動作し、システム誤動作の原因となる。

といった問題がありました。LV-A, LVC シリーズは入力回路を改良し、電源オフ時の電流の漏れ込みを防止しました。また、これにより入力電圧の定格は電源電圧に依存しないので、入力端子は最大 5.5 V の電圧を受けることができます。

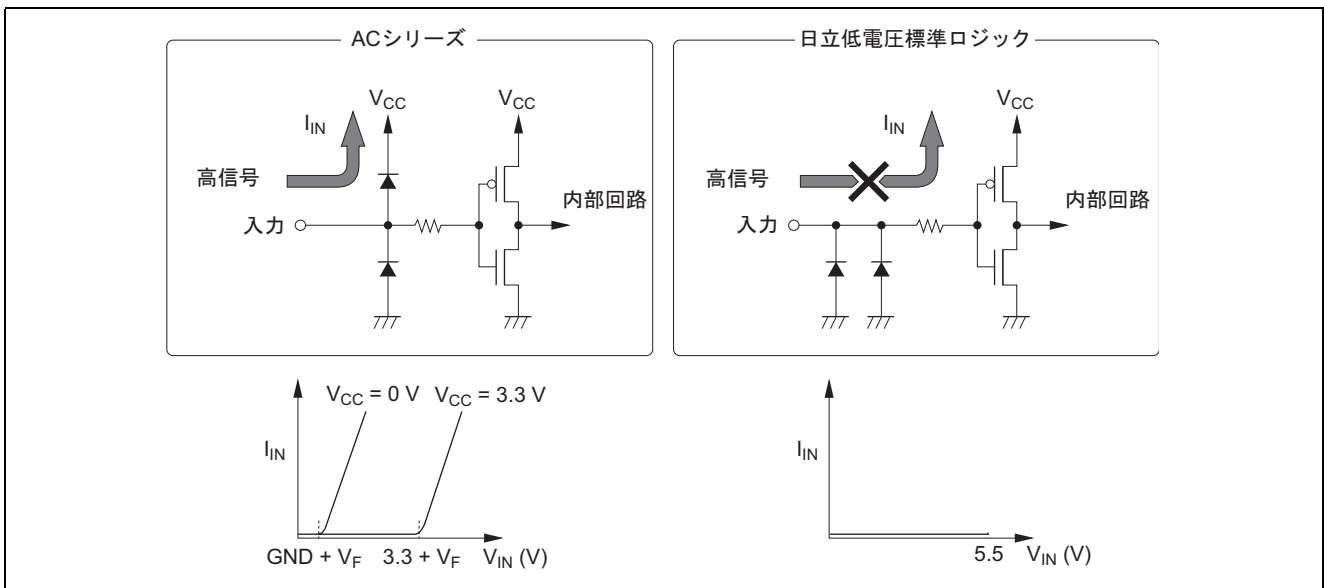


図 4.1 LV-A, LVC シリーズの入力保護回路

ただし、図 4.2 に示すように出力端子、および入力/出力が一緒になった端子では寄生ダイオードを考慮しなくてはなりません。

CMOS では出力回路の電源側に寄生ダイオードがあります。よって、入力/出力が一緒になった端子には V<sub>CC</sub> までしか電圧をかけられないのです。

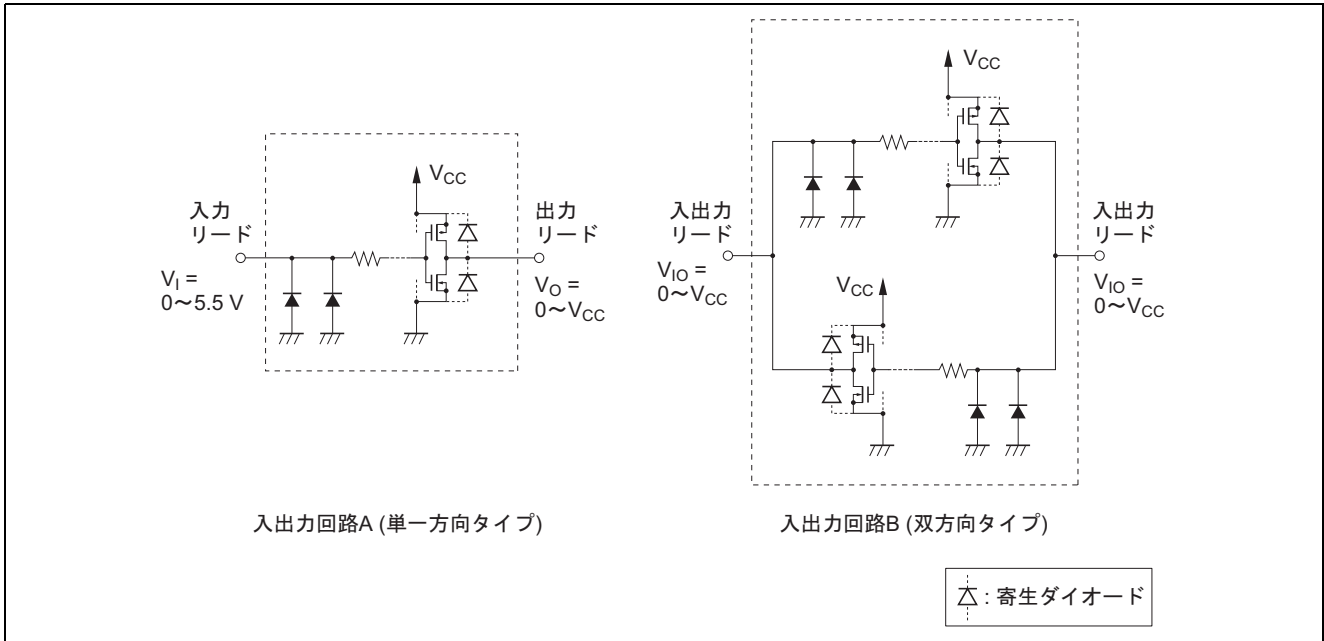


図 4.2 出力にトランスが無い場合の入出力回路例

LVC-A と LV-A バージョンでは更に出力回路の改良をし、入出力端子からのトレラントを可能にしました。これにより、『HD74LVC245A』等の双方向バス接続でも、バスが TTL レベルであるならば 5 V トレラントできます。

また、入力/出力どちらの端子からも漏れ込みがないことからパワーマネージメントに適しています。

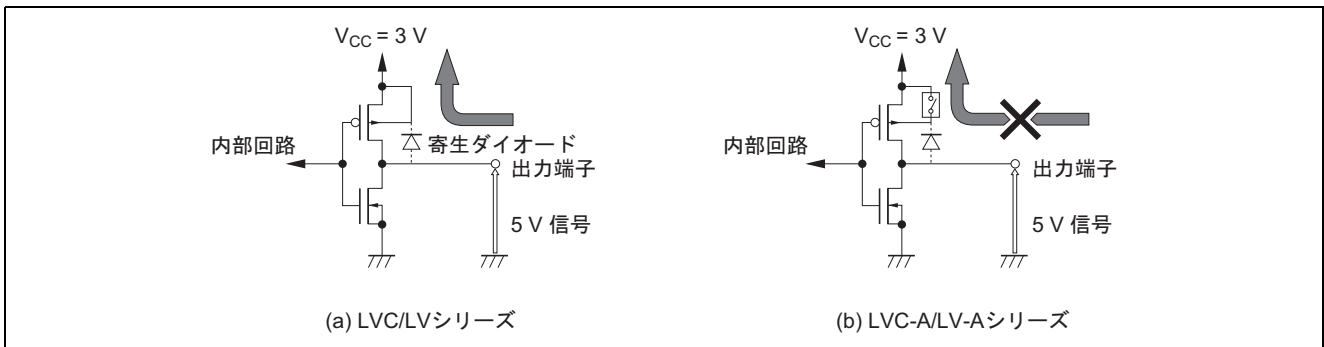


図 4.3 LVC-A/LV-A シリーズの出力回路

出力端子は図 4.3 に示す、スイッチにより、電流の漏れ込みを防いでいます。具体的には

(1) 出力ハイインピーダンス状態

(2) 電源電圧 0 V

の時、スイッチが開き、出力からの漏れ込みを防止します。

## 4.2 5 V 動作デバイスとのインタフェース

LV-A ,LVC シリーズは一定の条件を満足すれば 3 V 動作中に 5 V 系デバイスとのインタフェースが可能です。

### 4.2.1 5 V デバイスからのインタフェース

LV-A ,LVC シリーズでは、5 V 系の信号を直接入力できます。

また、出力に 5 V 系の信号がかかるという特殊な場合。以下ようになります。



a) バッファ系

LV-A, LVC-A シリーズは端子をディスエーブル ( $\overline{OE}$ , DIR 等の端子を活用) にすることで電流の漏れ込みを防ぐことができます。電源電圧 0 V の時も漏れ込みはありません。

b) ゲート系

電源電圧 0 V の時、漏れ込みを防ぐことができます。

4.2.2 5 V デバイスへのインタフェース

3.3 V で動作する LV-A, LVC シリーズの出力を、5 V 系デバイスで受ける場合は、入力レベルが TTL 入力レベルのデバイスを使用することが必要です。これは 5 V 系 CMOS デバイスの場合、図 4.4 に示すように入力の High レベル  $V_{IH} = 3.5 \text{ V (Min)}$  が要求されるのに対し、LVC の出力 ( $V_{OH} = 2.4 \text{ V} / V_{CC} = 3.0 \text{ V}$  時) が有効レベルに達しないからです。

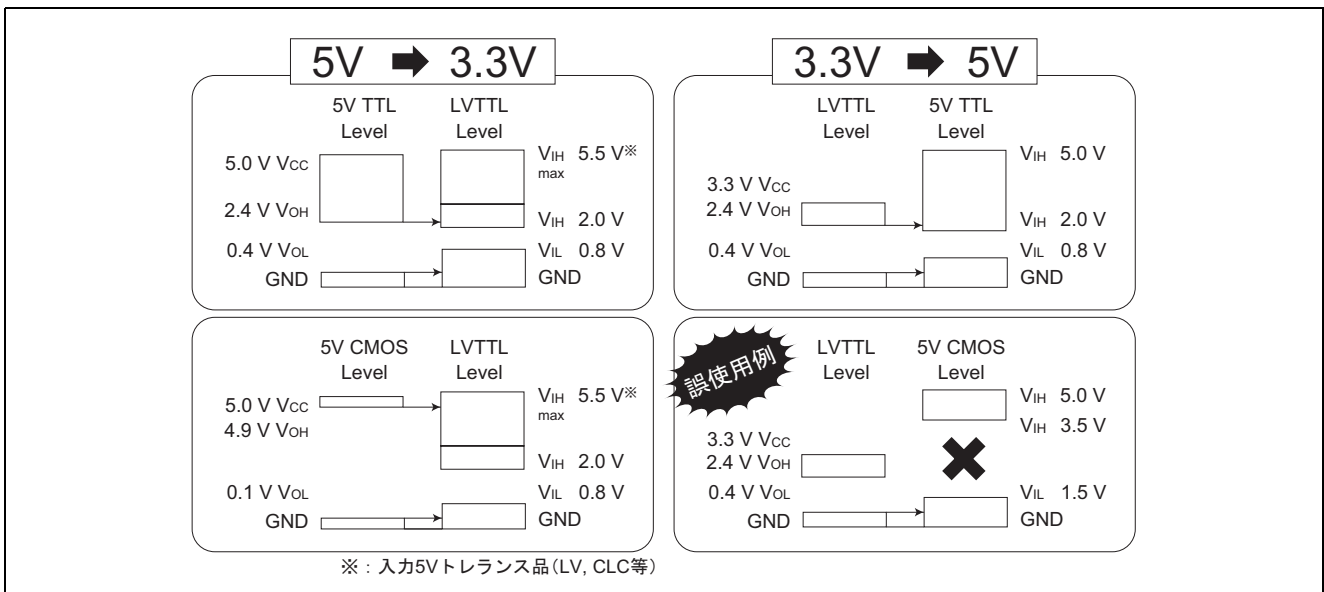


図 4.4 3.3 V - 5 V 電位レベルの比較図

このような場合は、HCT, ACT シリーズを使用して下さい。

出力側を 5 V で Pull-Up して使用する方法もありますが、オープン・ドレイン (HD74LV05A, 06A, 07A) の製品に限ります。

他の製品では出力回路の MOS ゲートを通り、IC の電源側に電流が流れるので推奨できません。これは、CMOS が High を出力するときは、出力端子と電源を MOS スイッチで繋ぐ構造になっているからです。

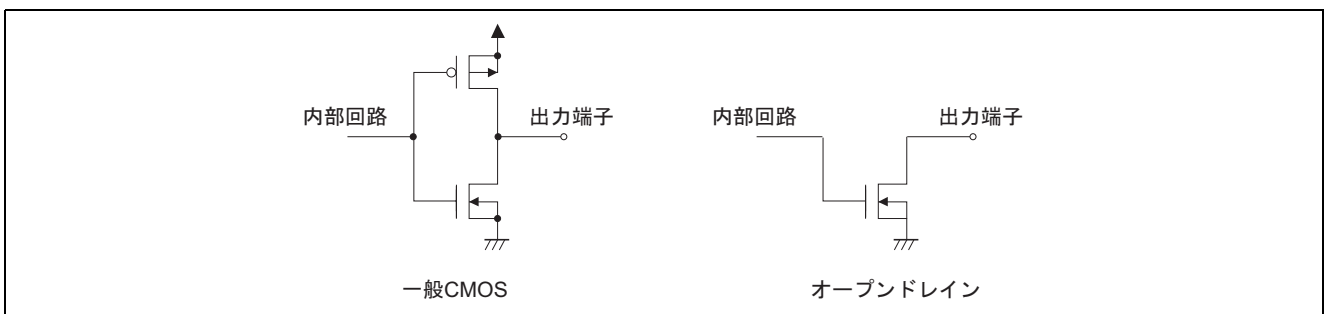


図 4.5 一般 CMOS とオープンドレイン構造の違い

つまり、5V で Pull-Up する事は、CMOS が High を出力しようとする度に、3.3 V 電源ラインが 5 V 電源ラインに Pull-Up されたのと同様になるのです。

ただし、出力状態で端子に 5 V が加わった事で、IC 自身が破壊することはありません。

#### 4.2.3 3 V デバイス - 5 V デバイスとの双方向インタフェース

LV-A シリーズ, LVC-A シリーズは電源電圧 5 V でも動作しますし, 3.3 V で動作中に 5 V の信号を受け取る事が出来ます。しかし, 5 V デバイスとの双方向のインタフェースを考えると, 出力端子のトレラント機能も制約があります。

双方向インタフェースでは,

- a) 3.3 V 動作 LSI に対して:  
5 V 信号を受け, 3.3 V 信号で渡す。
- b) 5V 動作 LSI に対して:  
3.3 V 信号を受け, 5 V の TTL 信号として渡す。

これが, 基本の考え方となります。“3.3 V 信号で渡す” 為には, 電源電圧を 3.3 V にしなくてはなりません。すると, 5 V CMOS ( $V_{IH(min)} = 3.5 V$ ) を満たせないために“5 V の TTL 信号 ( $V_{IH(min)} = 2.0 V$ ) として渡す” 事になるのです。

したがって, 5 V CMOS レベルの IC との双方向インタフェースはできませんが, 5 V TTL レベルの IC との双方向インタフェースは可能となります。

そこで, 信号を 5 V にするために, 抵抗を介して Pull-Up するという手段を使われる事がある様ですが, この使い方は推奨していません。

出力端子のトレラント機能は

- (1) 出力ハイインピーダンス状態
- (2) 電源電圧 0 V

の時のみ, 漏れ電流がなくなる機能です。つまり, 端子が出力状態になっているときには, 電源電圧よりも高い電圧をかけられません。これは, 項目 4.2.2 で説明したとおり, 出力回路の MOS ゲートを通り, 電流が流れるためです。

ただし, 出力状態で端子に 5V が加わった事で, IC 自身が破壊することはありません。

また, 5 V CMOS レベルの IC と 3.3 V との双方向インタフェースを可能にした, レベルシフト IC も用意しています。

図 4.6 に 3.3 V - 5 V の組み合わせにおける接続の可否を示します。

		LVC	LV-A/LVC-A
5 V → 3 V		○	○
		○	○
3 V → 5 V		—	—
		○	○
		—	—
		—	○
3 V ↔ 5 V		—	—
		—	○
		—	—
		—	○

図 4.6 3.3 V - 5 V システム間のインタフェース例

### 4.3 AC 特性

#### 4.3.1 測定回路

スイッチング時間の規定に用いる AC 測定回路を図 4.7 に、測定波形と略号を図 4.8 に示します。

測定に使用する負荷容量  $C_L$  は、次段に接続される IC の入力端子容量が 5 pF でファンアウト 10 と仮定することで  $C_L = 50$  pF と、平均的なアプリケーションにて想定される負荷に近くなっています。

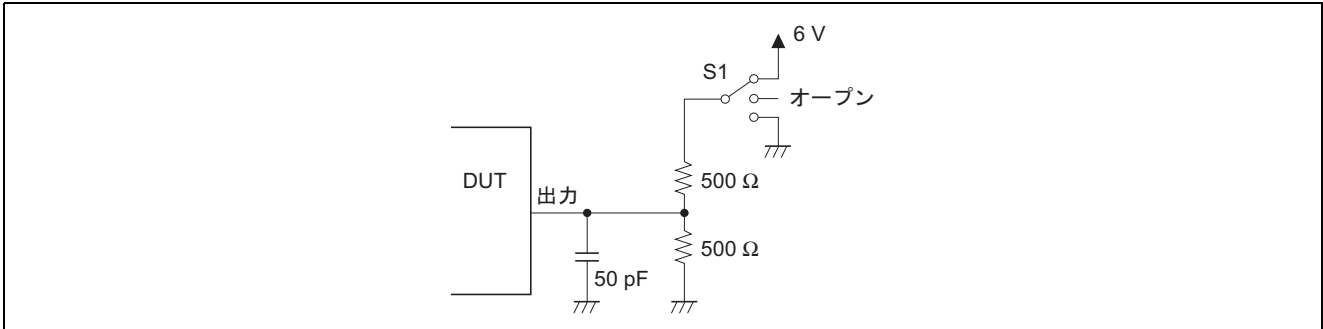


図 4.7 AC 特性の測定回路

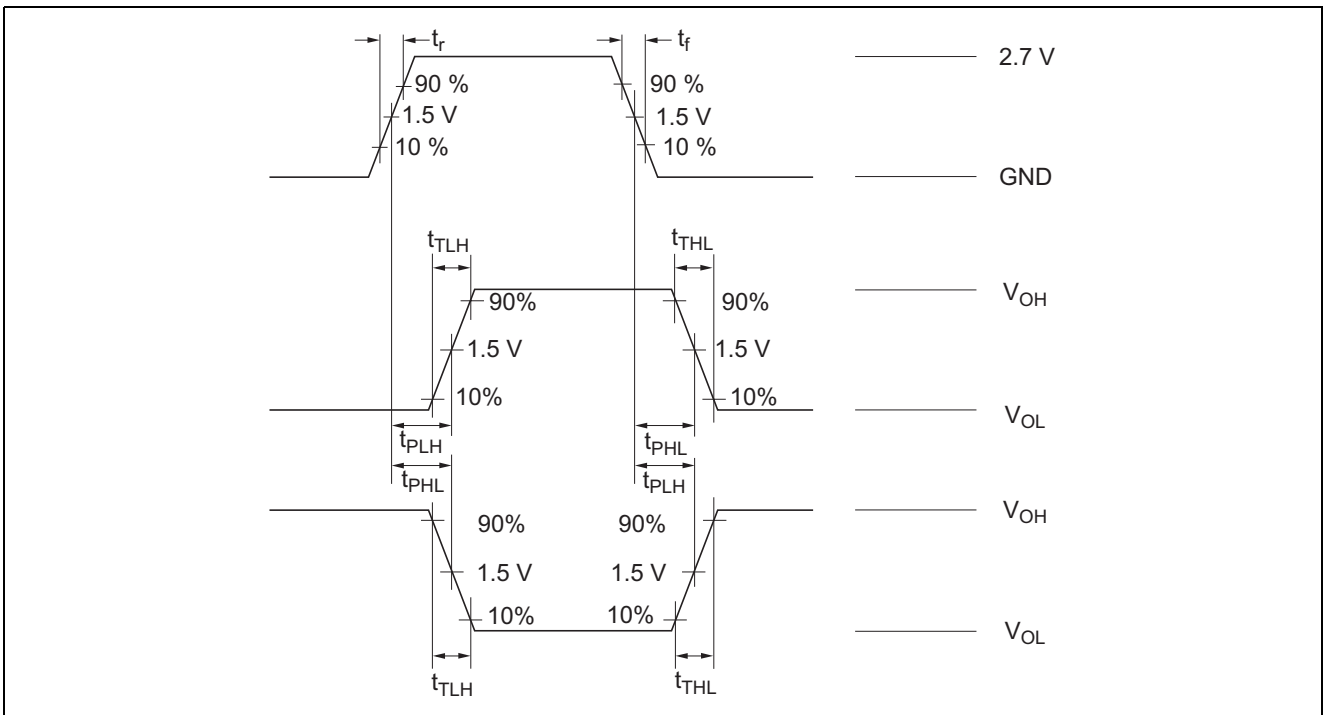


図 4.8 測定波形と略号

### 4.3.2 出力遷移時間

出力レベルが Low→High レベルまたは、High→Low レベルに移るまでの時間を図 4.9 に示します。この特性はトランジェントレートとも呼ばれ、反射解析などで重要なパラメータとなります。

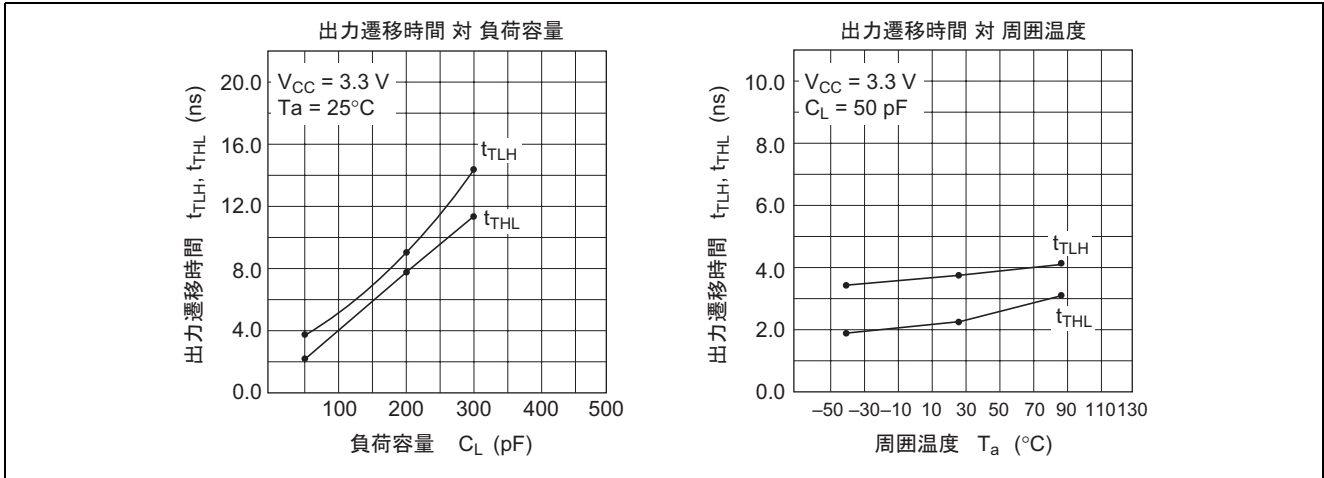


図 4.9 出力遷移時間の測定結果 (負荷容量, 周囲温度)

### 4.3.3 伝搬遅延時間

入力された信号が出力されるまでの遅延時間を図 4.10 に示します。

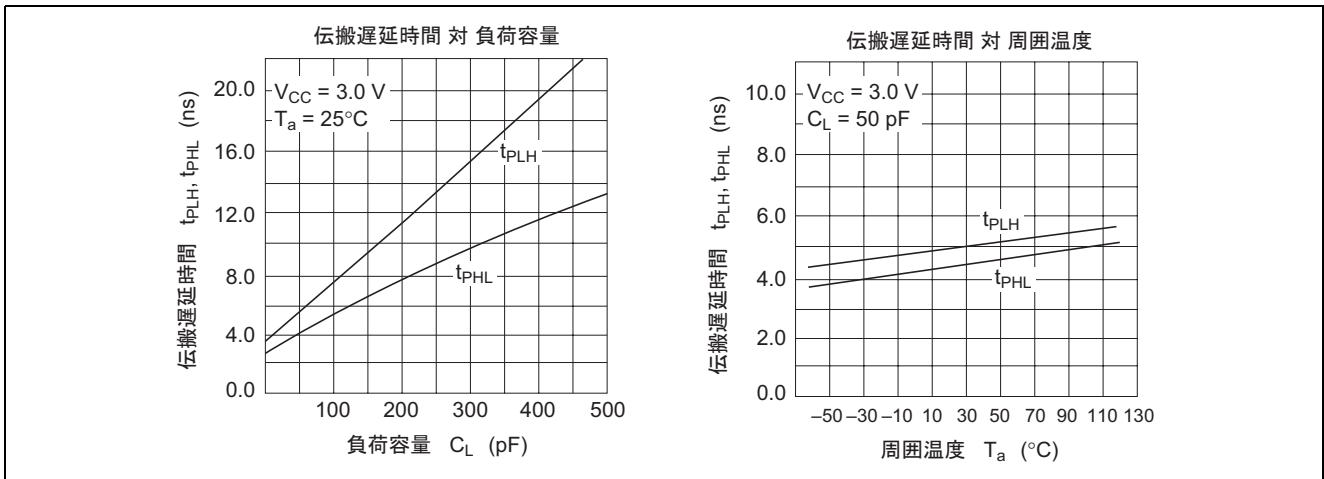


図 4.10 伝搬遅延時間の測定結果 (負荷容量, 周囲温度)

### 4.3.4 寄生負荷による遅延

#### a) ライン遅延

伝送線路にも遅延時間が存在し、プリント基板中で信号は約 5.5~7.5 ns/m で伝送されます。これは、ライン上の寄生インダクタンスや寄生キャパシタンスによるもので、基板の誘電率に影響されます。

また、ジャンパー線やコネクタ類はインダクタンス成分が多くなり、遅延の要因になりますし、高速な回路では遅延以外にもノイズや EMI 対策の面からも不利になります。

どうしても使用する場合、短いシールド線を使用する方がよいでしょう。

#### b) 多出力同時スイッチング

伝搬遅延時間は同時に変化する出力の数に影響されます。低速なロジックでは伝搬遅延時間に対する変化の割合が小さかったので無視できたのですが、AC シリーズ以降の高速なロジックではこの値が無視できなくなってきました。

LVC シリーズでは出力の数が 2 つ以上のデバイスの場合、伝搬遅延時間は同時に変化する出力数が 1 つ増すごとに平均 400 pS づつデータブックの記載値より遅くなります。

これは、出力側に寄生する容量成分により、チップ内部のグランドや電源の電位が変化することで遅延が起るためです。容量成分は伝送線路の負荷容量でも変動し、容量が大きいほどスイッチング時間が長くなります。

対策としては、伝送線路の負荷容量を小さくするため、

- (1) グランドを強化する
- (2) 伝送路の配線間隔を大きくする

などの方法があります。

なお 8 回路内蔵タイプ (8bit タイプ) に比べ 16 回路内蔵タイプ (16bit タイプ) の方がパッケージ内部でグランドを強化してあるため、実力値はより小さくなります。

表 4.1 に多出力同時スイッチングの実測例を実測例を示します。

表 4.1 多出力同時スイッチングの測定結果

・ HD74LVC244FP ( $V_{CC} = 3.3 \text{ V}$ ,  $T_a = 25^\circ\text{C}$ )

回路スイッチの数	$t_{PLH}$ (ns)	$t_{PHL}$ (ns)
1 回路	4.39	4.15
8 回路	6.36	5.29

・ HD74LVC16244T ( $V_{CC} = 3.3 \text{ V}$ ,  $T_a = 25^\circ\text{C}$ )

回路スイッチの数	$t_{PLH}$ (ns)	$t_{PHL}$ (ns)
1 回路	3.22	3.22
8 回路	3.55	3.45
16 回路	3.93	3.79

#### c) 実際の回路と遅延

基板の伝送路にも伝搬遅延時間があり、多出力同時スイッチングの遅延があるのは述べたとおりです。

ここで、ワーストケースを求めてみましょう。プリント基板中で信号は約 5.5 ~ 7.5 ns/m で伝送されますが、例えば

伝送路の伝搬遅延時間 7 [ns/m]

伝送路の長さ 30 [cm]

と考えた場合の遅延時間は

$$7 \text{ [ns/m]} \times 30 \text{ [cm]} = 2.1 \text{ [ns]}$$

さらに多出力同時スイッチングは 400 ps/OUT の遅延があります。ここで同時に 4 出力の変化があった場合

$$400 \text{ [ps/OUT]} \times (4 \text{ [OUT]} - 1) = 1.2 \text{ [ns]}$$

となり、30 cm の配線で 4 出力の同時変化があった場合は 3.3ns の伝搬遅延が起こることがわかります。

これらの伝搬遅延時間は寄生インダクタンスや寄生キャパシタンスによるもので、基板の誘電率や配線方法に影響されます。遅延時間の測定に使用する負荷容量  $C_L$  は、次段に接続される IC が 5 pF でファンアウト 10 と仮定しています。

負荷容量が小さく、IC に TSSOP を使用し、ラインインピーダンスを低くすれば、この値を小さくすることができます。

#### 4.4 スロー入力特性

入力される信号が非常にゆっくりであると、入力電位の不定状態が長い間続くため、出力が安定せず、発振および誤動作の原因となります。LVC シリーズは、高速バスインタフェースでありながら最大 10 [ns/V] の入力立ち上がり/立ち下がりスルーレートを保証しており、8 [ns/V] の AC シリーズよりも使いやすくなりました。

### 4.5 消費電力

CMOS ロジックの消費電力は電圧の 2 乗に比例します。よって、単純計算で 3 V 動作のロジックは 5 V 動作のロジックに比べて約 36%の消費電力ですみます。

また、CMOS ロジックと TTL ロジックを比べた場合、“動作周波数が低いとき” CMOS ロジックの消費電力は格段に小さいという特長があります。しかし、CMOS ロジックではスイッチング時に電源からグランドに貫通電流が流れる為、動作周波数に比例して消費電力が大きくなります。

図 4.11 に動作周波数と消費電力の関係のグラフを示します。

LVC シリーズも CMOS ロジックであるため、動作周波数により消費電力の変動があります。

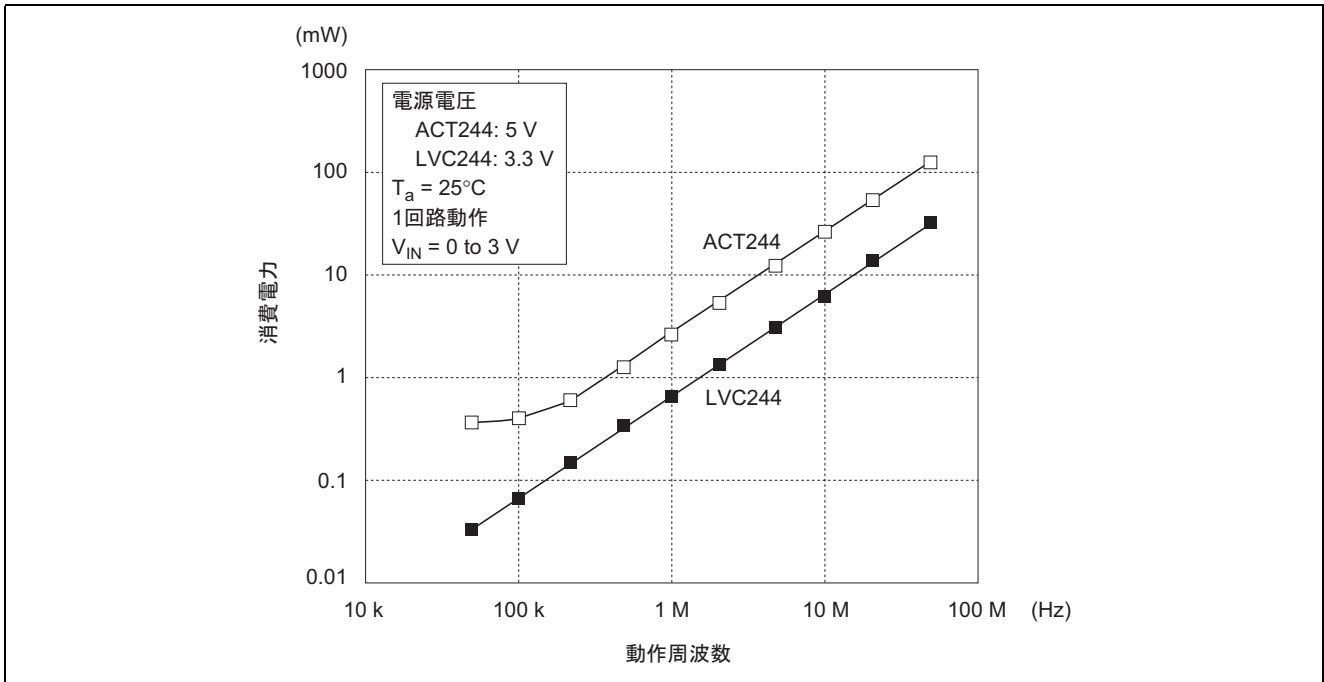


図 4.11 動作周波数と消費電力の相関図

## 5. ノイズ対策

ノイズには“ IC 単体から発生するノイズ”と“ 配線に起因して発生するノイズ”があります。

同時スイッチング・ノイズやリングング・ノイズ等の“ IC 単体から発生するノイズ”は、従来の AC シリーズに比べて大幅に抑えてあります。よって、LVC シリーズでは

$$V_{OLP} \text{ (Output Ground Bounce)} < 0.8 \text{ V(Typ)} [ V_{CC} = 3.3\text{V}, Ta = 25^\circ\text{C} ]$$

$$V_{OHV} \text{ (Output VOH Undershoot)} > 2 \text{ V(Typ)} [ V_{CC} = 3.3\text{V}, Ta = 25^\circ\text{C} ]$$

とノイズを気にすることなく御使用して頂けるはずで

一方“ 配線に起因して発生するノイズ”は IC 単体でなくシステム全体の問題です。電源電圧が 3 V になるとスレッシュホールド電圧が低くなるとともに、ノイズマージンがせまくなり、ノイズの影響を受けやすくなります。システムを構築したときの電源ラインやインピーダンス・マッチング、クロストークには十分に配慮してください。

本章では HD74LVC244T を使用してノイズ波形を測定しました。図 5.1 にノイズの実測回路を示します。以後、特に指定のない限りこの回路を用います。

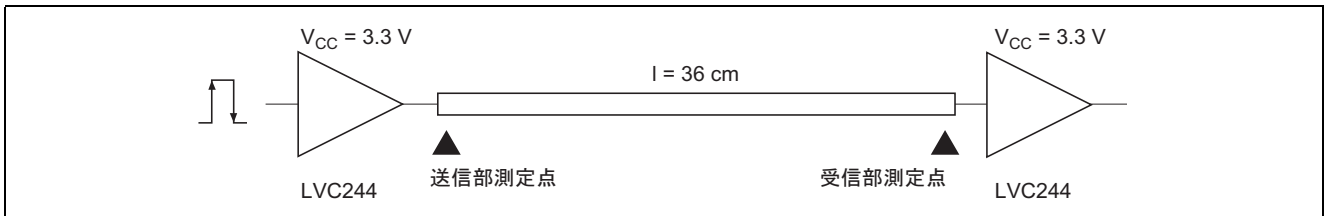


図 5.1 ノイズの実測回路

### 5.1 ノイズの発生原因

高速なシステムではデジタル回路といえどもアナログ高周波回路の知識が必要です。ノイズの発生には、大きく分けて 4 つの要因があります。

- (1) IC の出力インピーダンスと伝送線路の特性インピーダンスの不整合  
(LVC は出力インピーダンス約 25 Ω，伝送線路の特性インピーダンスは一般に 50 Ω ~ 200 Ω 程度)  
反射ノイズ  
リングング・ノイズ
- (2) IC 内部および伝送線路に寄生する L-C 分およびその L-C-R 分による共振  
リングング・ノイズ
- (3) 負荷充放電電流および遷移電流により IC 内部の寄生インダクタンスに発生する電圧  
電源ラインノイズ  
同時スイッチングノイズ
- (4) 隣接する伝送線路の容量結合や誘導結合  
クロストーク・ノイズ

実際に回路を設計するときは複雑な要素が密接に関係しています。たとえば、反射ノイズの解決方法の一つは、システムの実装密度を高くして配線の長さを短くすることですが、高密度化することはシステムの他の伝送路にクロストークという別の問題を発生させることもあります。

高速で低消費電力のシステムを設計するには、ノイズに対する正確な知識が必要です。

### 5.2 電源ラインノイズ

電源ラインのノイズ対策をしていないシステムでは、波形にスパイクが見受けられます。

電源ラインのノイズは

- “ AC 電源ラインのノイズが伝わる ”
- “ 他の配線の誘導，強磁界や電波の影響 ”
- “ 電源ラインに接続されている回路の影響 ”

等がありますが、ここでは回路自身の動作に伴って発生するノイズについて示します。



デジタル回路ではスイッチング動作に伴い、急激な電源電流の変動があります。急激な電源電流の変動は高周波成分を多く含み、パルス性のノイズが発生しやすくなります。さらに高速なシステムでは、デジタル回路というよりも高周波アナログ回路といえる部分もできます。

具体的な電源ラインノイズの対策は

- “ バイパスコンデンサの使用 ”
  - “ グランド強化によるインダクタンスの減少 ”
- があります。

### 5.2.1 バイパスコンデンサ

デジタル回路では、バイパスコンデンサ（パスコンとも呼ぶ）の使用は必須条件とも言えます。これらコンデンサは周波数帯域の違いから、大きな容量のコンデンサを 1 個入れるよりも、適切な周波数帯域をカバーするコンデンサを複数個入れたほうが効果的です。

通常は 1 個の IC に 1 個のバイパスコンデンサを、IC の電源ピンのできるだけ近くに配置します。一般には、

0.01 $\mu$ F ~ 1 $\mu$ F	積層セラミックコンデンサ
0.1 $\mu$ F ~ 10 $\mu$ F	タンタルコンデンサ

が最適といわれています。

ここで、LVC シリーズの出力遷移時間は

立ち上がり	約 3.5 ns
立ち下がり	約 2.5 ns

ですから、周波数帯域は 140 ~ 200 MHz を考慮しなくてはなりません。このことから積層セラミックコンデンサでしたら 0.01  $\mu$ F あたりが適当と思われる。

これらバイパスコンデンサの配置は必ず、IC の電源ピンの近くに配置してください。バイパスコンデンサは本来なら容量成分だけのはずですが実際、基板に実装してみると誘導成分が寄生しています。バイパスコンデンサのリードが長いと誘導成分が大きくなり、バイパスコンデンサを使う目的が逆効果になってしまう可能性さえあるのです。

これは、基板のパターンを引き伸ばしても同様のことが言えます。ノイズ対策に配線は太く短くが原則です。パターン設計ではアナログ高周波回路の配線方法を参考にするとよいでしょう。バイパスコンデンサ接続の参考例として、図 5.2 に推奨パターン図を示します。

また、低周波フィルターとして電源付近に

10 $\mu$ F ~ 100 $\mu$ F	アルミ電界コンデンサ
--------------------------	------------

を 1 個入れてください。

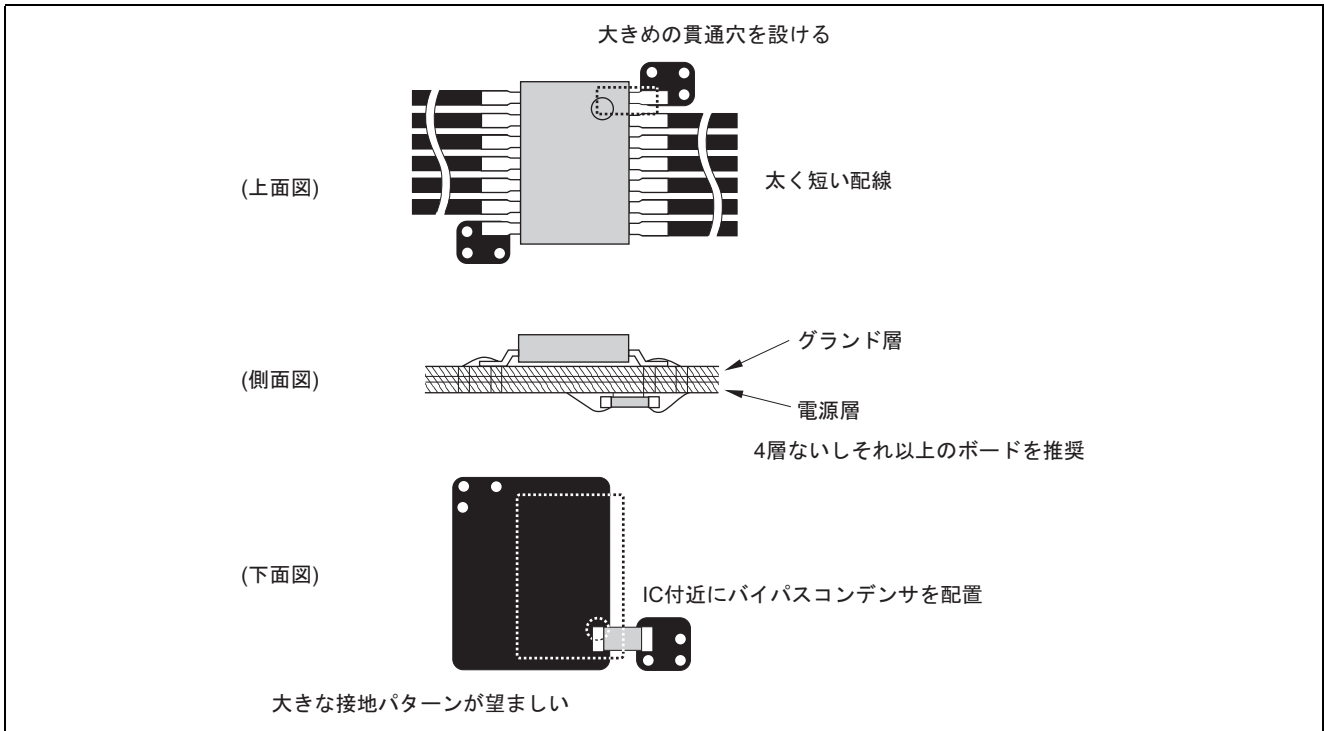


図 5.2 推奨パターン図

### 5.2.2 5.2.2 グランド強化

グランド強化には PCB (Printed Circuit Board) 上の配線を広く短くする, グランド層を設けるなどの方法があります。

特に高速な回路では 3 層以上の基板でグランド層を設けてください。グランド層を設けることにより配線に特性インピーダンスも低下し, リンギングやクロストークを抑えることができます。特性インピーダンスを降下させる点では, 電源層も同じ意味を持ちます。

パターンの配置は

3 層基板 : パターン グランド パターン

4 層基板 : パターン グランド 電源 パターン

6 層基板 : パターン パターン グランド 電源 パターン パターン

をお勧めします。6 層基板ではグランド / 電源層に近いほうがインピーダンスが低くなるのでアドレスバスやデータバスを入れてください。また、隣り合う層のパターンどうしは直交するように設計してください。

PCB 作成手法としてマルチワイヤも挙げられます。この方法はベースボード上にワイヤを埋め込んで行くので, グランド強化の他にも

- (1) ラインのインピーダンス整合が容易である。
- (2) ラインを最短ルートで結ぶことができる。
- (3) 等長配線ラインが容易で, 配線による遅延を最小限にできる。

といった特長があります。

アナログ回路とデジタル回路を 1 枚の基板に混在させる場合, デジタル回路からの高周波成分がアナログ回路の電源ラインに影響するため, グランド層や電源層は必ず分離してください。

グランドを強化するとノイズは著しく減少します。高速な回路では多層基盤やマルチワイヤをお勧めしますが, 更にはアナログ回路にみられるようなベタ・グランドを要所ごとに設けると, いっそう効果的です。

ベタ・グランドとベタの電源を要所ごとに入れれば, 両面基板でもノイズに強くする事ができます。考え方によってはベタ・グランドとベタの電源が向き合っていれば高周波のバイパスコンデンサがあるのと同じになります。逆に, グランドにも電源にも接続されていないベタパターンは電位的に安定していないので EMC ノイズに弱くなります。

### 5.3 リンギング・ノイズ

リンギングとは、IC 内部および伝送線路に寄生する L-C 分およびその L-C-R 分による共振や、IC の出力インピーダンスと伝送線路の特性インピーダンスの不整合により出力波形が振動することを言います。

特に駆動能力が高い IC では出力インピーダンスが小さくなるため、伝送路との特性インピーダンスの差がおおきくなり、リンギングが発生しやすくなります。

リンギングのレベルは布線長、負荷容量および終端形式により異なります。リンギングを抑えるには、布線長を短くすることが有効ですが、布線長が長くなってしまふ場合は終端を付加することも効果があります。

高速で動作するシステムにおいて、伝送ラインは単なる抵抗ではなく L-C-R の集合体と考えたほうが的確です。よって、インピーダンスの影響は周波数に比例して大きくなりますし、布線長が長いほどインピーダンスの影響を受けやすくなり、ノイズは大きくなります。

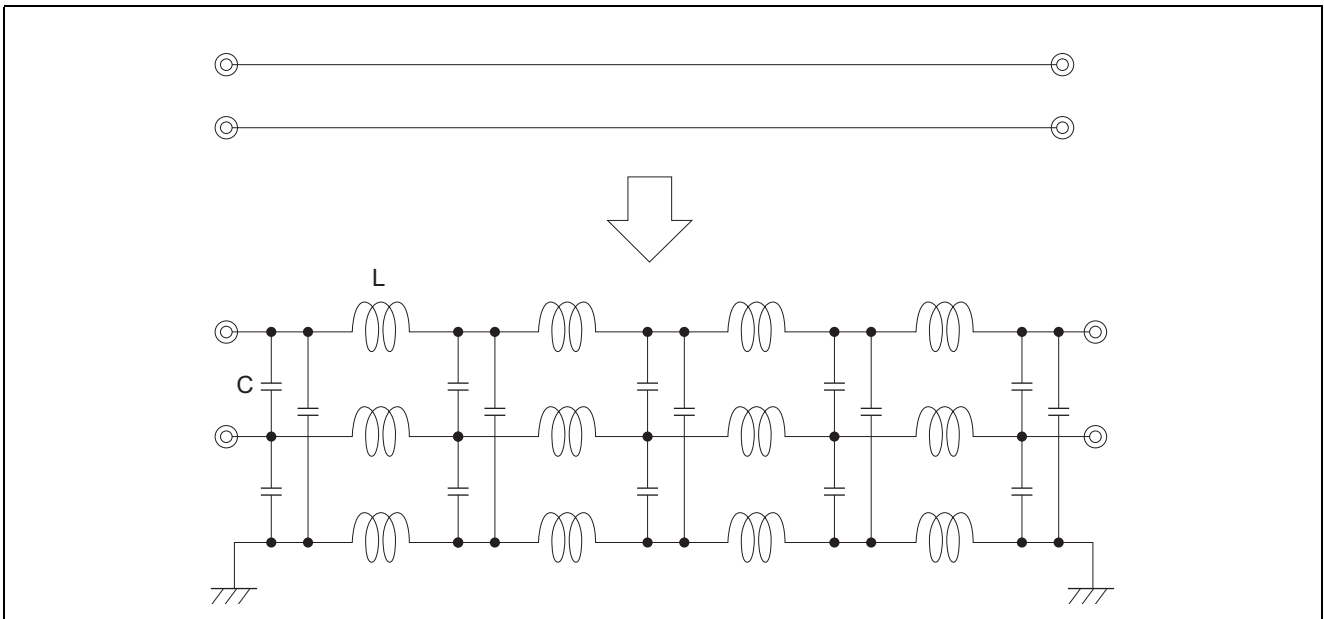


図 5.3 伝送路の概念図

### 5.4 反射ノイズ

反射ノイズは伝送線路や IC 相互間の特性インピーダンスの不整合によって必ず起こります。CMOS ロジックはキャパシティブ負荷のみですから、インピーダンスが高くなります。このような場合、反射によって信号に受ける影響について考慮する必要があります。

#### 5.4.1 集中定数回路と分布定数回路

伝送線が短い場合、反射の影響はそれほど考えなくてもよいでしょう。このような伝送線路は集中定数回路として扱えます。

伝送線の伝搬遅延時間が信号パルスのトランジション（過渡）時間に等しいか、またはそれより大きいときは、伝送線路は分布定数回路としてとらえ、反射の影響を考えねばならなくなってきます。一般には、伝送線の伝搬遅延時間が IC の立ち上がり立ち下がり時間の約 1/3 より遅くなると反射の影響が無視できなくなります。

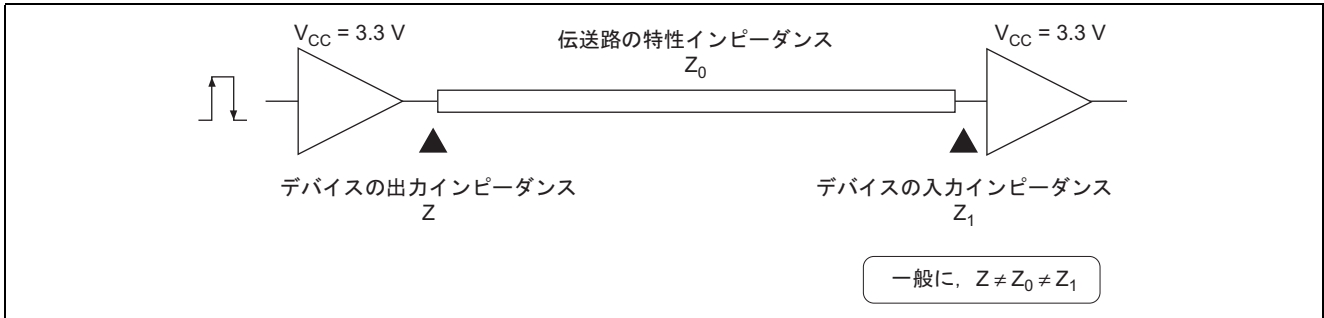


図 5.4 反射の原理

反射の影響を受けにくくするには、伝送線路を集中定数回路として扱うことができるまで短くすることが最適です。しかし、どうしても短くできない場合は、適切な終端をする必要があります。

#### 5.4.2 ロジック相互間での反射

反射ノイズは、大きさだけを比較すると伝送線路よりもむしろ、終端ロジックの特性インピーダンスによる影響が大きいと言えます。これは、ロジックの入力インピーダンスは伝送線路に比べて非常に高いため、信号の全反射が起こるからです。

反射波形は出力特性と入力特性、伝送路などのインピーダンスが分かれば、ベルシェロン線図で理論的に求められます。伝送路の特性インピーダンス  $75\Omega$  を例として解析の手順を示します。

##### 送端

- (1) 入出力特性図に  $0\text{V}$ ,  $0\text{A}$  から正方向に伝送路の特性インピーダンス ( $75\Omega$ ) の傾きで直線を引く。
- (2) 入出力特性の曲線と交わったら、 $3.3\text{V}$ ,  $0\text{A}$  に収束する方向に折り返す。
- (3) (2)を収束するまで繰り返す。

##### 受端

- (4) 入出力特性図に  $3.3\text{V}$ ,  $0\text{A}$  から負方向に伝送路の特性インピーダンス ( $75\Omega$ ) の傾きで直線を引く。
- (5) 入出力特性の曲線と交わったら、 $0\text{V}$ ,  $0\text{A}$  に収束する方向に折り返す。
- (6) (5)を収束するまで繰り返す。

##### 送端・受端

- (7) ベルシェロン線図に、送端・受端の順で時系列の記号 ( $0, T, 2T, 3T\dots$ ) を付記する。図 5.5(1)に作成したベルシェロン線図を示す。
- (8) ベルシェロン線図を基に、時系列・電圧でグラフを作成する。

図 5.5 (2)に作成した理論波形の図を示す。

反射解析の理論波形と実際の反射波形を図 5.5 (3)に比較します。また、参考として図 5.6 に  $25\Omega$ ,  $50\Omega$ ,  $75\Omega$ ,  $100\Omega$  各々のベルシェロン線図を示します。

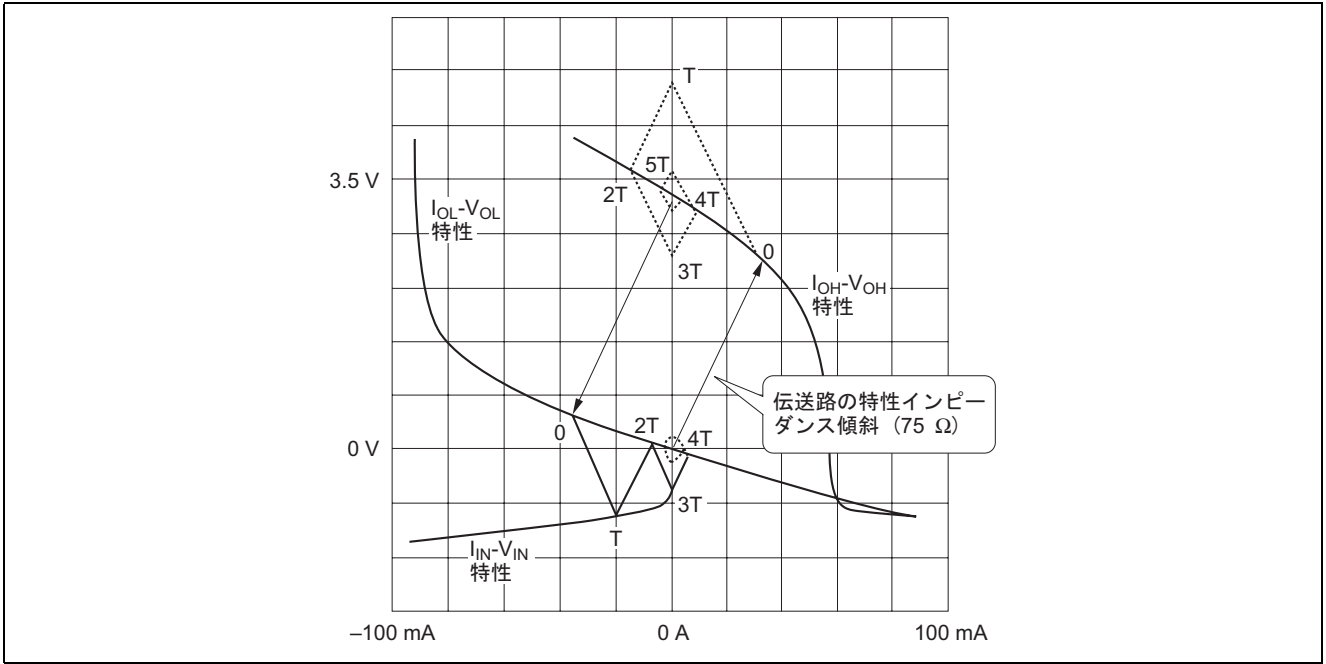


図 5.5(1) 反射波形の解析法 - ベルシェロン線図

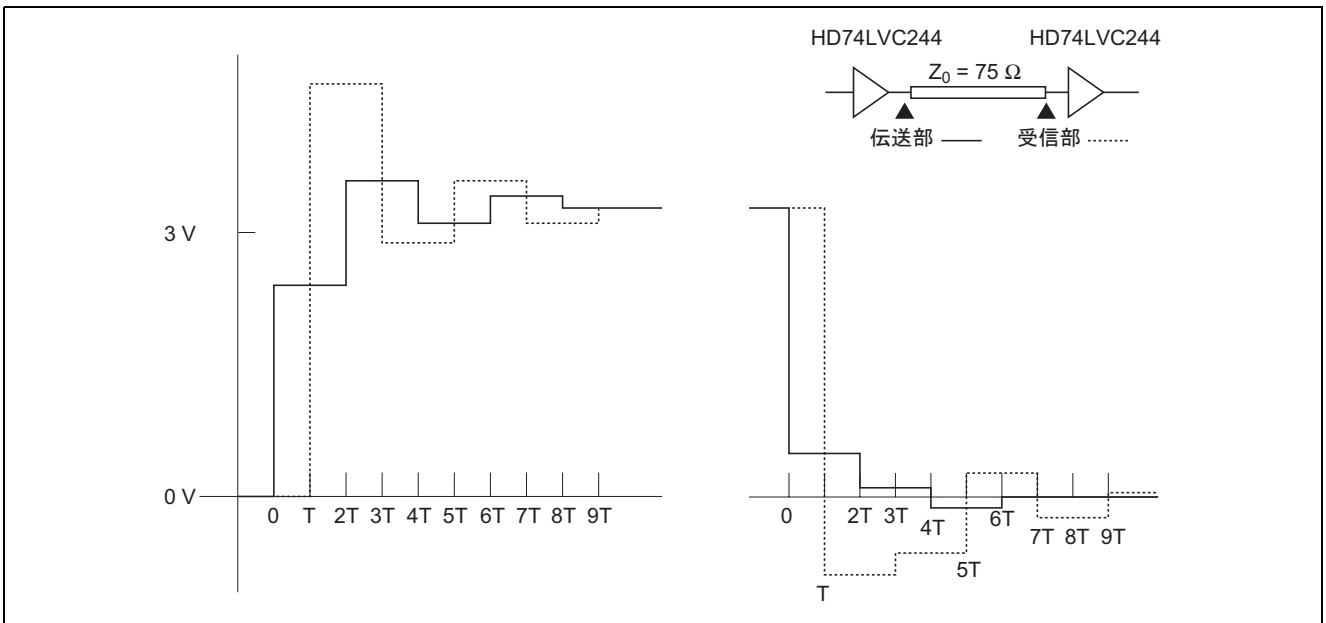


図 5.5(2) 反射波形の解析法 - 理論波形の作成

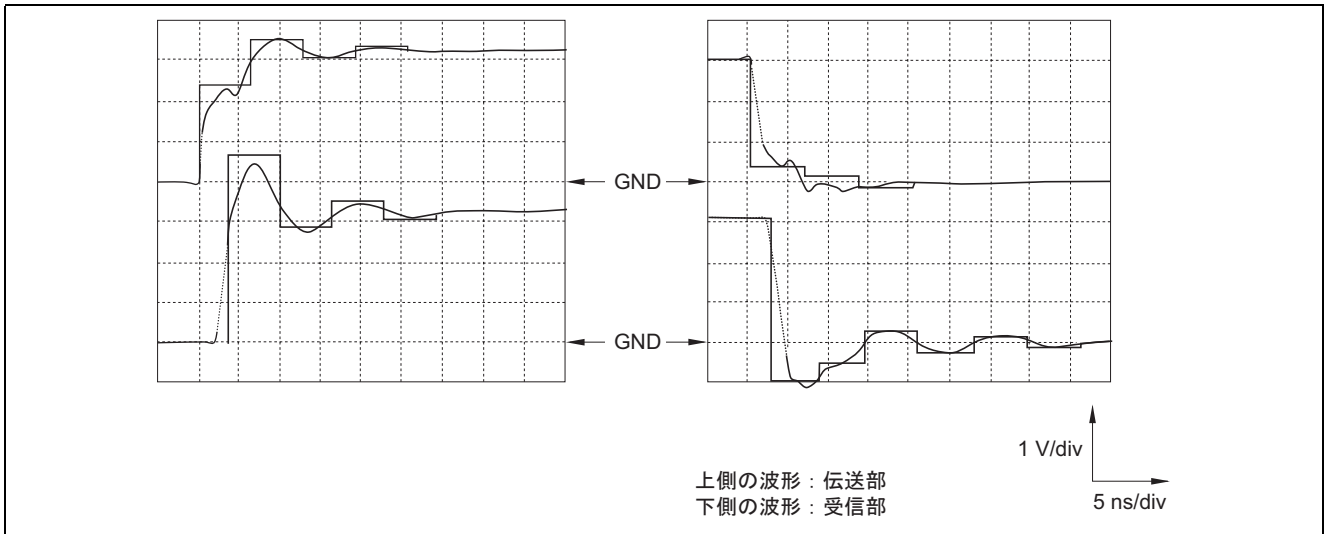


図 5.5(3) 反射波形の解析法 - 実波形との比較

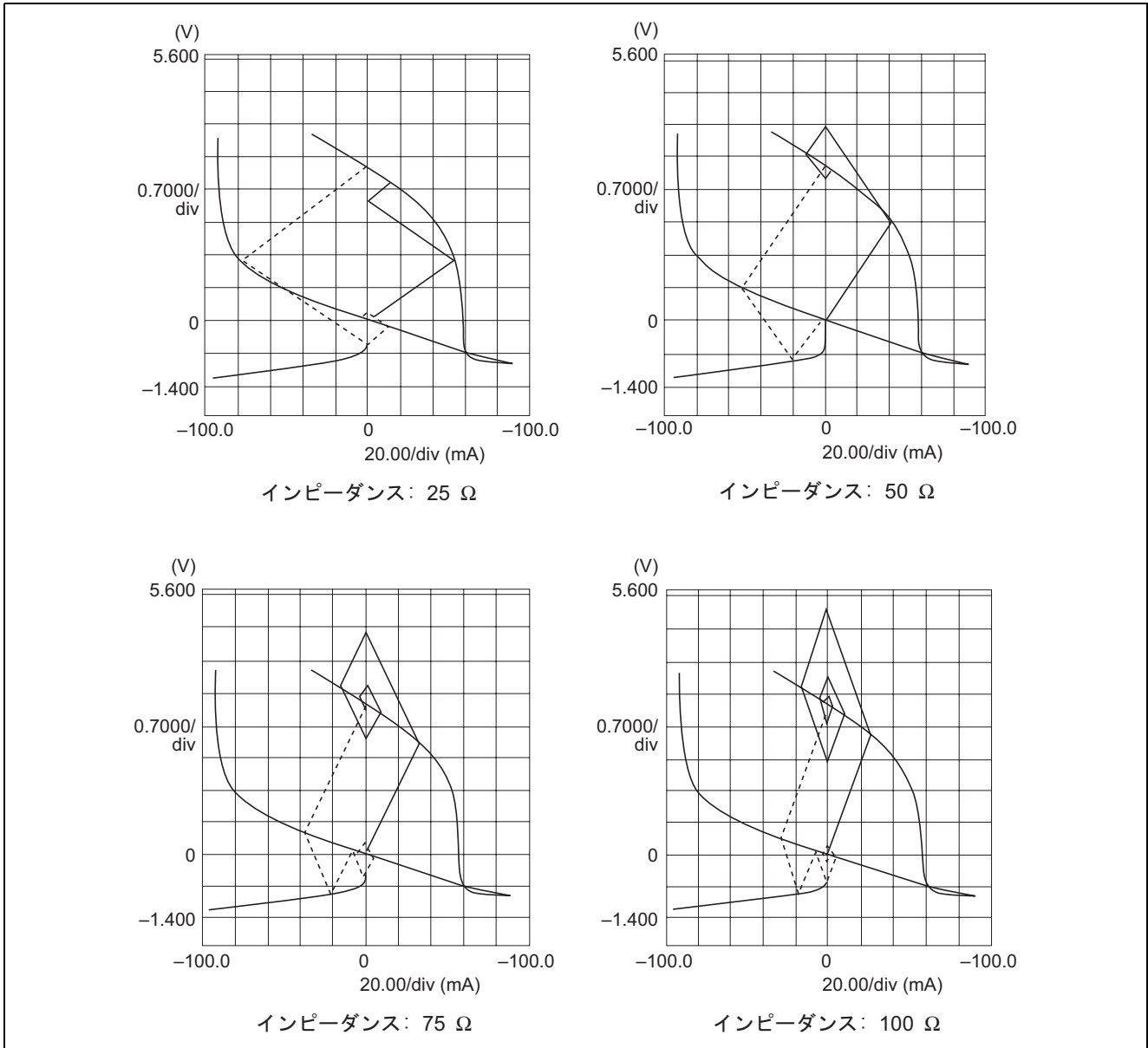


図 5.6 各々の反射解析

図 5.7 に実際にインタフェースさせた場合の反射ノイズ波形を示します。

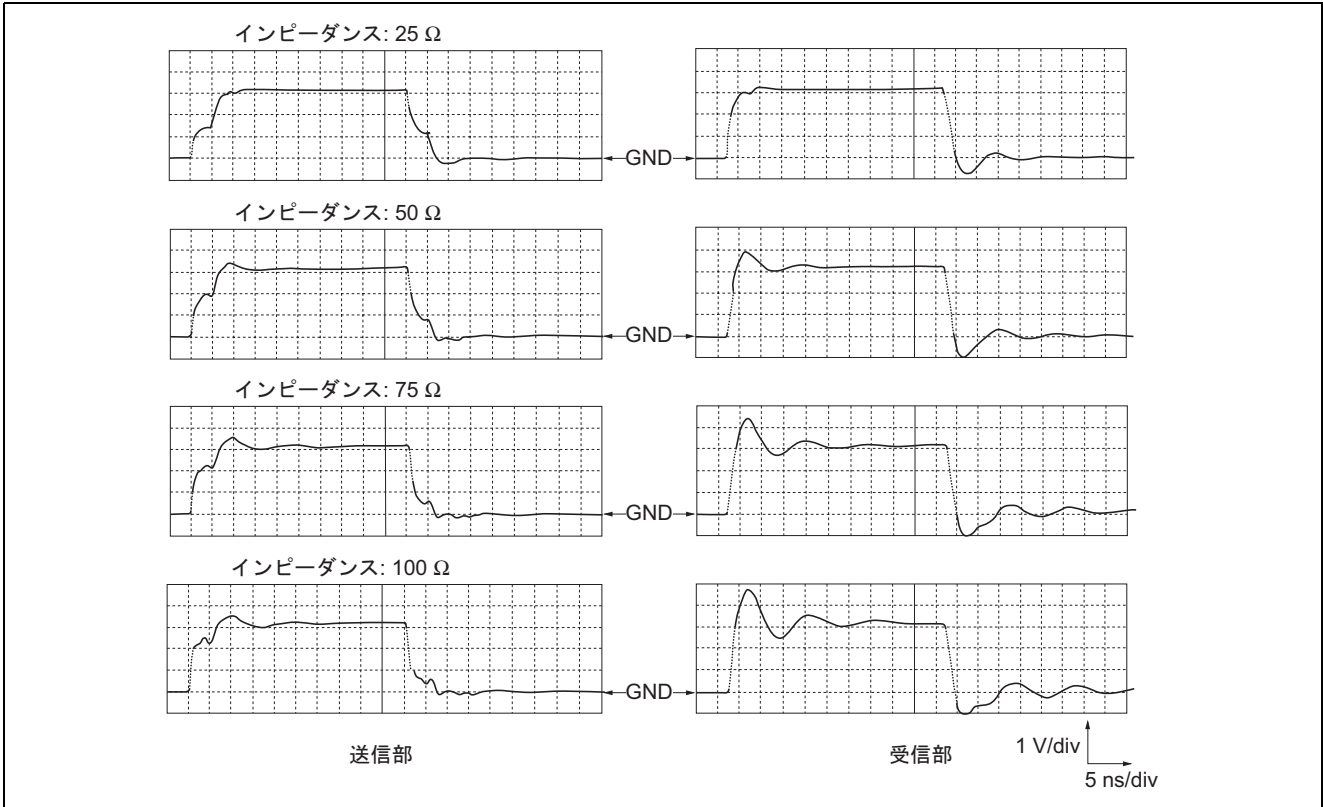


図 5.7 反射ノイズ波形図

また、複数のロジックをドライブさせる場合は、分岐するところで伝送線路の特性インピーダンスが整合しない部分ができます。このような場合、配線インピーダンスを均一にするため、図 5.8 に示すように

- (1) 分岐のない一筆書きをする（終端は最後のロジックにおこなう）
- (2) 分岐する枝部分にダンピング抵抗を設ける

といった対策方法があります。拡張バスなど、複数のコネクタを經由してインタフェースさせる場合、通常は拡張バス側の伝送路は特性インピーダンスが 50 Ω 程度まで下降します。

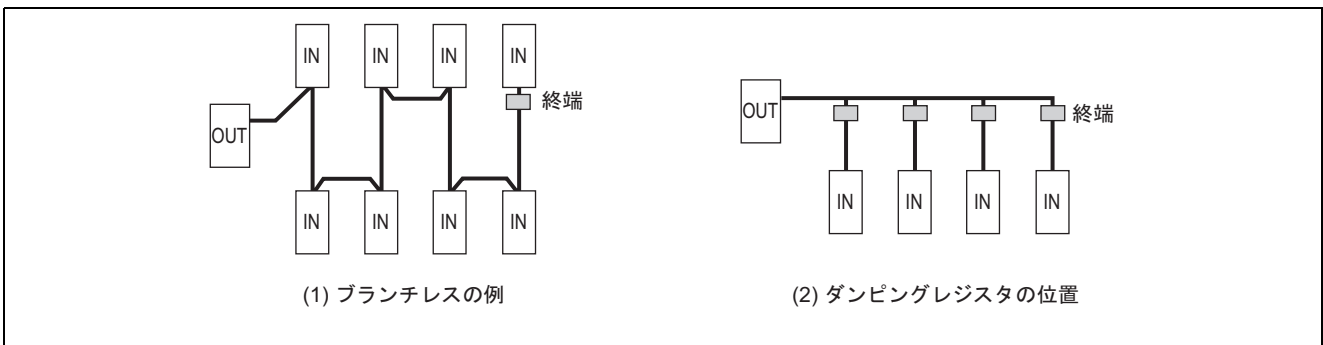


図 5.8 伝送線路分岐のパターン例

### 5.4.3 終端処理

反射ノイズを抑えるには、デバイスと伝送路のインピーダンスを整合しなくてはなりません。このインピーダンスを整合する手段として終端処理があります。

終端には以下のようなものがあります。



a) 並列終端とテブナン終端

並列終端とテブナン終端は、終端自身での消費電力が大きく、低消費電力のためには不適當です。

b) AC 並列終端と AC テブナン終端

この終端は DC 的にはパワーを消費せず、アプリケーションの低消費電力化に有効です。しかし、R-C 回路の時定数が信号の立ち上がりおよび立ち下がり時間に等しくなるように、抵抗とコンデンサの値を選定する必要があります。

c) クランプダイオード

クランプダイオードは電源オフ時の電流漏れ込みや活線挿抜、3.3 V/5 V のミックスオペレーションを考えなければ、伝送路とのマッチングを必要としないため扱いが楽で、かつ効果があります。

クランプダイオードは  $V_F$  (順電圧) が 0.3 V 程度の小さなものを選ぶ必要があります。ルネサスではシステム保護ダイオードとして『HSM107S』、『HSM126S』を推奨いたします。

d) ダンピング抵抗

ダンピング抵抗は終端による消費電力を防止する場合に効果的です。ダンピング抵抗とは伝送路のマッチングのためドライバ付近の伝送路に直列に挿入する抵抗のことです。ダンピング抵抗は付加部品点数が少なく、タイミングや駆動能力に余裕のある場合には適しています。特に拡張バスなど、複数のコネクタを経由してインタフェースさせる場合の処理に有効です。

ただし、あまり大きい抵抗をつけると電圧がスレシヨルド以下になってしまい次段をドライブできなくなるので注意してください。

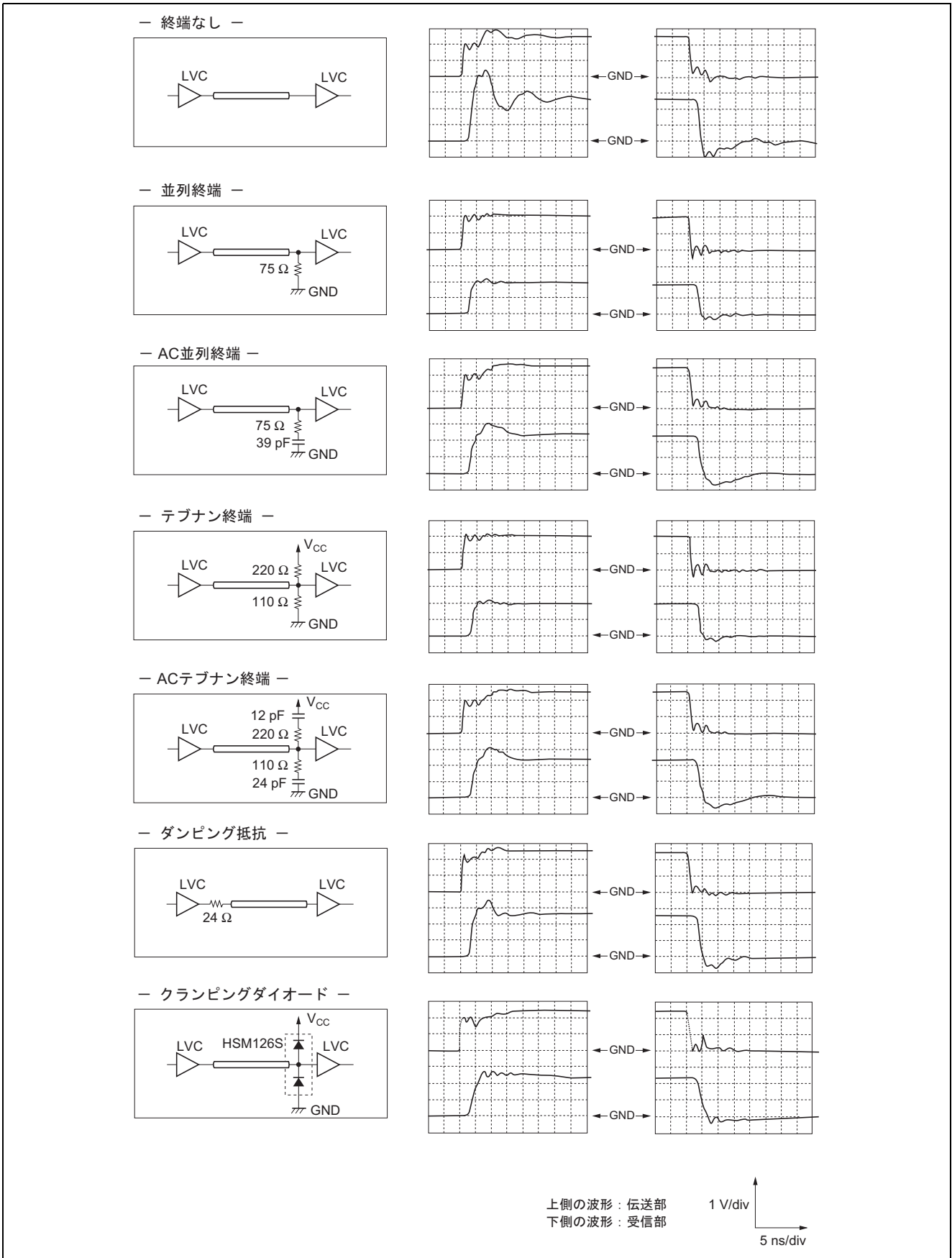


図 5.9 終端の種類と実例

### 5.5 クロストーク・ノイズ

クロストーク・ノイズとは、ある伝送路を伝わる信号が容量結合や誘導結合によって、隣接するほかの伝送路に誘起されるノイズのことです。マクロ的に分類すると、AC 電源ライン、モータの影響や、帯電した人体による静電気雑音もクロストーク・ノイズと言えます。

クロストーク・ノイズの対策として次のことが挙げられます。

- (1) 伝送路の長さをできる限り短くする
- (2) 伝送路の特性インピーダンスを低くする
- (3) グラウンドを強化する
- (4) パターン間の間隔を広くとり、場合によってはグラウンドラインを挿入する
- (5) 並走するパターンをできる限り作らない、または最小限に抑える

また、バスラインには並走する伝送線路における信号の方向が同一方向であるパラレル伝送と、逆方向であるアンチ・パラレル伝送とがあります。クロストーク発生の要因は信号の遷移時間や伝送線路の特性インピーダンスによって変動しますが、一般にアンチ・パラレル伝送のほうがノイズレベルが大きくなります。

図 5.10 にクロストーク・ノイズの測定回路を示します。また、これを実測した波形を図 5.11 (1), 図 5.11 (2), 図 5.11 (3)に示します。

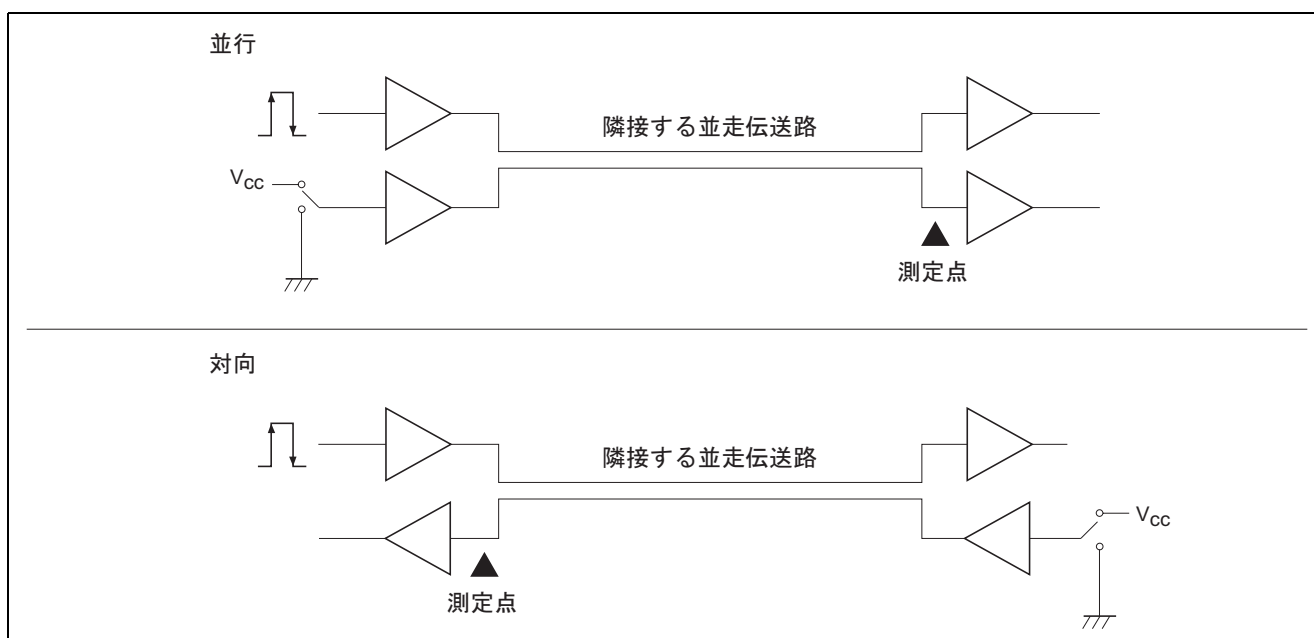


図 5.10 クロストーク・ノイズの測定回路

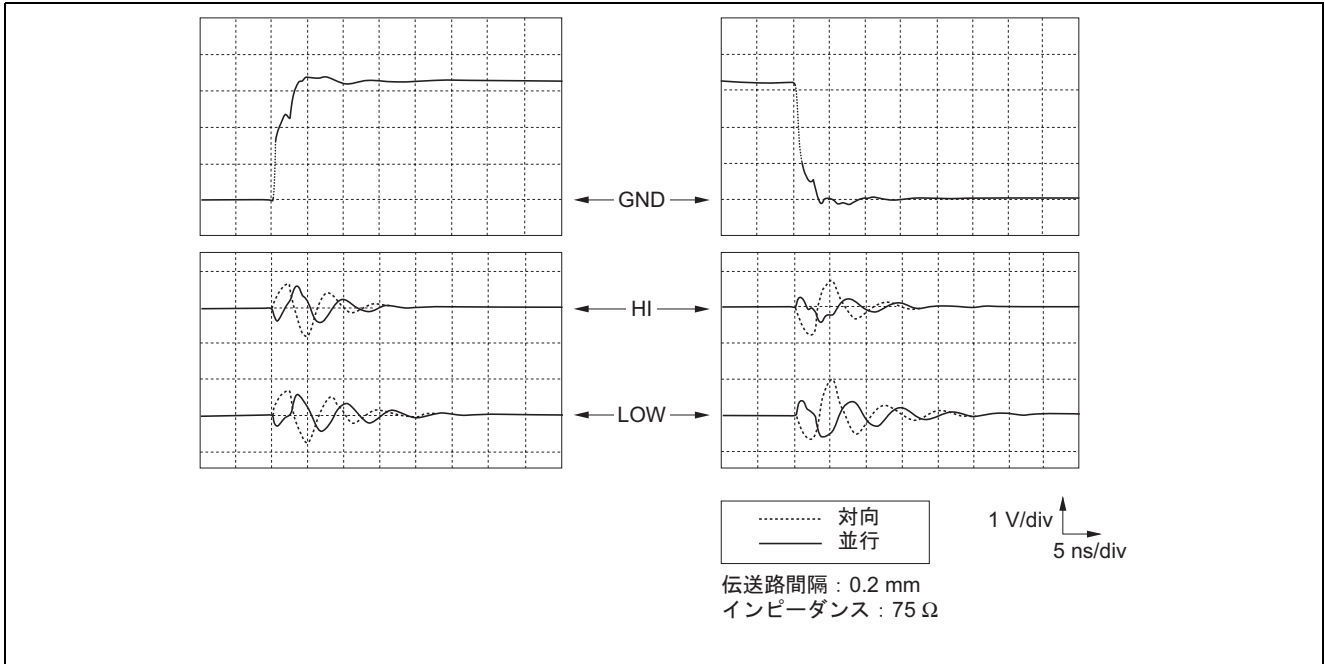


図 5.11(1) クロストーク・ノイズ - パラレルとアンチ・パラレルの比較

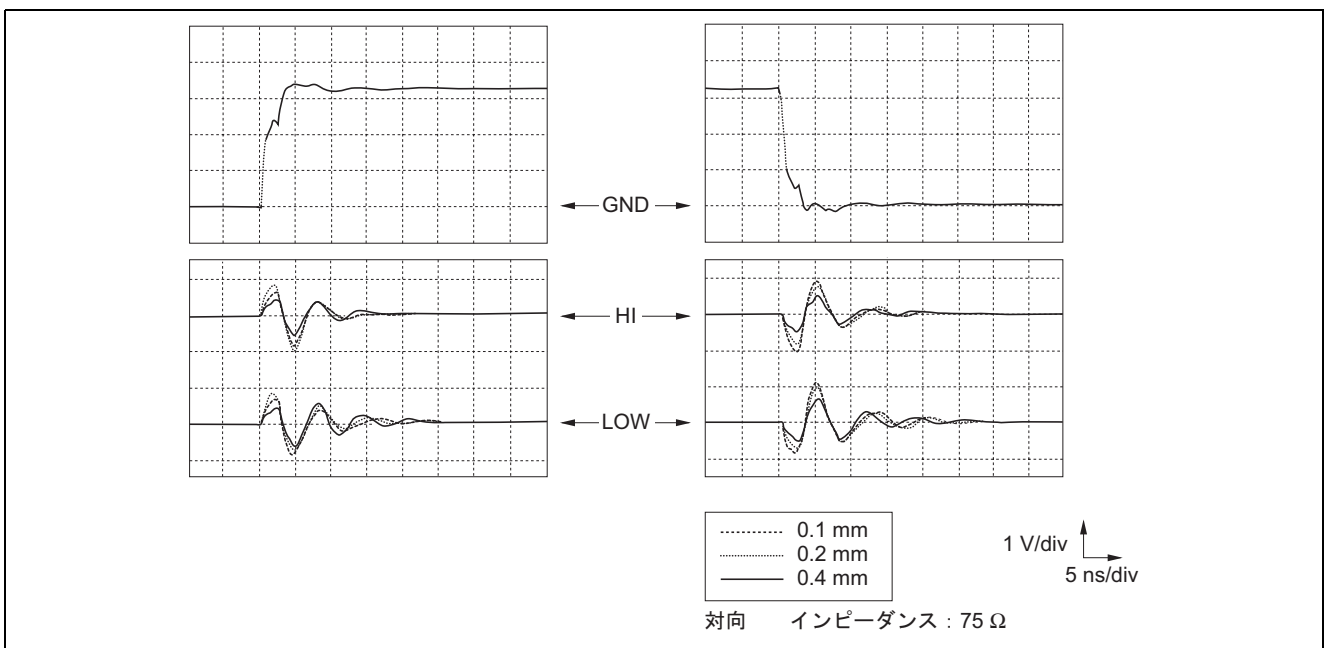


図 5.11(2) クロストーク・ノイズ - 配線間隔による影響

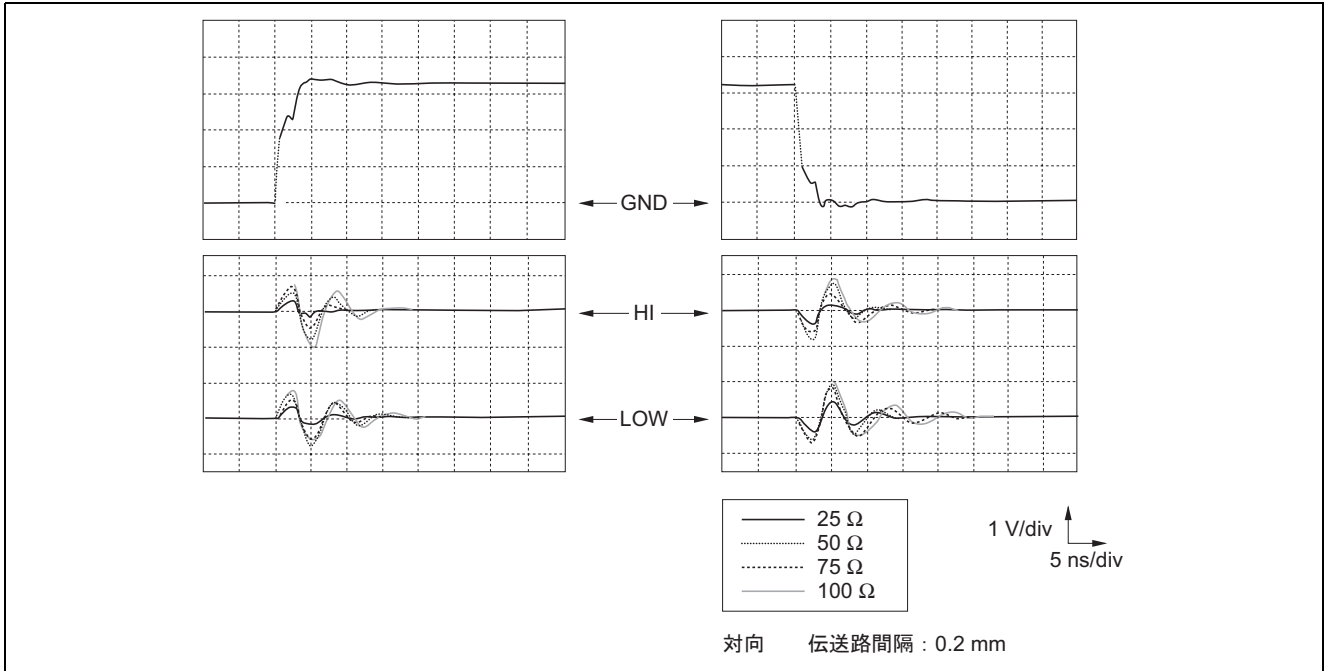


図 5.11(3) クロストーク・ノイズ - 配線インピーダンスによる影響

ロジックに限定せずマイコンなどのシステムを考えた場合、

- “ 基板面積に余裕があればアドレスバスとデータバスはできる限り離して配線 ”
- “ 高速なコントロールバスは分離 ”
- “ 伝送路が並走する部分はできるだけ作らない ”
- “ ベタのアース面を内層した基板を使用する ”

などを考慮して設計した方が確実です。また、メモリ等の容量性負荷はクロストーク・ノイズが大きくなるため、特に伝送路に気を使った方がよいでしょう。

## 5.6 同時スイッチング・ノイズ

同時スイッチング・ノイズとは、1つのパッケージ内で幾つかの出力を同時に変化させた時に、残りの非動作出力にノイズが生じる事をいいます。

図 5.12 に同時スイッチング・ノイズの発生原理を示します。出力が変化するとき、共通グランド部に寄生するインダクタンス成分によりグランドが変動します。このことからグランドバウンスとも呼ばれており、グランドを基準点とするデジタル回路によって誤動作の原因となります。

これは、同時動作回路の数や IC 内部でのグランドピンとその出力ピンの位置関係、負荷容量および電源電圧に影響されます。

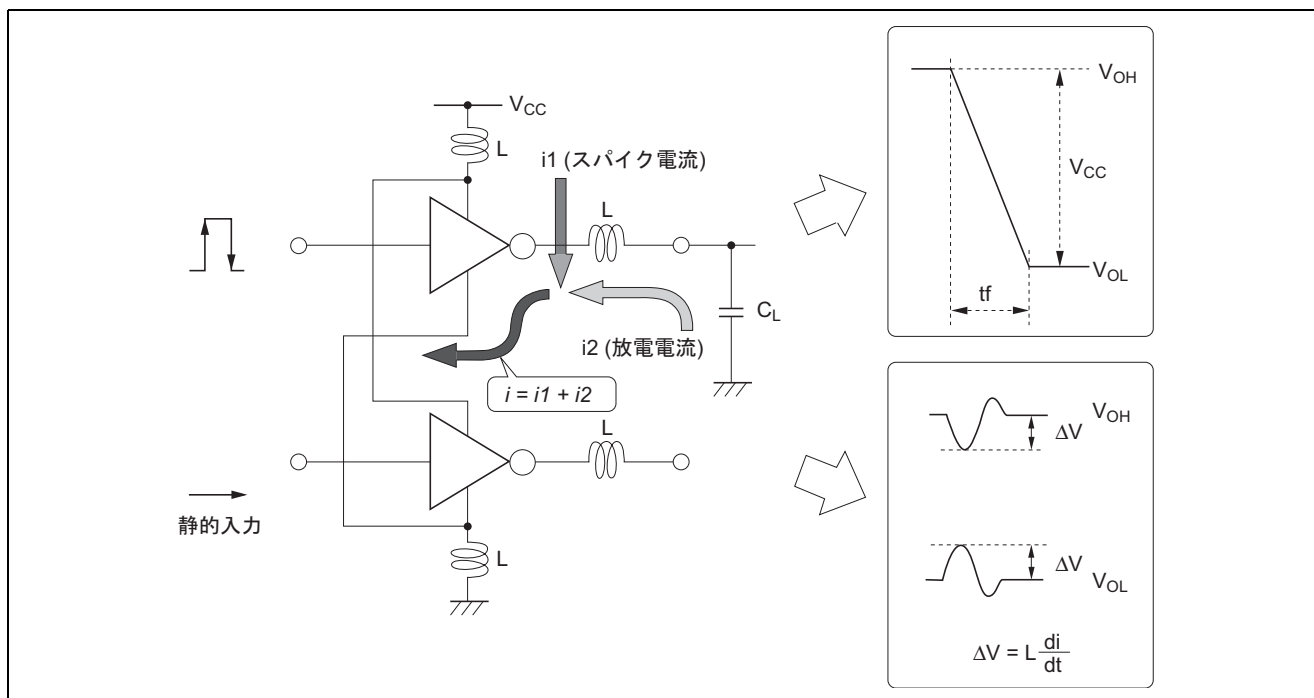


図 5.12 同時スイッチング・ノイズの発生原理

同時スイッチング・ノイズは

- (1) 1つのパッケージ内で同時に動作する回路数が多い程ノイズのレベルが大きくなる
  - (2) ドライバICの出力ピンでは、HiレベルではV<sub>CC</sub>に近いほうが、LowレベルではGNDに近いほうが同時スイッチング・ノイズが小さい
  - (3) 電源の電圧が小さい程ノイズのレベルが小さくなる
- といった特長があります。

LVCシリーズでは、同時スイッチング・ノイズV<sub>OLP</sub>は0.8V以下に抑えられています。なお16回路内蔵タイプは8回路内蔵タイプに比べてV<sub>CC</sub>、GNDのピン数が多く、パッケージ内部でグラウンドを強化してあるため、更にノイズレベルが小さくなっています。

図 5.13 に測定に使用した回路図を示します。これは、最も同時スイッチング・ノイズの影響が大きい測定点をとっています。これを実測した波形を図 5.14 (1)、図 5.14 (2)、図 5.14 (3)に示します。また、1つのパッケージ内で同時に動作する回路数の影響について図 5.15 にグラフを示します。

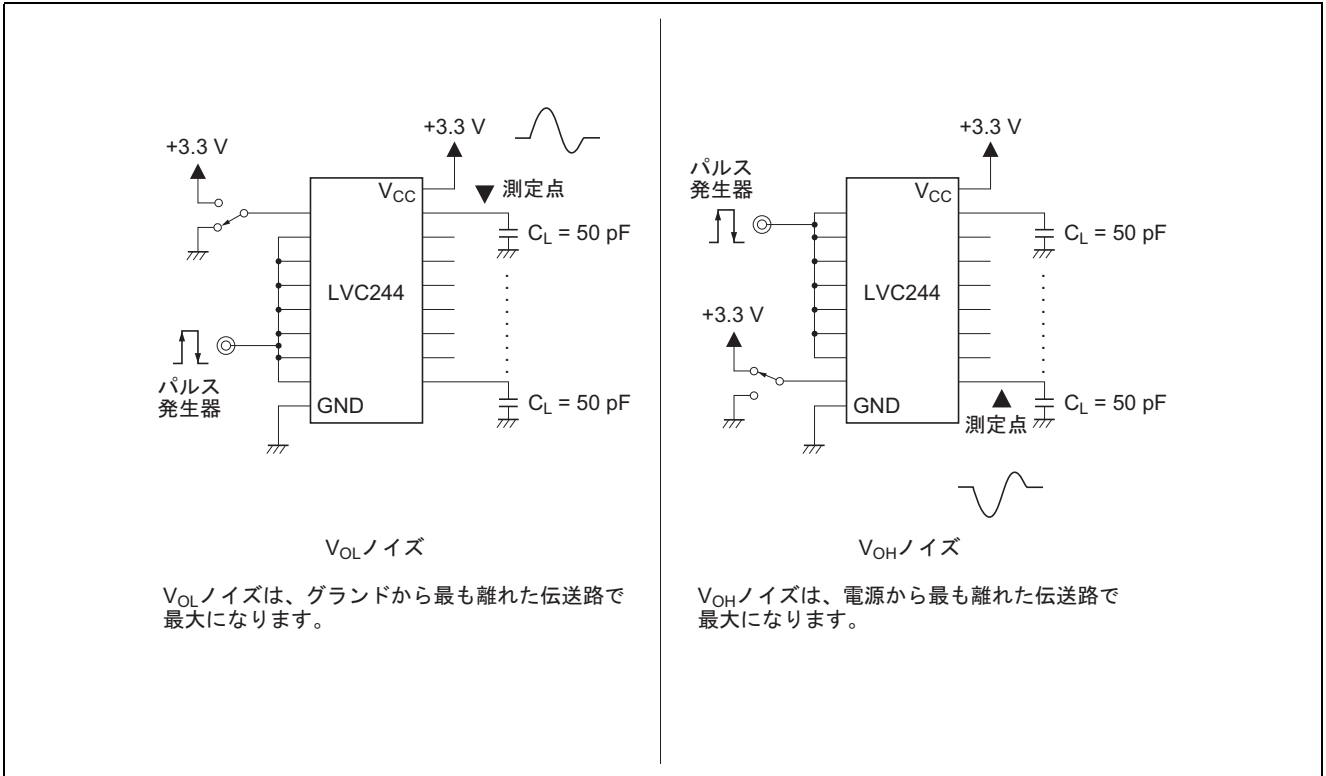


図 5.13 同時スイッチング・ノイズの測定回路図

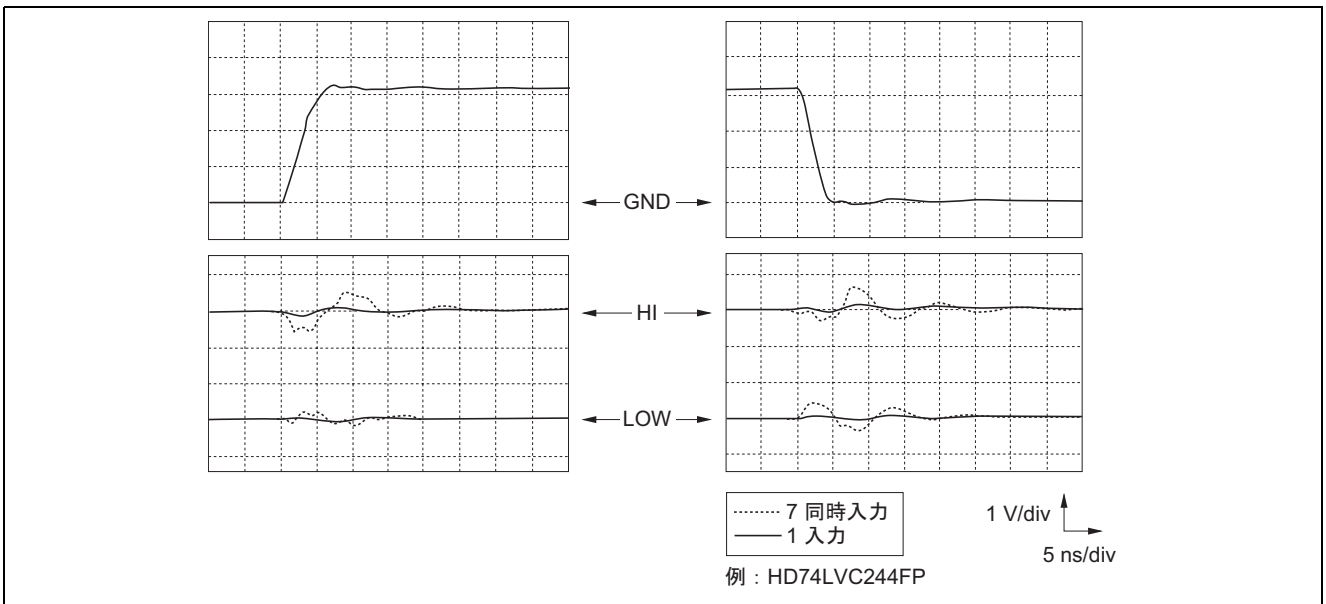


図 5.14(1) 同時スイッチング・ノイズ - 8 回路パッケージの同時動作

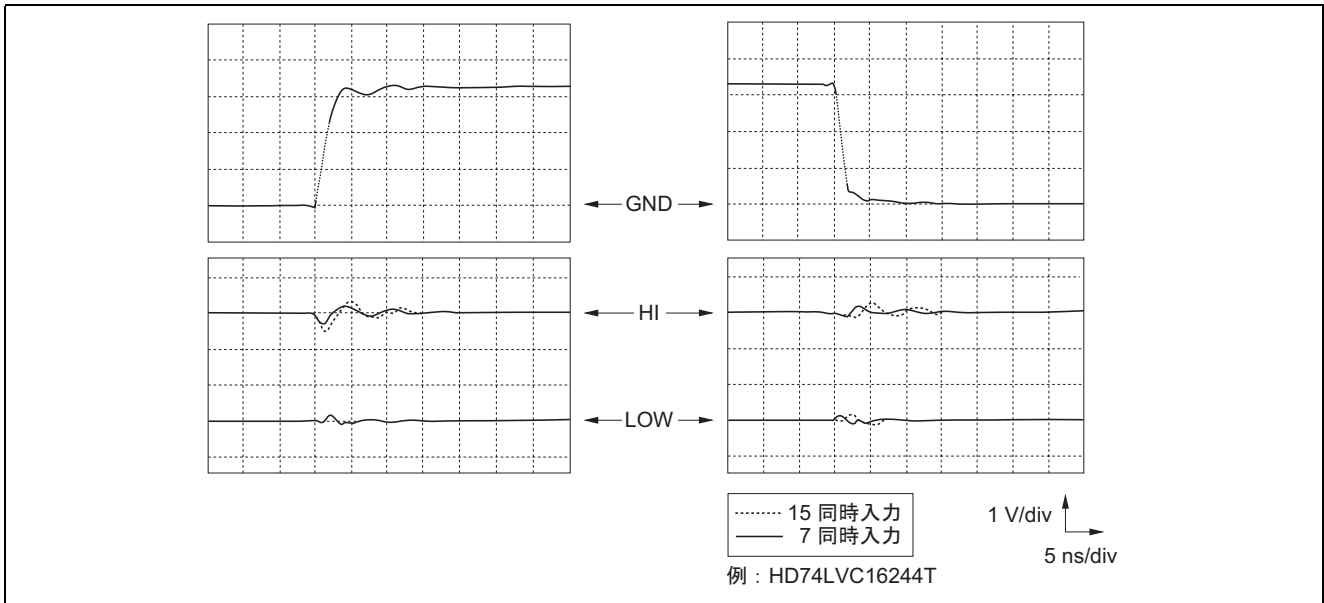


図 5.14(2) 同時スイッチング・ノイズ - 16 回路パッケージの同時動作

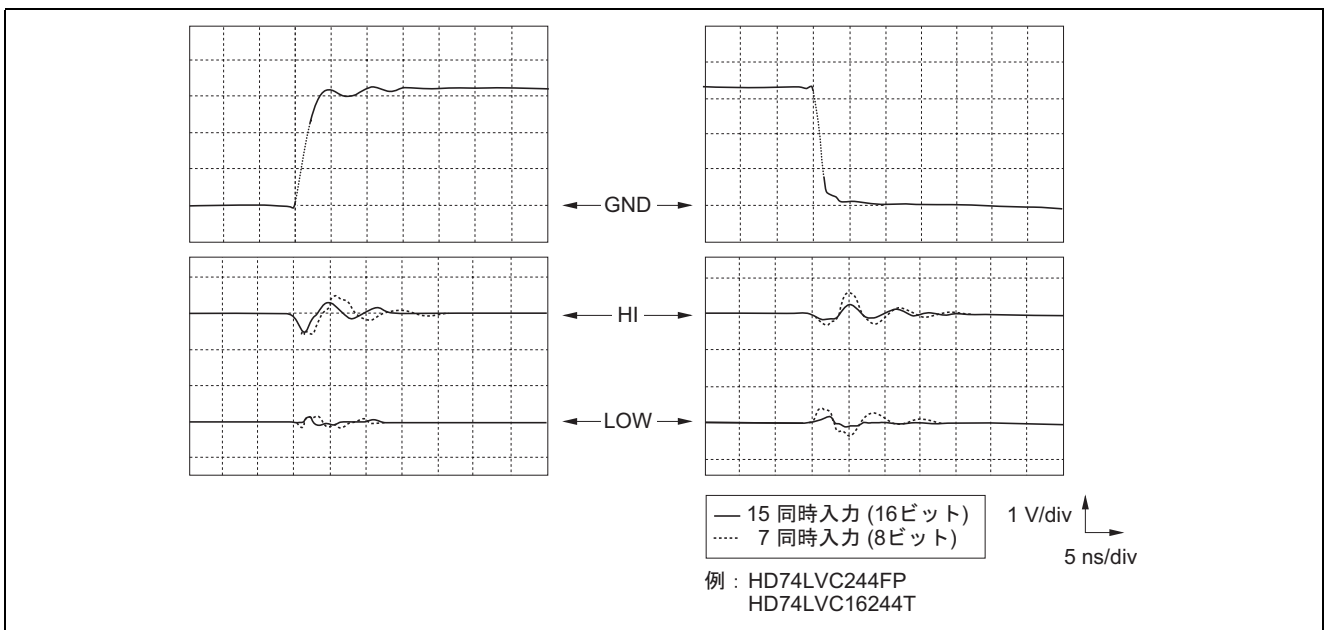


図 5.14(3) 同時スイッチング・ノイズ - 8 回路 - 16 回路パッケージでの比較



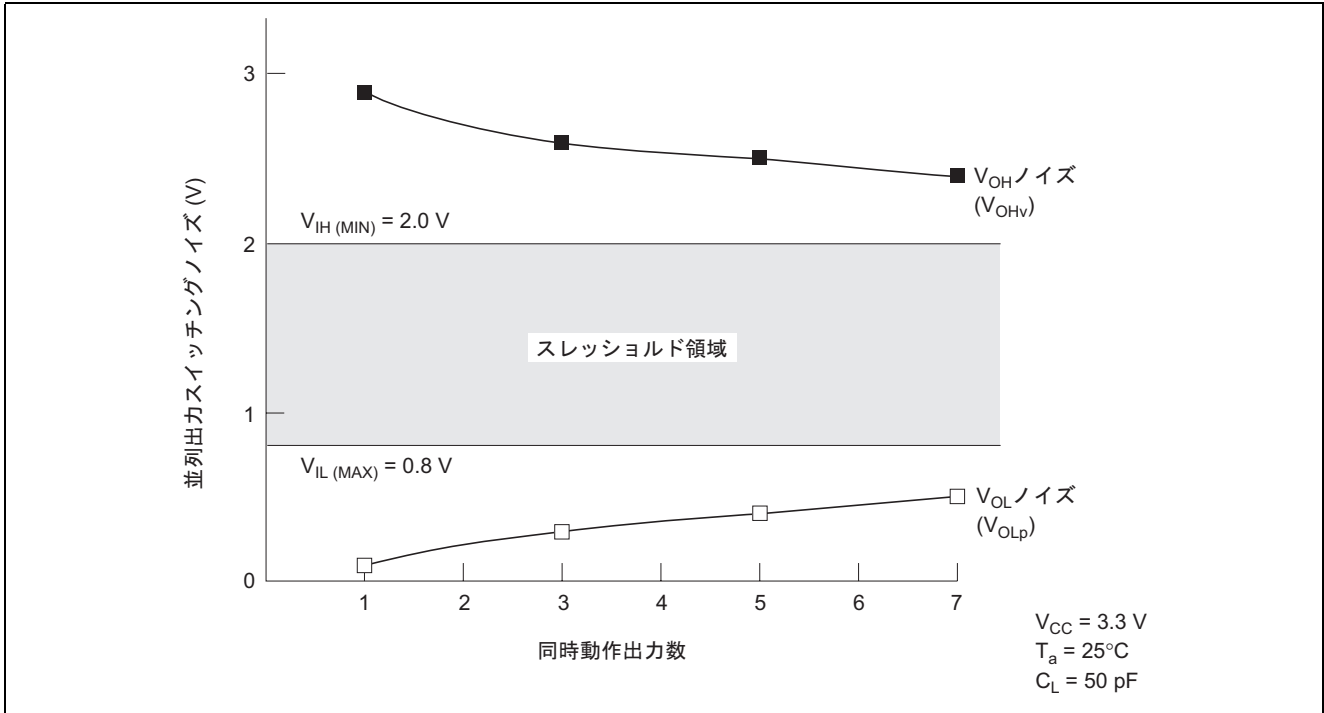


図 5.15 同時動作回路数の影響

システム上で同時スイッチング・ノイズの影響を抑えるためには

- “ 同一パッケージ内で、同時に変化する出力数を少なくする ”
  - “ アドレスバスはアドレス専用，データバスはデータ専用，コントロールバスは制御専用パッケージをまとめる ”
  - “ アドレスバスの下位ビットはグラウンドの近くに配線する ”
  - “ コントロールバスは相互に影響しにくいように複数のパッケージに分配する ”
- 等の方法があります。

## 6. その他の注意事項

### 6.1 グランドの取り方

安定したグランドは最も重要なファクターです。グランドをしっかりと取れば、ノイズに強い回路を設計できます。次にグランドの取り方を示します。

- (1) アナログ回路とデジタル回路のグランドを分離し、双方のグランドに電位差が出来ないように配慮する
- (2) 多層基板でベタのグランド層を作り、大きめのスルーホールで直接グランドをとる
- (3) 電位差が出来ないように、グランドループは避ける
- (4) ボード上でまったく結線されていない、浮き島状態になったパターンはグランドに固定する
- (5) バイパスコンデンサを入れる  
ボードの電源部に使用、外来ノイズ対策を行う  
IC の近くに使用、高調波を考慮して目的の周波数をカットする

### 6.2 未使用入力の処理

#### a) LV-A シリーズ, LVC シリーズ

CMOS 製品は入力インピーダンスはきわめて高いため、入力オープン状態で使用しますと、ノイズを拾いやすく、また入力電位が定義されないために出力論理レベルは固定されず、不安定な動作状態になります。

また、同一パッケージ内で使用していない他のゲートやフリップフロップがある場合、入力がオープン状態では CMOS ロジックの構造上、電源電流が流れてしまうことがあります。

そこで、未使用入力は必ず GND または  $V_{CC}$  に接続してください。また、 $V_{CC}$  に接続する場合は数 [kΩ] の抵抗を挿入して下さい。

『HD74LV123A』の  $C_{ext}$ ,  $R_{ext}/C_{ext}$  端子のみは例外で、使用しない場合は開放にして下さい。

#### b) ALVC シリーズ

ALVC シリーズは、バスホールド回路が内蔵されているか、されていないかによって対応が変わります。

バスホールド回路が内蔵されていない場合は、LV-A シリーズ, LVC シリーズと同様に、未使用入力は必ず GND または  $V_{CC}$  に接続してください。

バスホールド回路を内蔵している場合は、Pull-Up, Pull-Down の処理は必要ありません。抵抗器で Pull-Up した場合に比べると、図 6.2 に示す通り Pull-Up 状態になっていても電流が流れないという特長があります。

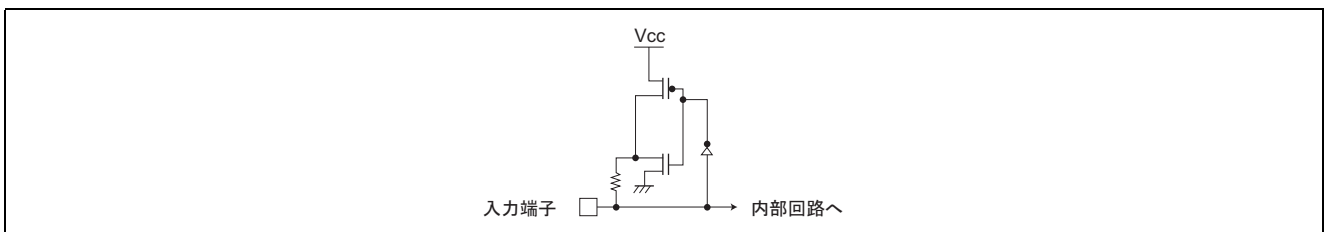


図 6.1 バスホールド回路

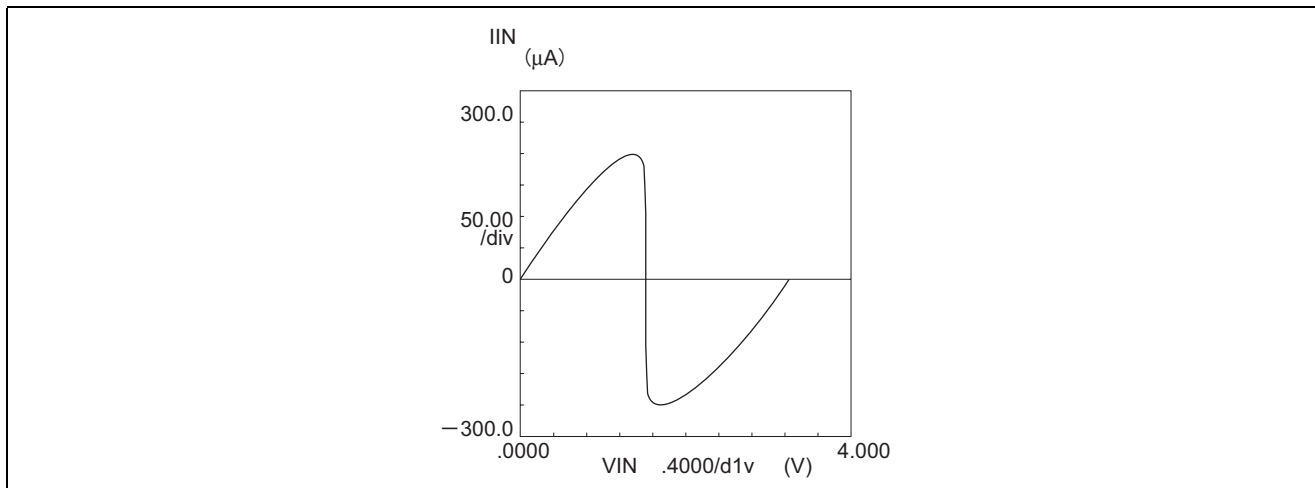


図 6.2 ALVC シリーズ Vin - Iin 特性図

バスホールド回路は入力端子に付随した構成を取っており、最小 75  $\mu\text{A}$ 、最大 500  $\mu\text{A}$  のドライブ能力を持っています。CMOS の様に、動作していない状態ではハイ・インピーダンスを保つ回路構成では、ALVC シリーズの入力端子に接続される配線が Pull-Up / Pull-Down される形になります。

バスホールド回路を使う場合は次の点に注意して下さい。

- 1) High に固定されるか、Low に固定されるかの初期値を選択する事は出来ません。
- 2) 75  $\mu\text{A}$  以上の電流が流れると、ホールドが解除されます。入力端子にインピーダンスの低い部品を接続すると、バスホールド回路は動きません。
- 3) 強制的に Pull-Up したい場合は、500  $\mu\text{A}$  以上流れるように抵抗を選定する必要があります。

### 6.3 3 V デバイス -5 V デバイスとの双方向インタフェース

双方向インタフェースの基本の考え方は以下の通りです。

- a) 3.3 V 動作 LSI に対して：  
5 V 信号を受け、3.3 V 信号で渡す。
- b) 5 V 動作 LSI に対して：  
3.3 V 信号を受け、5 V の TTL 信号として渡す。

このとき、5 V 動作 LSI は“TTL レベル入力”であることに注意して下さい。

信号を 5 V にするために、抵抗を介して Pull-Up するという手段を使われる事がある様ですが、出力回路の MOS ゲートを通り、電流が流れるため、この使い方は推奨していません。ただし、出力状態で端子に 5V が加わった事で、IC 自身が破壊することはありません。

このような場合は、専用品としてレベルシフタ『HD151015』を用意していますので、そちらを使用して下さい。

#### 参考文献

トランジスタ技術 SPECIAL No. 22 デジタル回路ノイズ対策技術のすべて

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2004.06.18	—	初版発行

### 安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

### 本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。