

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

高速 CMOS ロジック HD74HC シリーズ アプリケーションノート

1. 入力保護回路

高速 CMOS ロジックは Si ゲートプロセスを用いており、従来の Al ゲート CMOS ロジックより薄いゲート酸化膜をもち、より微細化されたパターンで構成されています。このため、入力端子から入るサージに対し、ゲートを保護する入力保護回路が必要となります。Al ゲート CMOS ロジックでは、図 1 (a) に示すように、入力保護抵抗に拡散抵抗を使っているため、サージによる入力過電流が直接電源へ抜けてしまい、保護ダイオードの破壊を招く恐れがありました。これに対し、高速 CMOS ロジックでは、図 1 (b) に示すように入力保護抵抗としてポリシリコンを用いることにより、入力過電圧に対して電流制限素子の役目をもたせています。

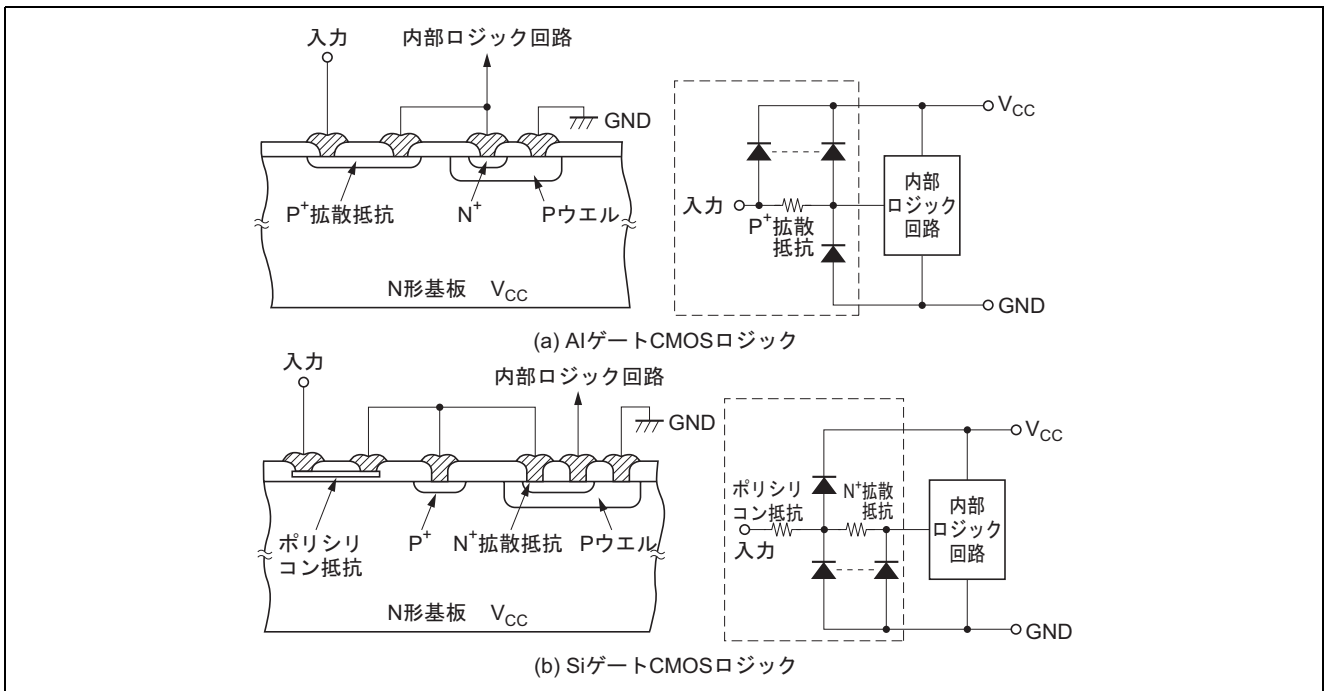


図 1 入力保護素子と等価回路

2. 静電破壊耐量

静電破壊耐量は図 2 の試験回路に示すコンデンサチャージ法で評価しています。なお、コンデンサの容量は人体の静電容量を勘案して 200 pF としています。図 3 に当社集積回路の各品種系列での静電破壊耐量例を示します。高速 CMOS ロジックの静電破壊耐量は±200 V 以上であり LS-TTL と同等以上のレベルとなっています。

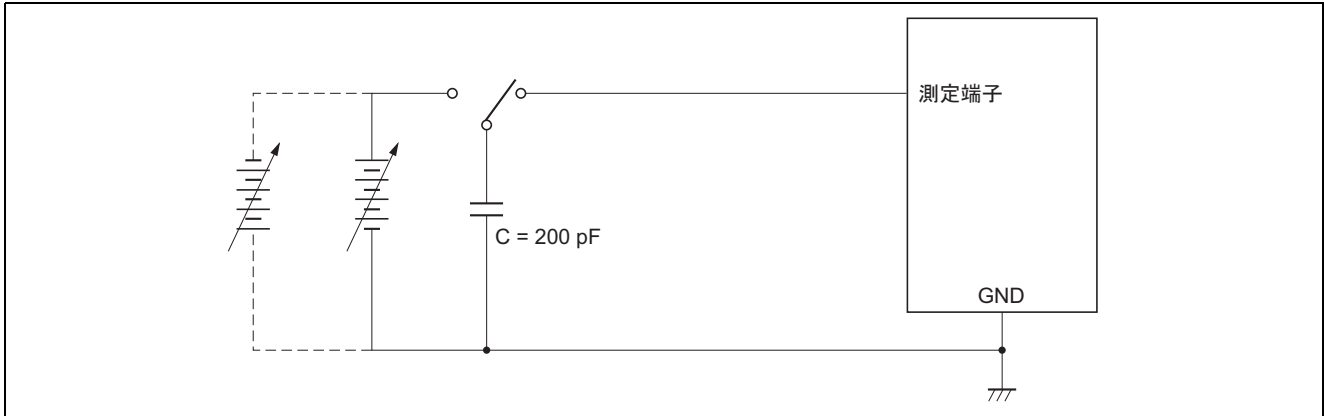


図 2 静電破壊耐量試験回路

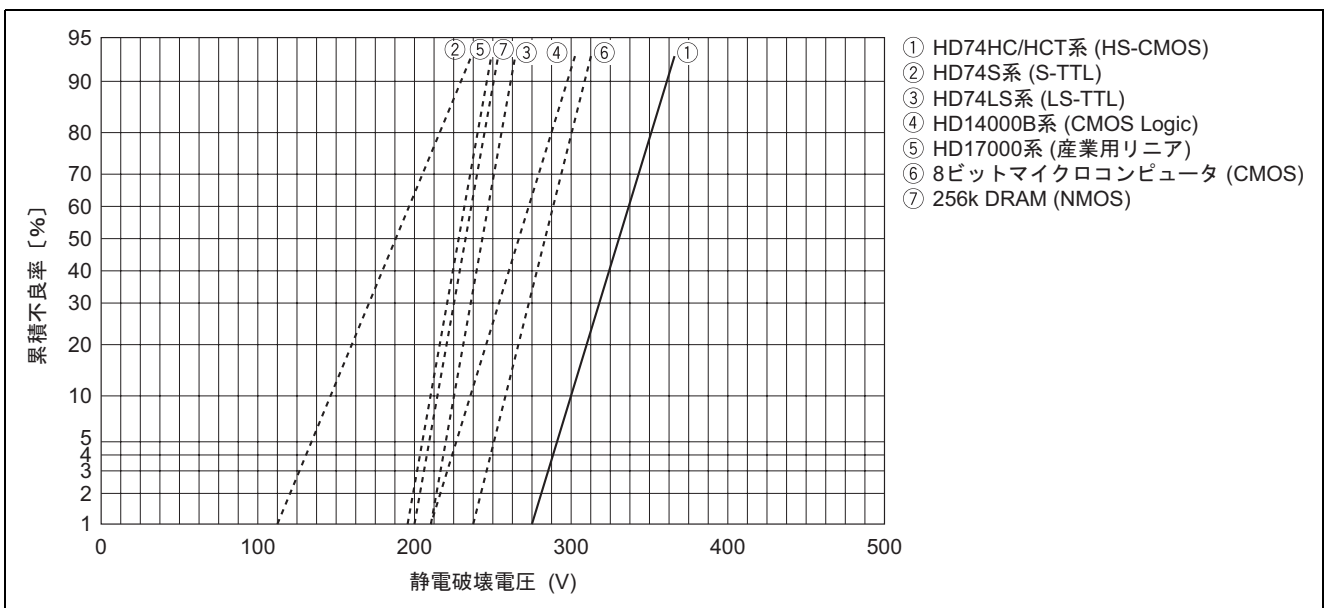


図 3 各品種系列の静電破壊耐量

3. ラッチアップ

3.1 ラッチアップ現象

ラッチアップは、CMOS ロジックの場合、構造上避けることのできない現象です。CMOS では、PMOS、NMOS トランジスタが同一チップ内に存在しているため、NPN 形と PNP 形トランジスタが形成され、この 2 つが連なって PNP 構造となり、寄生サイリスタを構成します (図 4 参照)。IC が動作中に入力端子または、出力端子から過大なノイズが入ると、寄生サイリスタがターンオンし、電源端子から GND へ異常電流が流れます。電源を切ると回復しますが、場合によっては、チップ内の A1 配線が溶断し、素子破壊にいたることがあります。

ラッチアップ現象を防ぐ対策としては、

- (1) PMOS と NMOS の距離を離す。
- (2) 寄生サイリスタを形成する PNP、NPN トランジスタ間の電気的経路をレイアウト上の工夫により遮断する。
- (3) 各 MOS トランジスタを絶縁物で分離して、寄生サイリスタの形成を防止する。

などがありますが、当社高速 CMOS ロジックでは、上記 (2)を採用しています。

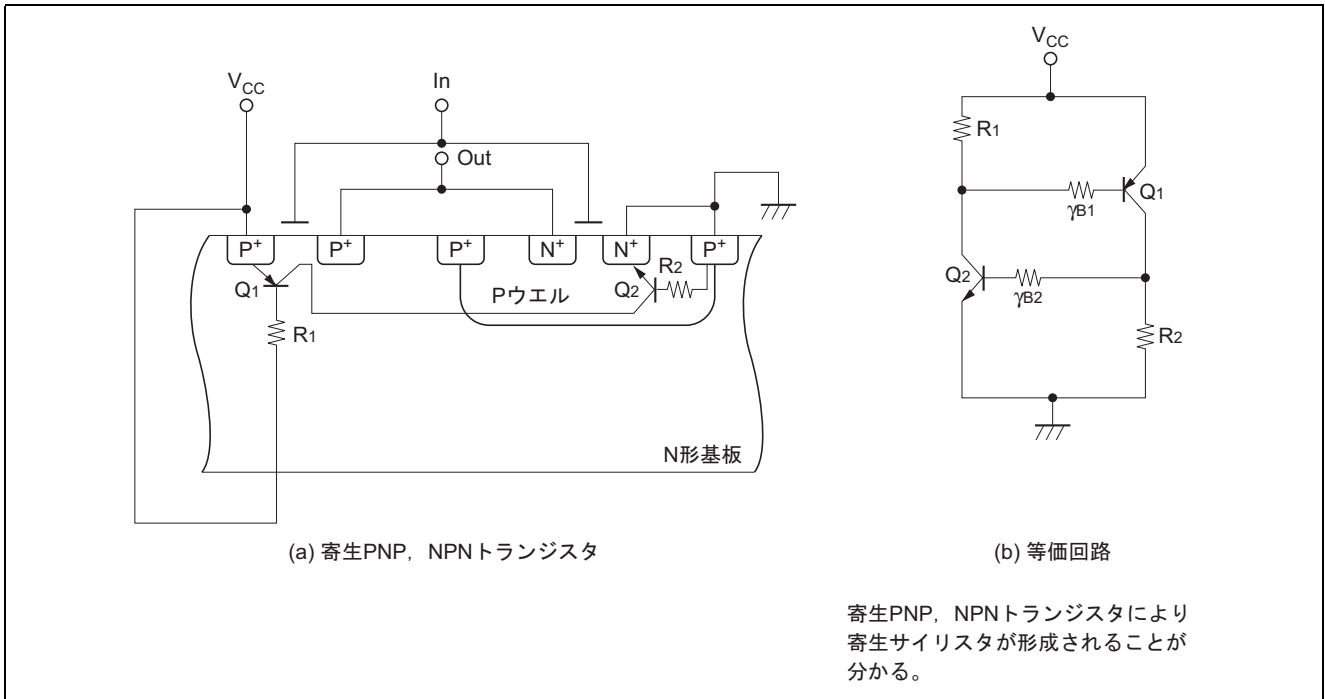


図4 寄生サイリスタ

3.2 ラッチアップ耐量

ラッチアップ耐量は図5の試験回路に示す電圧印加法で評価します。表1にルネサス高速CMOSロジックのラッチアップ耐量の試験結果例を示します。高速CMOSロジックのラッチアップ開始電圧は±300V以上であり、実用上特に問題ないレベルです。

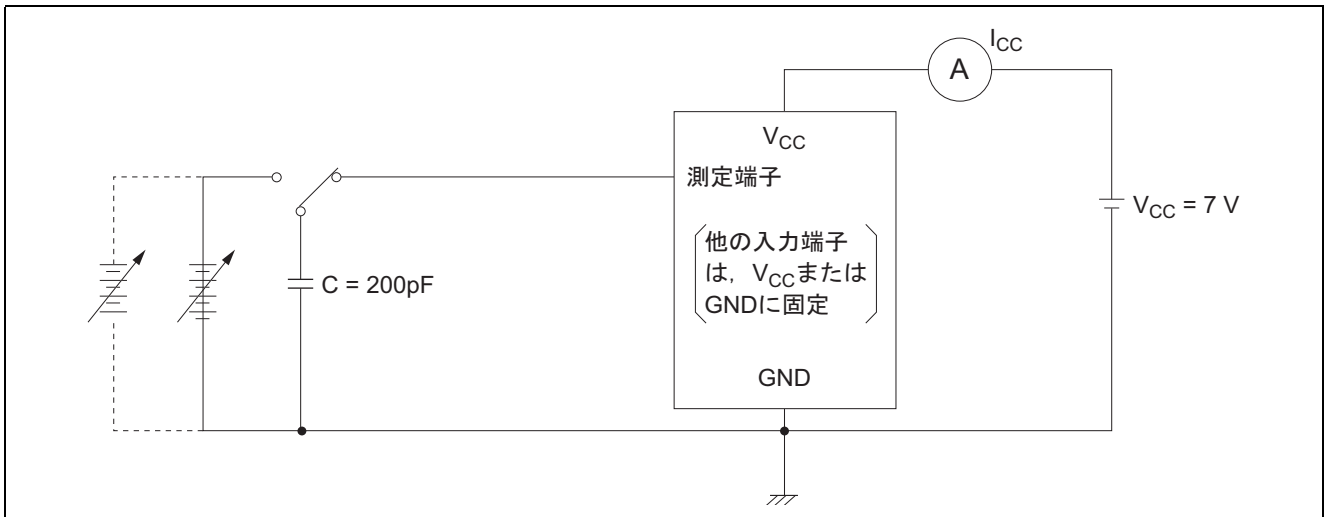


図5 ラッチアップ耐量試験回路

表1 ラッチアップ開始電圧測定結果

	ラッチアップ開始電圧
正方向	300 V 以上
負方向	300 V 以上

4. 電気的特性

高速 CMOS ロジックの電気的特性として、代表的項目を以下に示します。

4.1 直流特性

(1) ロジックスレッシュホールド電圧(V_{TH})

当社高速 CMOS ロジック (HD74HC タイプ) のロジックスレッシュホールド電圧 (V_{TH}) はノイズマージンを最大にとるため、ほぼ $1/2V_{CC}$ のレベルとなっています。図 6 に入出力特性を示します。

(2) 出力電流特性

当社高速 CMOS ロジックでは I_{OH} 特性と I_{OL} 特性に対称性をもたせています。これによって比較的大きな負荷容量を接続した場合でも t_{PLH} と t_{PHL} のバランスが大きくくずれることのないようにしています。図 7, 8 に出力電流特性を示します。

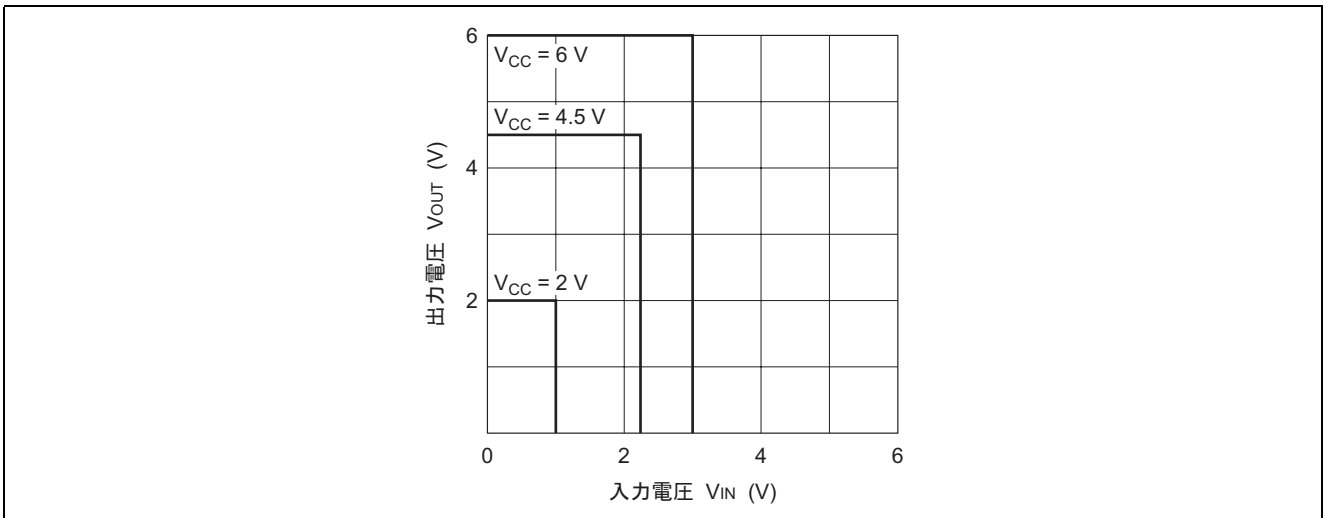


図 6 入出力特性

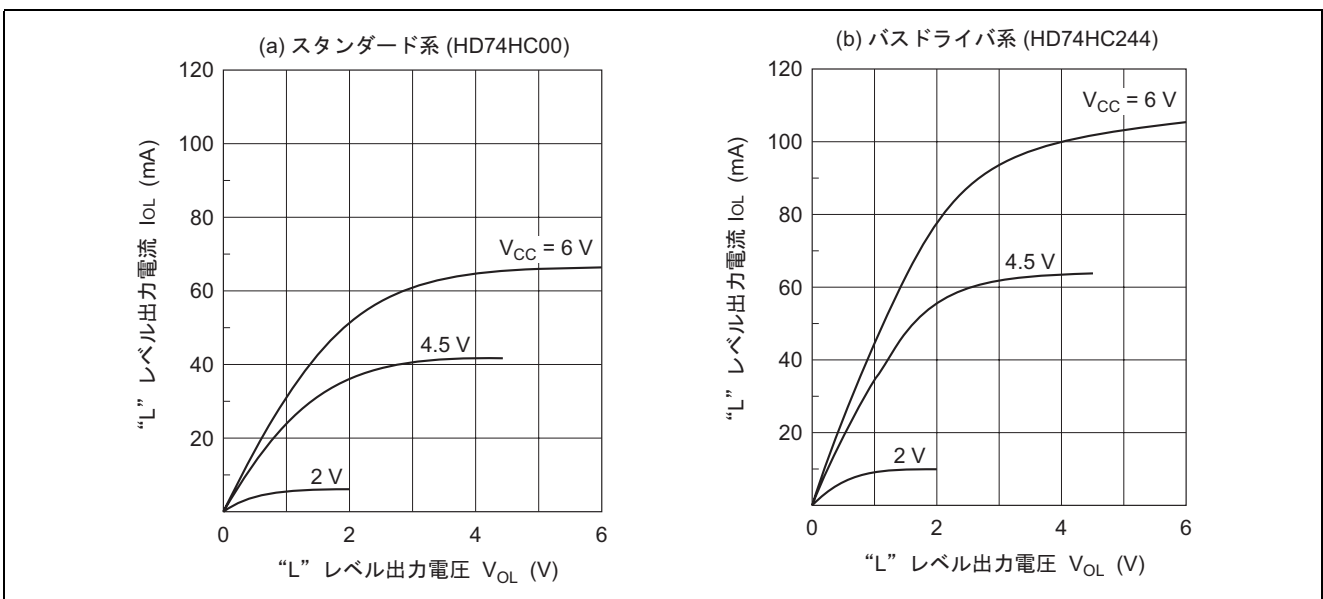


図 7 出力電流特性 ("L"レベル)

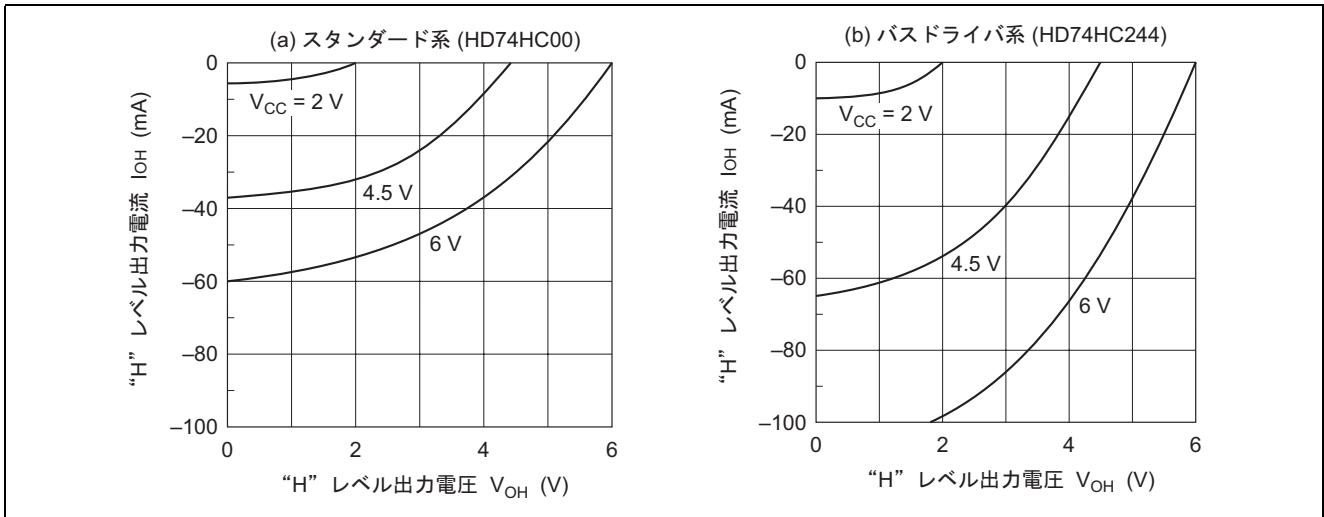


図 8 出力電流特性 (“H”レベル)

4.2 交流特性

当社高速 CMOS ロジックでは、システムのタイミング設計を容易にするため t_{PLH} と t_{PHL} がほぼ同一になるようにしています。

(1) 伝搬遅延時間，出力上昇，下降時間対電源電圧特性

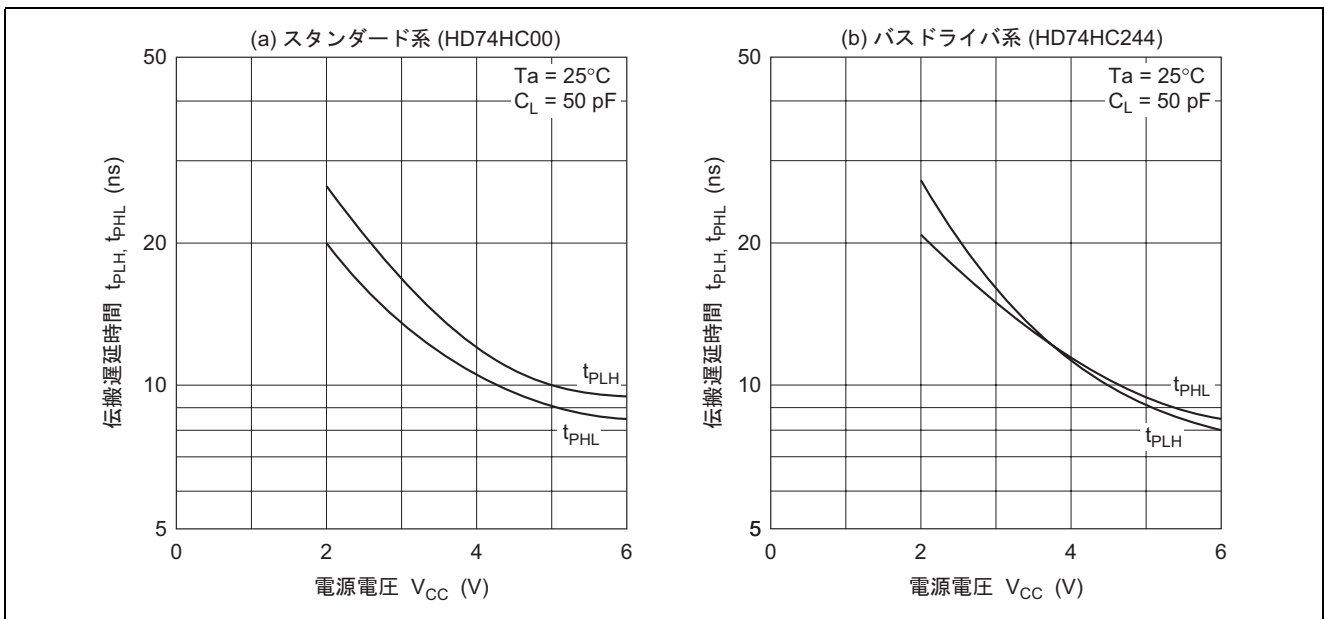


図 9 伝搬遅延時間対電源電圧特性

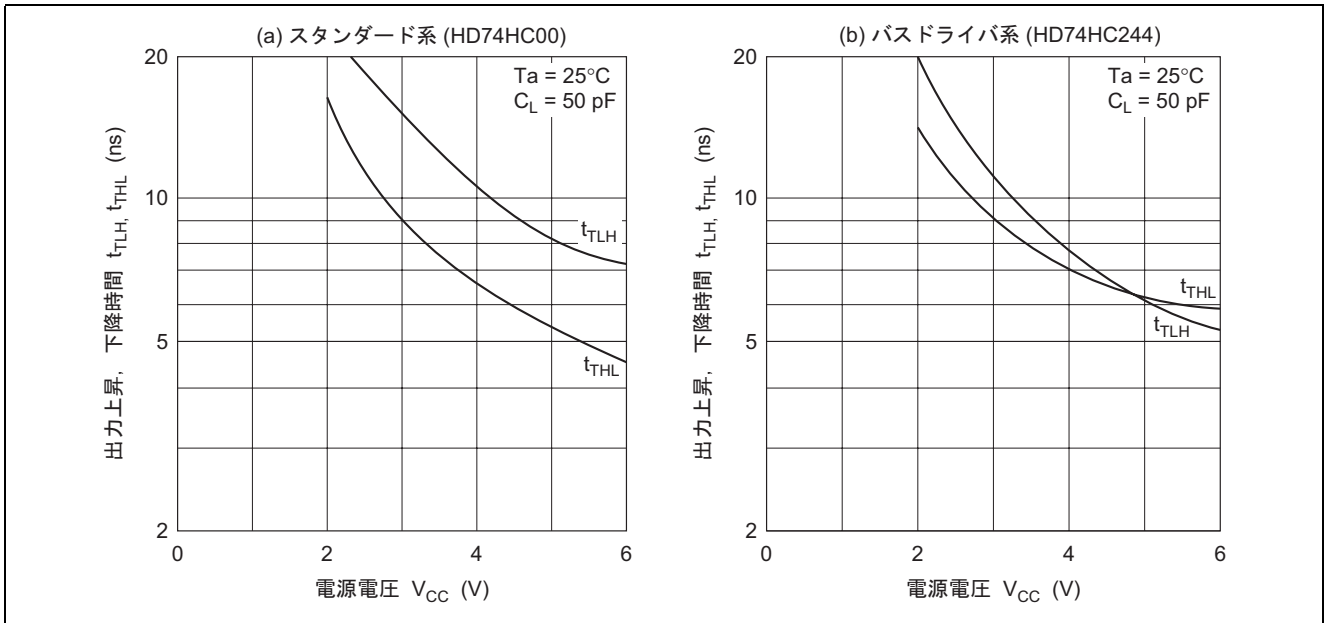


図 10 出力上昇, 下降時間対電源電圧特性

(2) 伝搬遅延時間, 出力上昇, 下降時間対負荷容量特性

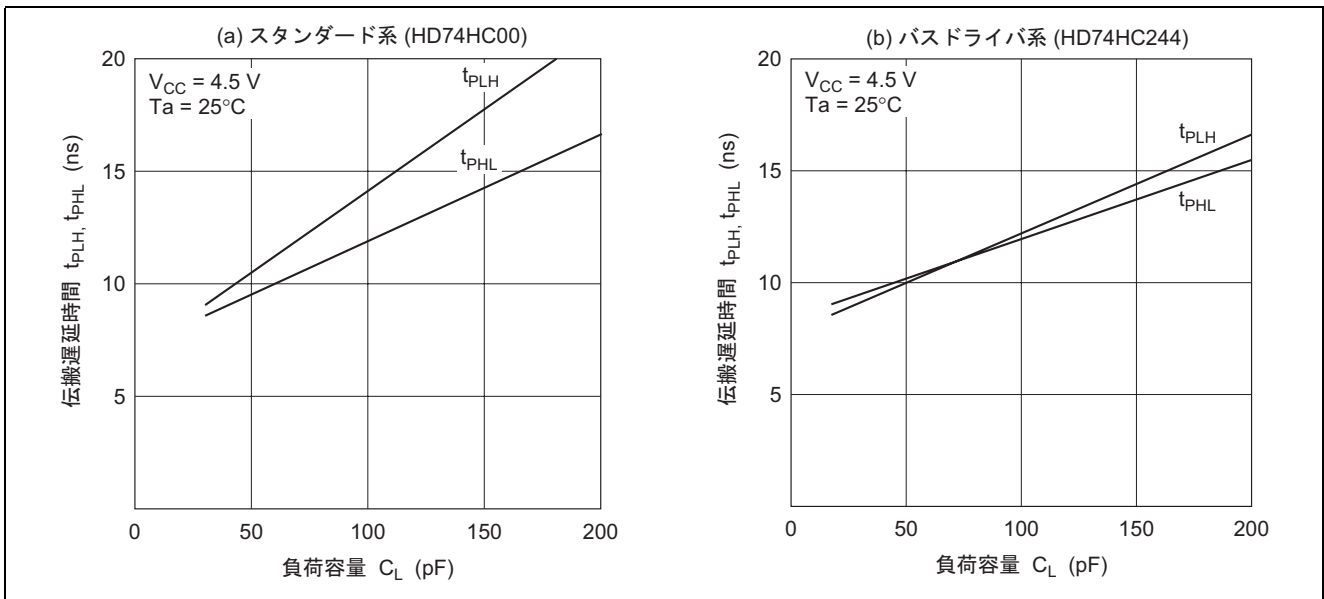


図 11 伝搬遅延時間対負荷容量特性

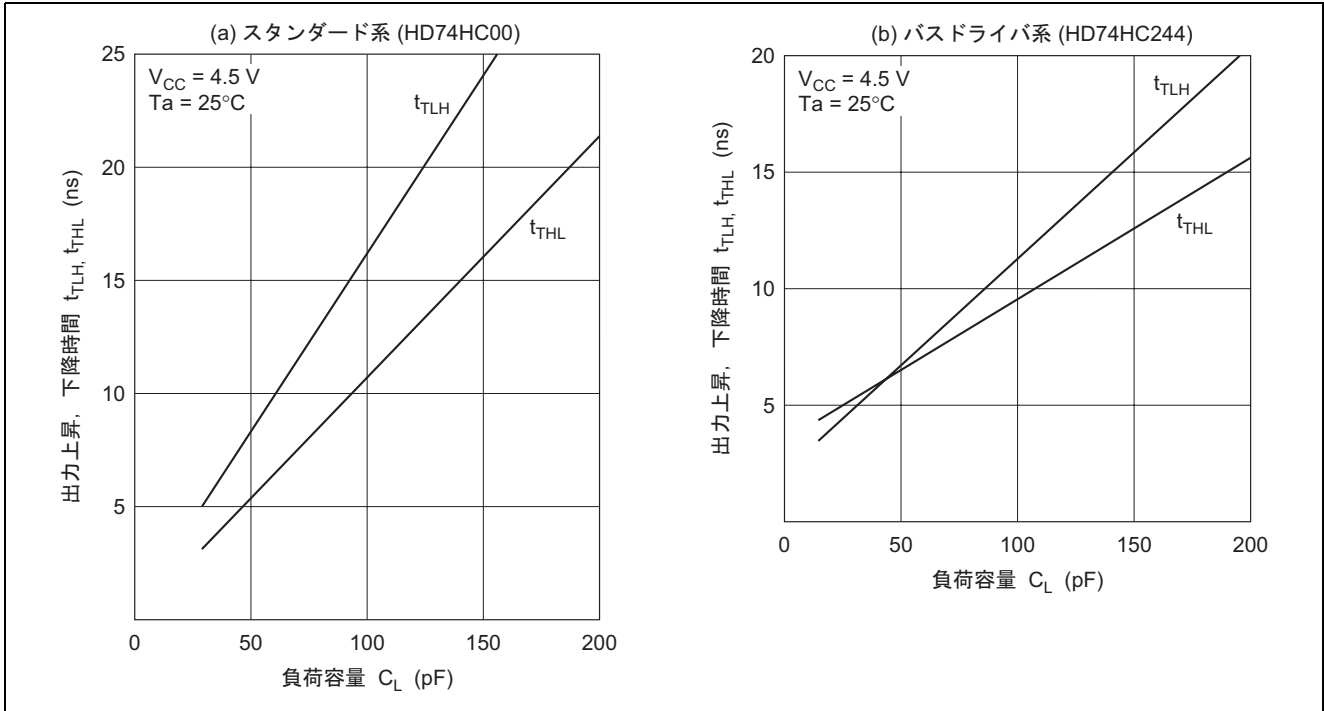


図 12 出力上昇, 下降時間対負荷容量特性

5. 消費電力

5.1 消費電力計算方法

高速 CMOS ロジックの消費電力 P_T は、式 (1) によって求められます。すなわち、消費電力は、負荷容量、内部等価要領、動作周波数、電源電圧によって決定されます。

$$P_T = (C_L + C_{pd}) \cdot f \cdot V_{CC}^2 \quad (1)$$

ここで、 C_L : 負荷容量、 C_{pd} : 内部等価要領、 f : 動作周波数、 V_{CC} : 電源電圧

動作周波数と消費電流の特性例を図 13 に示します。

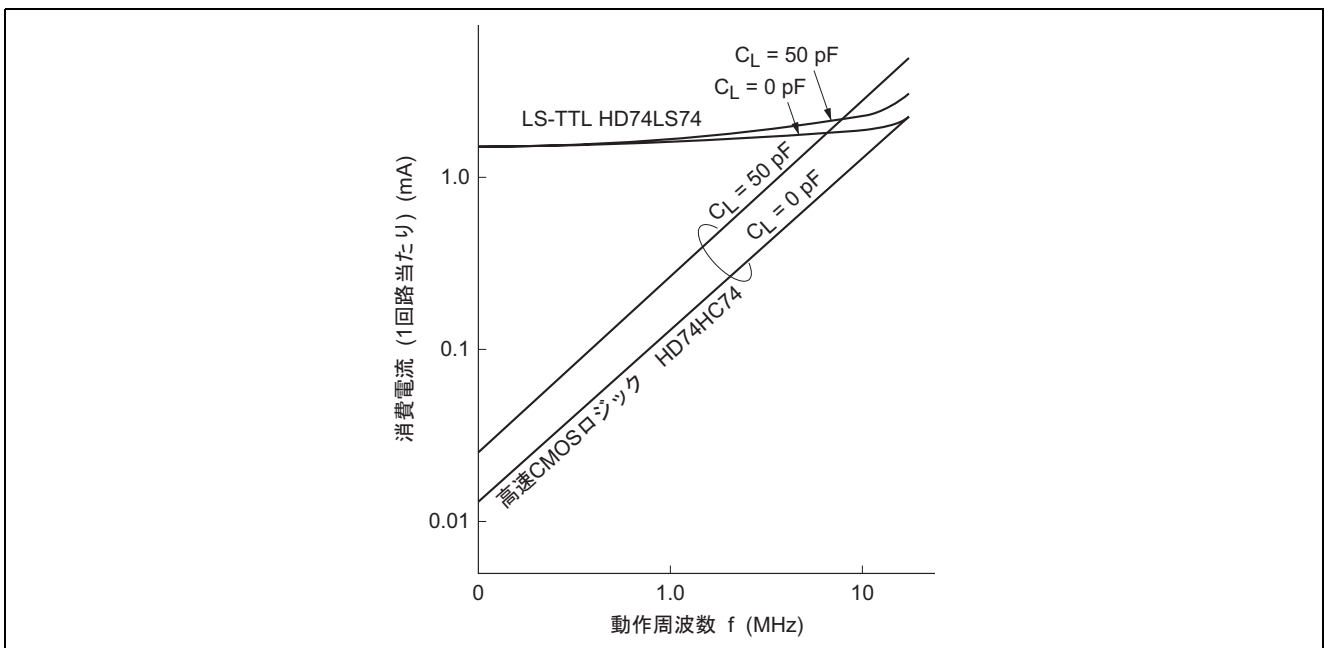


図 13 動作周波数と消費電流

5.2 内部等価容量

内部等価容量 C_{pd} は、次の等価式より計算することができます。

$$P_{T1} = C_{pd} \cdot V_{CC}^2 \cdot f_1 = I_{CC1} \cdot V_{CC} \quad (2)$$

$$P_{T2} = C_{pd} \cdot V_{CC}^2 \cdot f_2 = I_{CC2} \cdot V_{CC} \quad (3)$$

式 (2), (3)より

$$\begin{aligned} C_{pd} &= \frac{P_{T2} - P_{T1}}{V_{CC}^2 \times (f_2 - f_1)} \\ &= \frac{I_{CC2} - I_{CC1}}{V_{CC} \times (f_2 - f_1)} \quad (4) \end{aligned}$$

ここで I_{CC1} : 周波数 f_1 での電源電流

I_{CC2} : 周波数 f_2 での電源電流

当社高速 CMOS ロジックの例を表 2 に示します。

なお、 C_{pd} は入力条件により異なり、その代表例を表 3 に示します。

表 2 当社高速 CMOS ロジックの内部等価容量 (C_{pd})

機能	形名	注 1	内部等価容量 typ.(pF)	機能	形名	注 1	内部等価容量 typ.(pF)	
Gate	HD74HC00	*	27	DECORDER	HD74HC138	P	90	
	HD74HC04	*	24	COUNTER	HD74HC161	P	57	
Flip-Flop	D-type	HD74HC74	*	41	BUFFER	HD74HC240	*	42
	J-K-type	HD74HC76	*	49	MULTIPLEXER	HD74HC258	P	78
COMPARATOR	HD74HC85	P	48	LATCH	HD74HC373	P	57	

【注】 1. * は 1 回路当たり、P はパッケージ当たりの値です。

2. 測定回路は図 14 に示します。

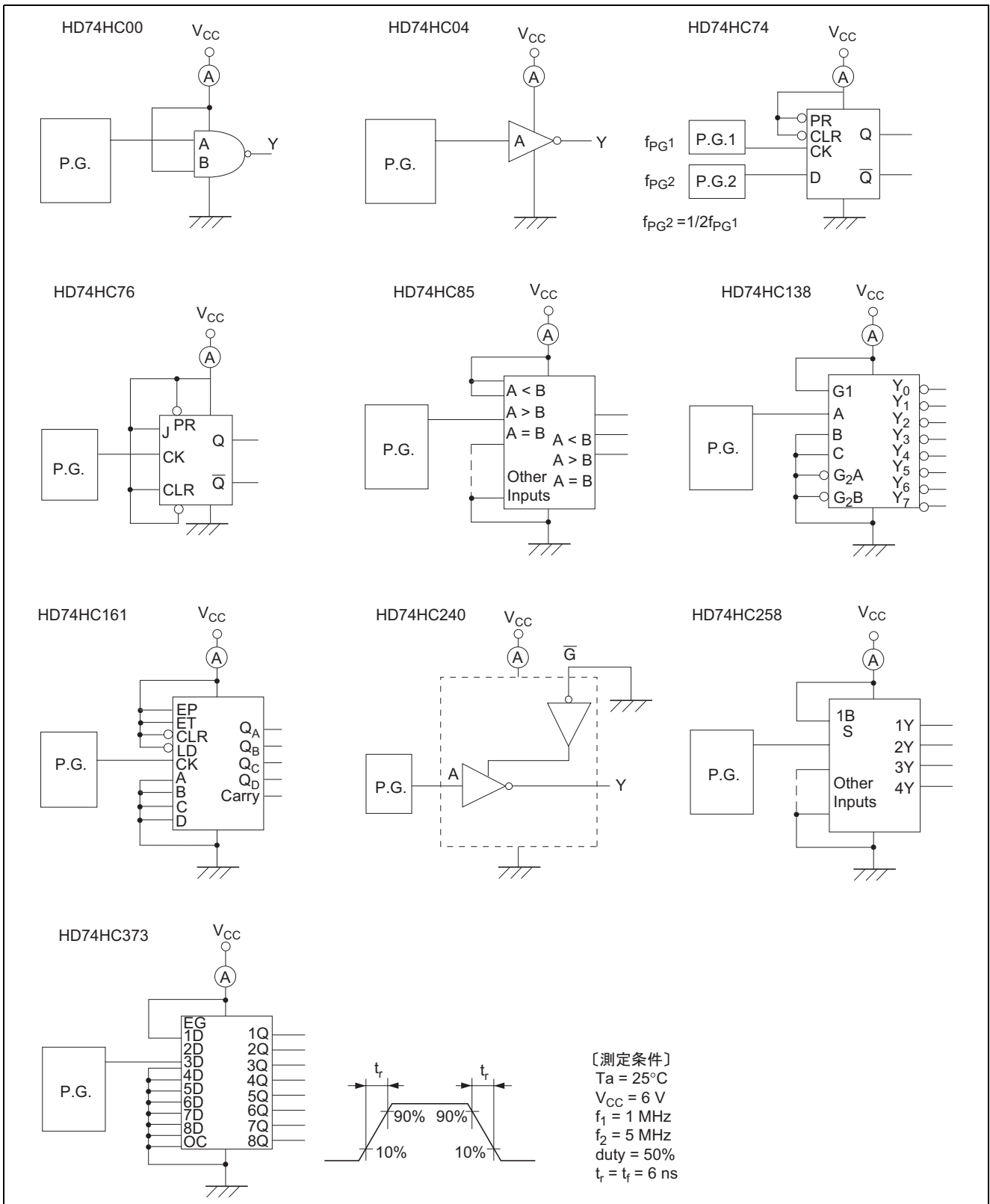
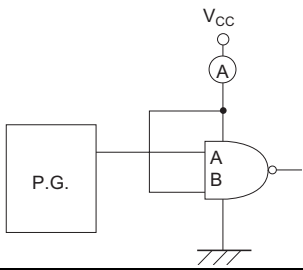
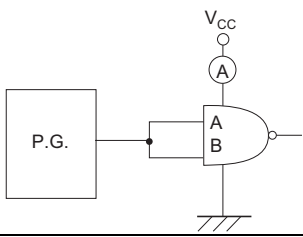
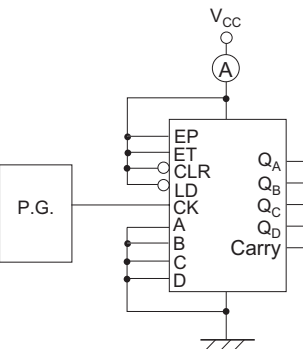
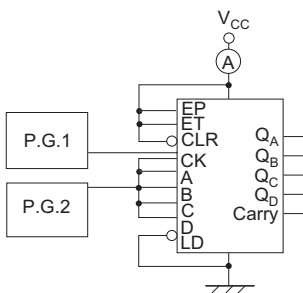


図 14 動作消費電流測定回路

表 3 入力条件の違いによる内部等価容量(Cpd)

形名	入力条件	内部等価容量(pF)
HD74HC00	・ 1 入力 	27
	・ 2 入力 	27
HD74HC161	・ カウント状態 	57
	・ プリセット状態 	113

6. デカップリング

CMOS ロジックでは、スイッチングの際にスパイク電流が流れます。これは、出力を“Low”から“High”または、“High”から“Low”に切り替えるたびに出力の容量に対し、チャージ、ディスチャージが繰り返されるために生ずるものです。このスパイク電流により、 V_{CC} 、GND の電位が変動し、図 15 (a)に示すようにスイッチング時に大きなスパイク電流が流れ、その影響で出力にリングングを生ずることになります。これを防ぐために、 V_{CC} -GND 間にデカップリングコンデンサ (約 0.01 ~ 0.1 μ F) を外付けする必要があります。このデカップリングコンデンサにより、図 15 (b)のように瞬時、流れる電流を吸収し、出力のリングングを吸収することができます。

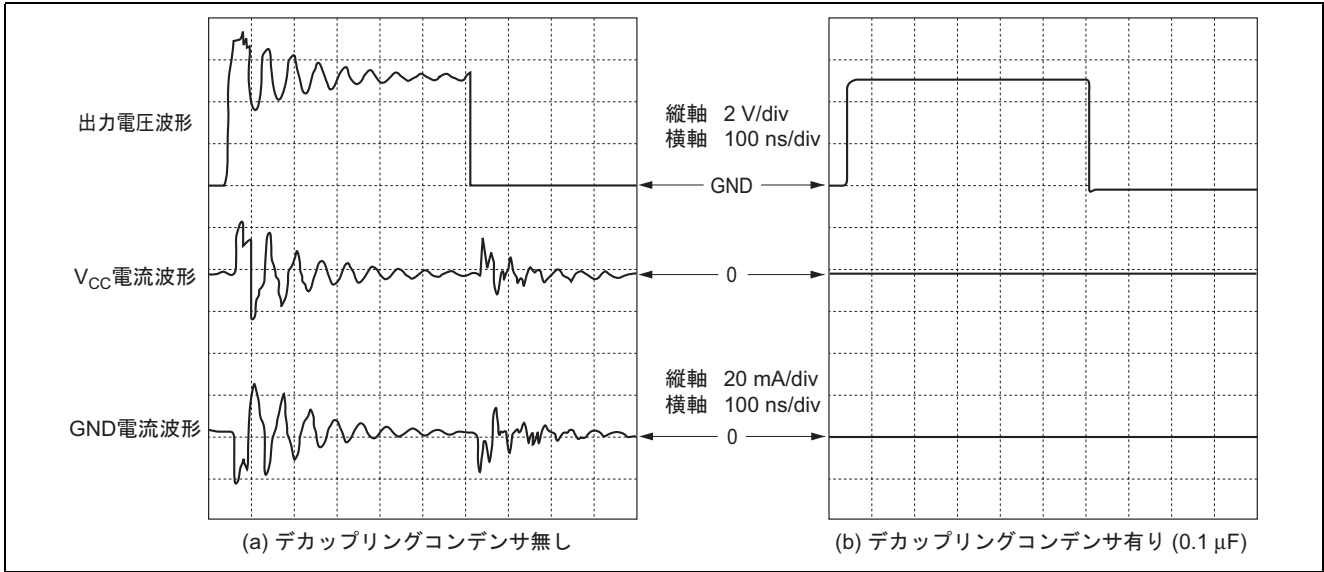


図 15 HD74HC00 スパイク電流波形例

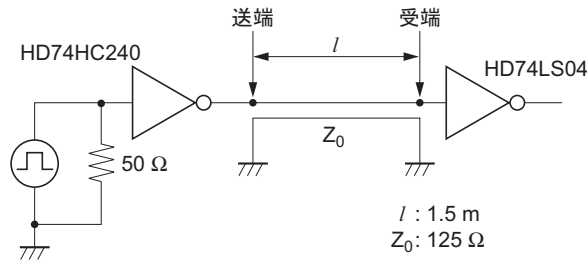
7. 布線設計上の留意点

システム設計を行う際、従来の標準ロジック (A1 ゲート CMOS ロジック, TTL etc.) とスイッチング速度、出力電流特性などの電気的特性が異なるため、高速 CMOS ロジックとしての実装技術が必要となります。ここでは、高速 CMOS ロジックと LS-TTL のインタフェース技術について述べます。

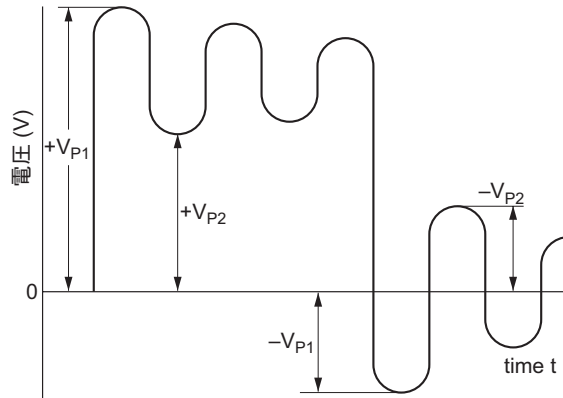
7.1 伝送線反射

(1) Bergeron 線図による伝送信号解析

高速デジタルシステムにおける伝送信号解析には、一般に Bergeron 線図が用いられています。図 17 は、実際の伝送線モデル (図 16) を解析した結果です。解析条件としては、通常システム基板の $Z_0 = 125 \Omega$ を用い、配線長は $l = 1.5 \text{ m}$ としました。送端側の HD74HC04 の出力インピーダンスは、出力が “High” レベルのときの $I_{OH} - V_{OH}$ 特性のカーブとなり、その時の受端側の HD74LS04 の受端インピーダンスは、 $I_{IH} - V_{IH}$ 特性となります。一方 HD74HC04 の出力レベルが “Low” レベルのときの出力インピーダンスは、 $I_{OL} - V_{OL}$ 特性カーブとなり、受端インピーダンスは、 $I_{F} - V_{F}$ 特性カーブとなります。これらの入出力インピーダンスに対して、 Z_0 の傾きで負荷線を描くことにより伝送信号反射解析を行うことができます。図 17 グラフ内の各交点部の座標は、偶数点 (0, 2T, 4T) が線路送端の 2T (T は、信号が送端から受端まで達するのに必要な時間) ごとの電圧、電流を示し、奇数点 (T, 3T, 5T) は、線路受端の電圧、電流を示します。図 18 に、その受端部波形の解析結果を示します。



(a) デジタル信号伝送モデル回路



(b) 受端部波形モデル

高速CMOSロジックHD74HC240を送端側に、LS-TTL HD74LS04を受端側とした場合の解析用のモデル回路と、受端側で発生するオーバーシュート、アンダシュートの波形モデルを示します。

図 16 デジタル信号伝送

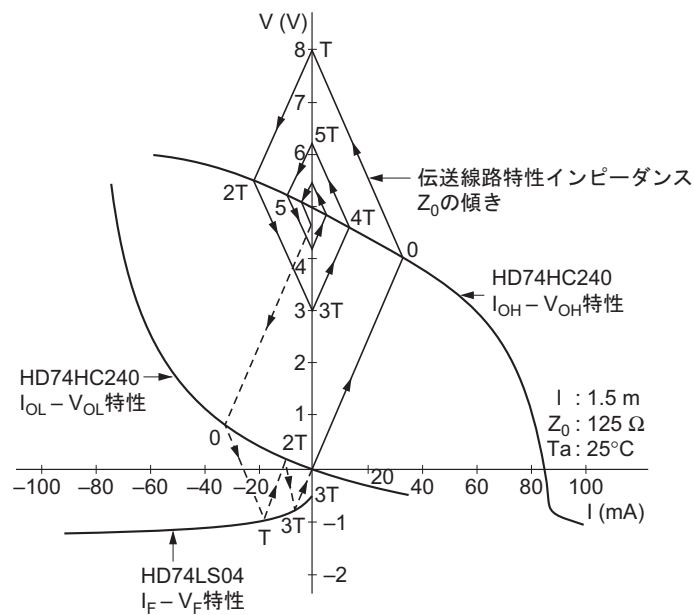


図 17 伝送モデルの Bergeron 線図による解析

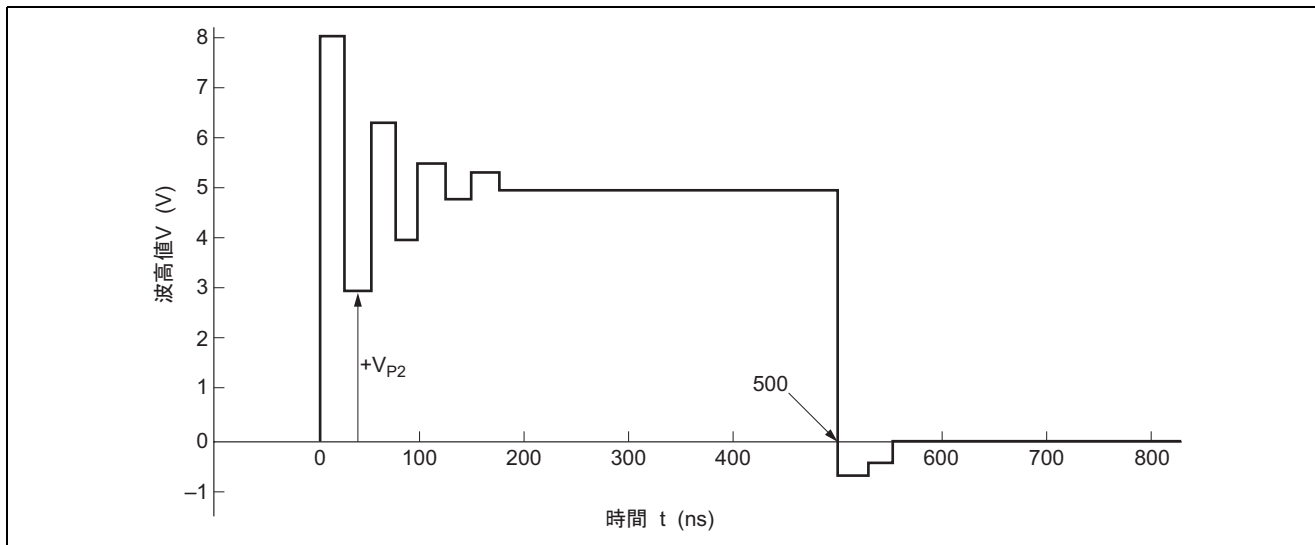


図 18 受端部波形の解析結果

(2) 伝送線反射の測定例

伝送線材として・同軸ケーブル (特性インピーダンス $Z_0 = 50 \Omega$)、・ツイストペア線 ($Z_0 = 120 \Omega$)、・リード線 ($Z_0 = 150 \sim 200 \Omega$)の 3 種類について伝送線反射特性を測定した結果を図 19 に示します。

このように布線長 2 m まで送端，受端側ともに正常に動作することを確認しましたが，実際のシステム設計に際しては布線インピーダンスに対する考慮が必要です。

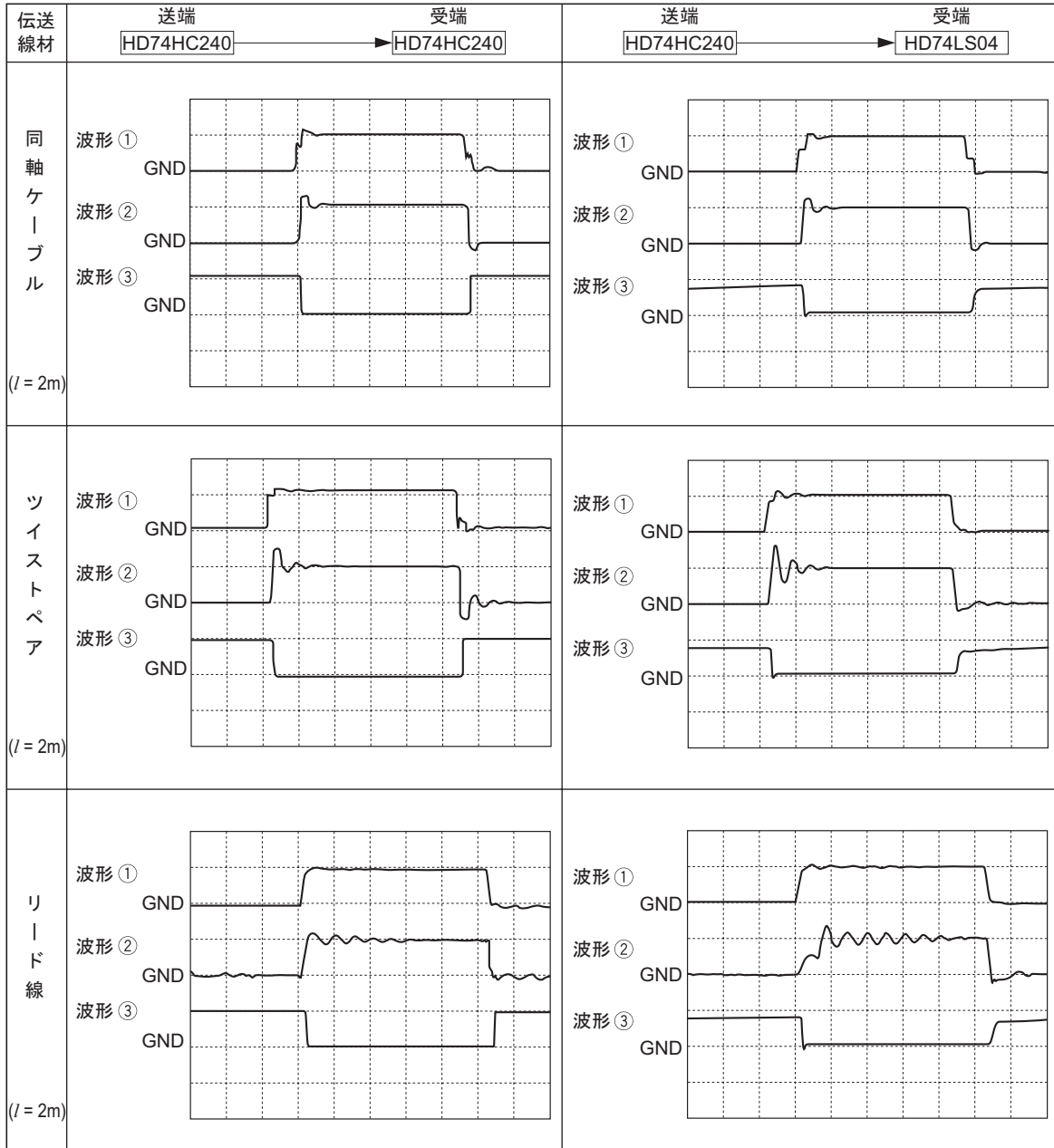
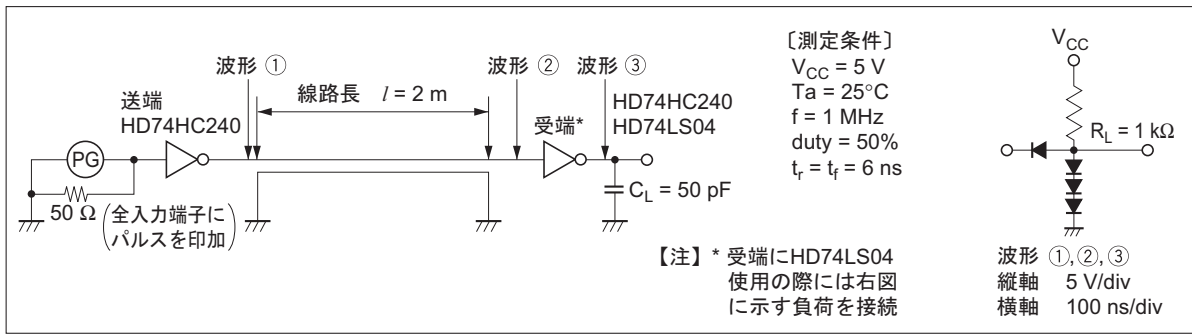


図 19 反射，リングング波形 (送端がバスドライバ系 HD74HC240 の場合)

7.2 クロストークノイズ

クロストークノイズは伝送線の実効インピーダンスと近接の伝送線との結合インピーダンスによって生じるものです。代表例としてツイストペアによるクロストークのノイズレベルを図 20 に示します。

この結果、布線長 1 m 以上のとき誤動作が生じており、配線間隔を小さくする場合は、クロストークに対する注意が必要です。

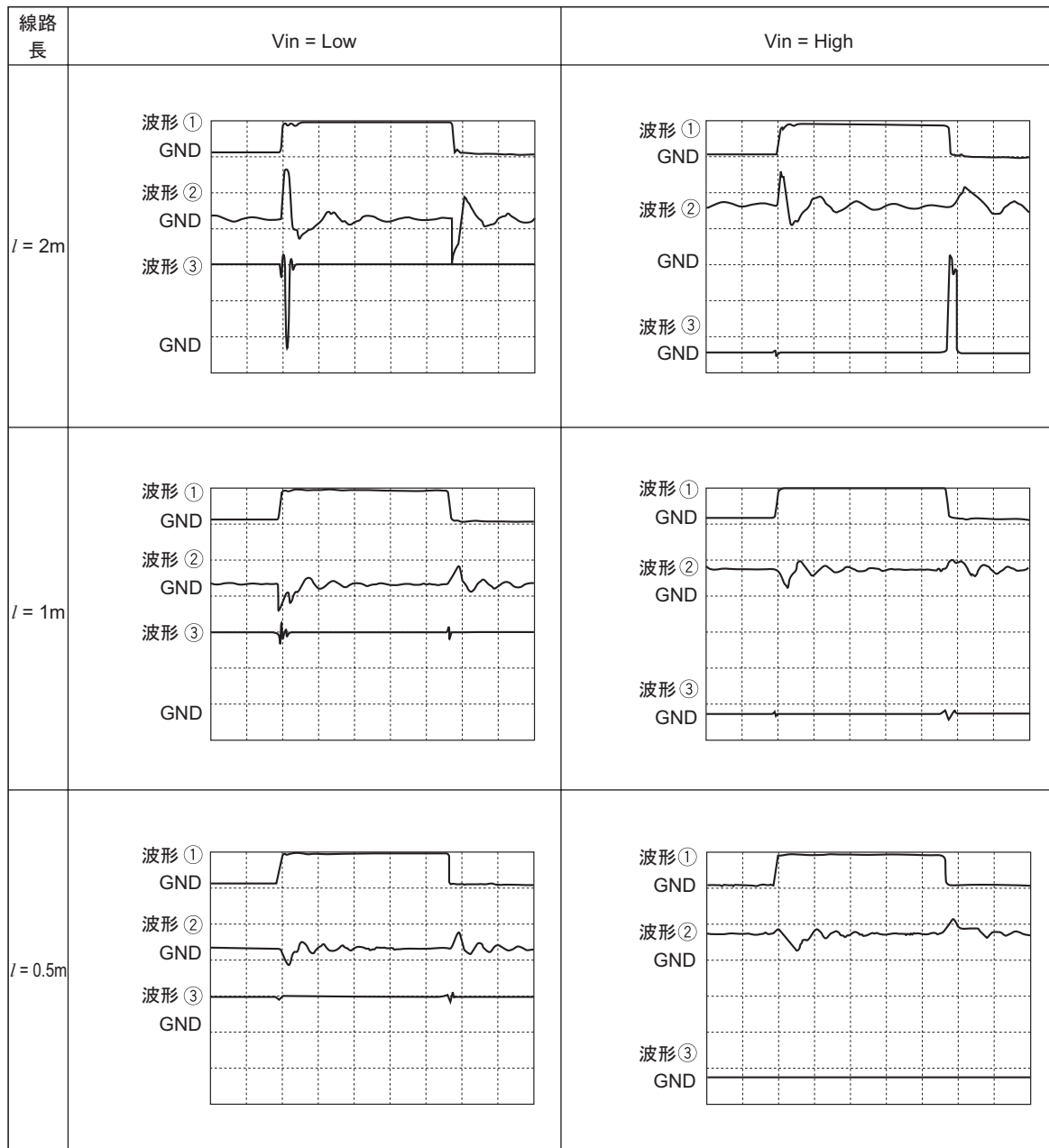
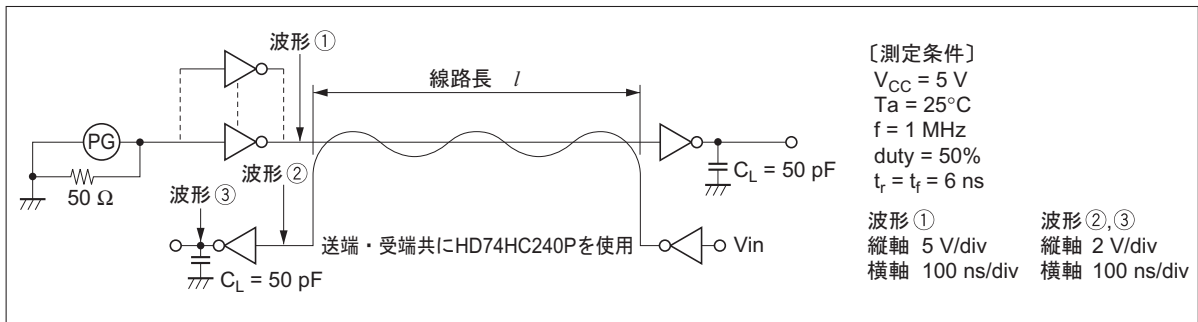


図 20 クロストークノイズ波形 (パスタライバ系 HD74HC240)

8. インタフェース

当社高速 CMOS ロジックには、入力レベルによって 74HC タイプと 74HCT タイプの 2 種類があります。74HC は、入力が CMOS レベル、74HCT は、入力が TTL レベルとなっています。そこで高速 CMOS ロジックを使用する上で、他のデバイスとのインタフェースについて説明します。

8.1 高速 CMOS ロジックから LS-TTL へのインタフェース

高速 CMOS ロジックから LS-TTL を動作させる場合、高速 CMOS ロジックの出力レベルは、CMOS レベルであるため、インタフェース回路を入れる必要はありません。入力レベルが TTL レベルであるマイコン、メモリについても同様です。

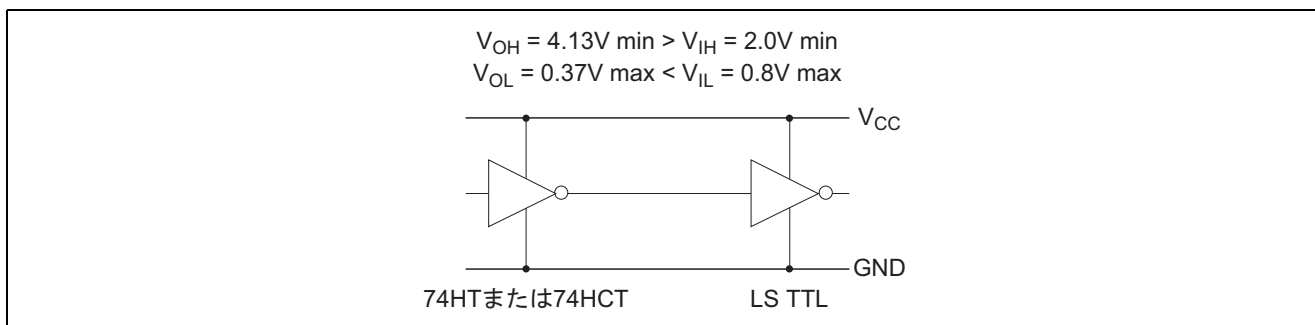


図 21 高速 CMOS ロジックから LS-TTL へのインタフェース

8.2 LS-TTL から高速 CMOS ロジック (74HCT タイプ) へのインタフェース

LS-TTL から、74HCT タイプの高速 CMOS ロジックを動作させる場合、インタフェース回路を入れる必要はありません。

出力レベルが TTL レベルであるマイコン、メモリについても同様です。

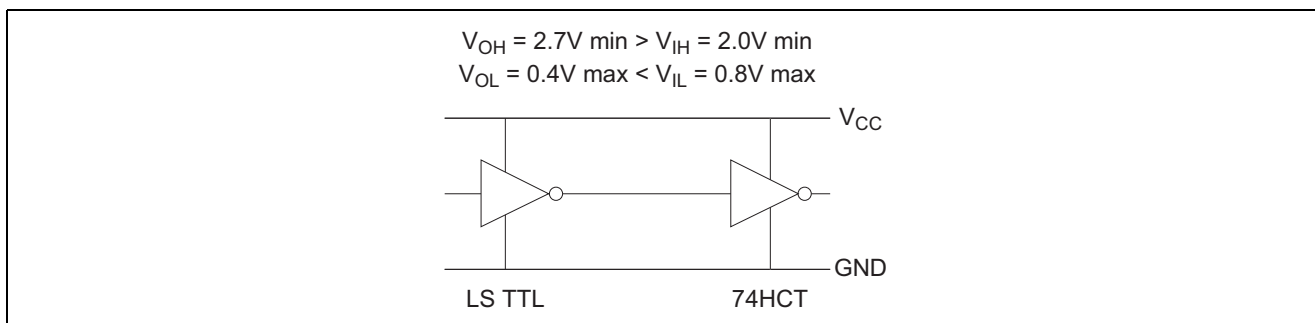


図 22 LS-TTL から 74HCT へのインタフェース

8.3 LS-TTL から高速 CMOS ロジック (74HC タイプ) へのインタフェース

LS-TTL から高速 CMOS ロジック (74HC タイプ) を動作させる場合は、図 23 に示すようにプルアップ抵抗を入れる必要があります。これは、LS-TTL の出力電圧 $V_{OH(\text{min.})} = 2.7V$ に対し、74HC の入力電圧 $V_{IH(\text{min.})} = 3.15V$ となっており、LS-TTL の出力レベルでは、74HC タイプを直接動作させることができないためです。

出力レベルが TTL レベルであるマイコン、メモリについても同様にプルアップ抵抗を入れる必要があります。

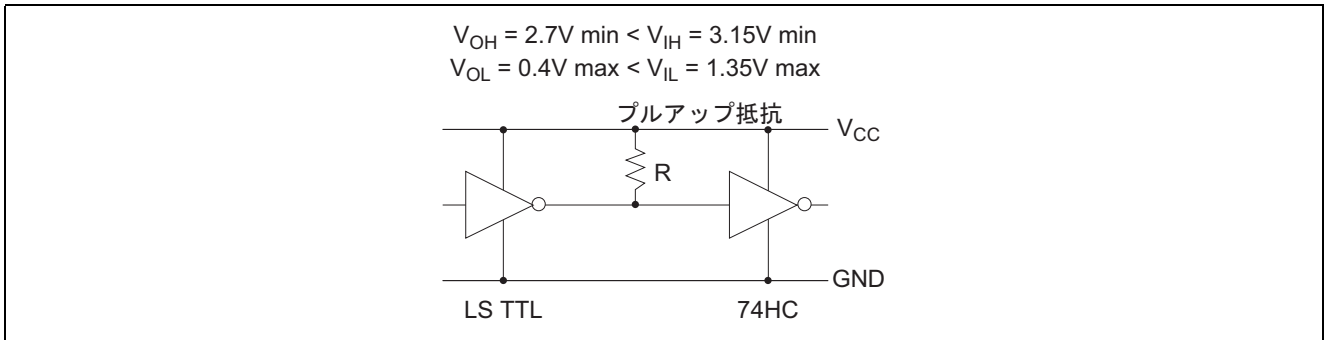


図 23 LS-TTL から 74HC へのインタフェース

8.4 スリーステート出力の LS-TTL から高速 CMOS ロジックへのインタフェース

スリーステート出力の LS-TTL から高速 CMOS ロジックを動作させる場合は、図 24 に示すように、プルアップ抵抗または、プルダウン抵抗を入れる必要があります。これは、LS-TTL の出力がハイインピーダンス状態になった場合、次段の高速 CMOS ロジックの入力が不安定な状態となるためです。

なお、スリーステート出力をもつデバイスについては、すべて同様のインタフェースが必要です。

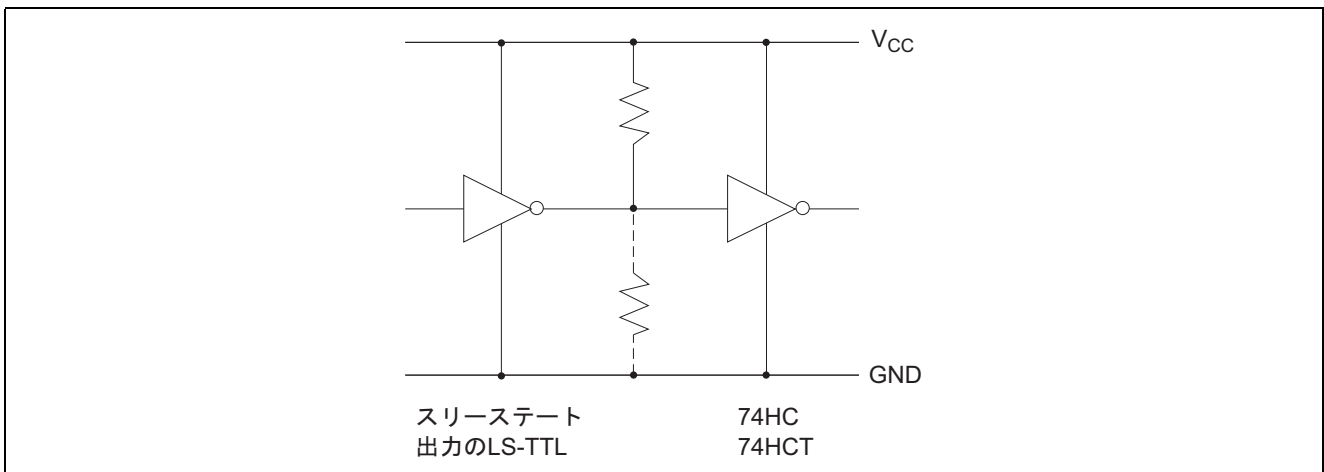


図 24 スリーステート出力の LS-TTL から高速 CMOS ロジックへのインタフェース

9. 面取付形パッケージ

9.1 SOP の実装技術

小形 IC パッケージとしての性能、品質を維持していただくために、SOP の取付け時の注意事項について説明いたします。

(1) はんだディッピングによる SOP の取り付け

SOP のはんだディッピングによる実装基板への取り付けモデルの一例を図 25 に示します。

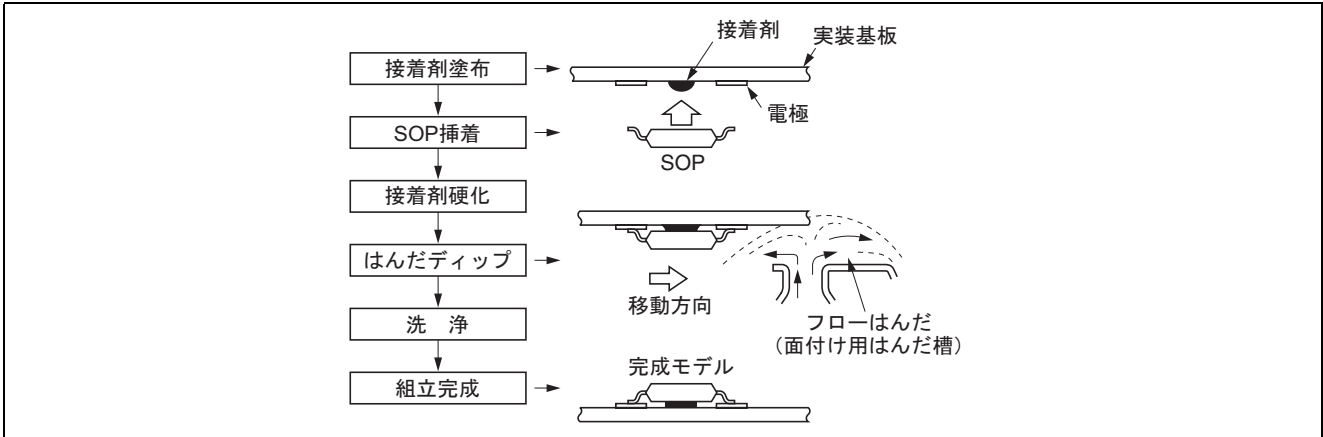


図 25 SOP の取り付けモデル例

はんだディップ法はリフロー法に比較して、熱伝達係数が 1桁大きく、チップに与える熱応力もきわめて大きくなります。このため耐湿性への影響も大きく、特にディッピングによる取り付けの場合には、熱衝撃の緩和についてご配慮ください。表 5 にはんだディッピング工程上の管理ポイントをまとめましたので参考としてください。はんだディップ法においては、その作業時の熱衝撃の緩和を目的として図 26 に示すように、予備加熱ゾーンを設けた温度プロファイルを推奨いたします。はんだディップ温度は 260°Cmax、ディップ時間は 10 sec max (推奨 2~4sec 間) におさえてください。

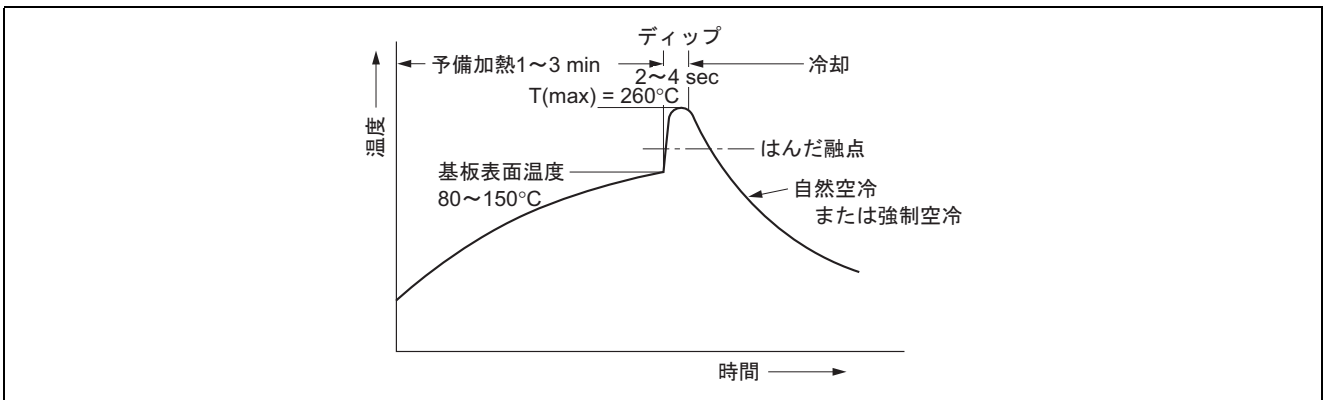


図 26 はんだ付け推奨温度プロファイル (基板表面温度)

(2) はんだリフローによる SOP の取り付け

SOP を基板に取り付ける場合は、スクリーン印刷によるはんだペーストをリフローさせてはんだ付けする工程を基本とします。はんだは、Sn : Pb = 6 : 4 の標準組成のものか、あるいはハイブリッド IC 用として Ag を 3% 前後添加した、融点 183~193°C のものをフラックス、有機溶剤でペースト状にし、印刷に適した粘度に調整したものを用います。

(ペーストの一例 SOLDER CREAM SP210-2 タムラ化研)

作業温度、作業時間については、低温、短時間で行うように配慮してください。基板面温度 (はんだ取り付け部) で 230°C 以下に設定し、15 sec 以内で作業するようにしてください。

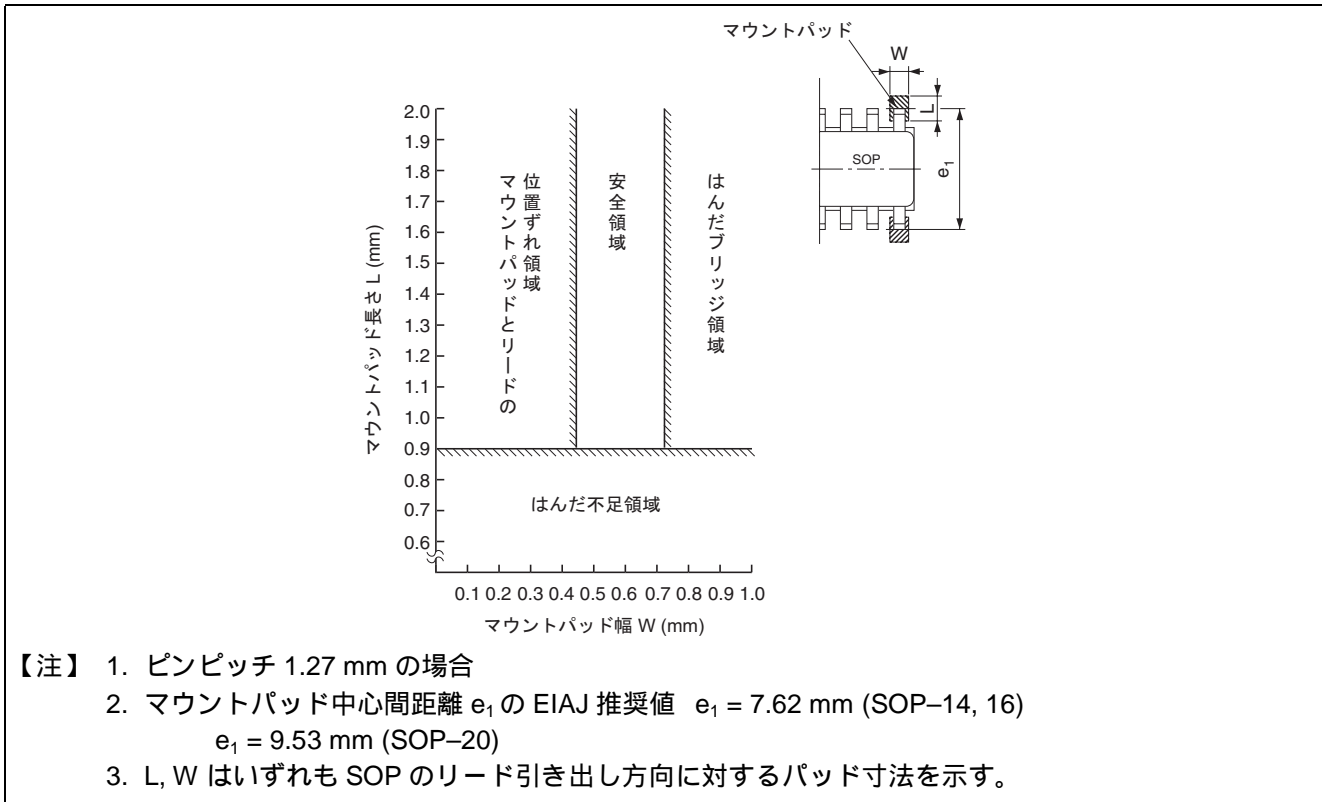
表5 SOP はんだディッピング組立基本工程の流れ

工程	使用部品, 材料, 設備	管理ポイント
基板	基板材質としては①ガラスエポキシ②紙フェノール③コンポジットタイプないしは④セラミックがあり, 目的用途に応じて選定してください。	<ul style="list-style-type: none"> ●実装基板の使用条件として熱ストレスの影響(収縮, 反り)についてご配慮ください。 ●電極パターンサイズの推奨値を下記します。(図27参照) リード引き出し方向に対する 幅 W = 0.6~0.7 mm 長さ L = 1.0~2.0 mm
接着剤塗布	エポキシ系接着用樹脂 (推奨例: 熱硬化エポキシ系)	基板への付着量に対する制限として, 電極パターンへの付着防止があります。
SOP挿着	SOP供給	当社のSOPの梱包仕様はプラスチックマガジンとテーピングの2種類がありますので, 発注の際にはいずれかをご指定ください。
接着剤硬化	トンネル炉, ベーク炉など	ご利用の接着剤の適正条件で硬化してください。(ただし, 硬化温度150°C以下)
(他部品の供給)	—	—
フラックスの供給	ロジン系のフラックス	信頼性の高い実装を行うために, ロジン系のフラックスをご使用ください。塩素系では信頼性を劣化させる場合が予想されます。
予備加熱	トンネル炉, ベーク炉などによる雰囲気加熱	はんだディップ時の熱衝撃の緩和を目的として, 予備加熱ゾーンを設けることを推奨します。図26にSOP実装温度プロファイルの一例を示しますので, 参考としてください。
はんだディップ	組立後の不良率低減のために, 面付け用はんだ槽を推奨します。ピン間ブリッジが発生した場合には, 下記の修正機器などをご検討ください。 ●はんだ吸取器 (千住金属工業K.K: 型番MS2200F)	ICの信頼性維持の観点から, 極力低温, 短時間で処理してください。推奨ディップ条件を下記します。(図26参照) ●はんだディップ最高温度 260°C ●はんだディップ最大所要時間 10sec (推奨2~4 sec間)
徐冷	自然空冷または強制空冷	
洗浄	フレオンなどの溶剤による洗浄	

(3) 実装基板電極サイズとはんだ付け性

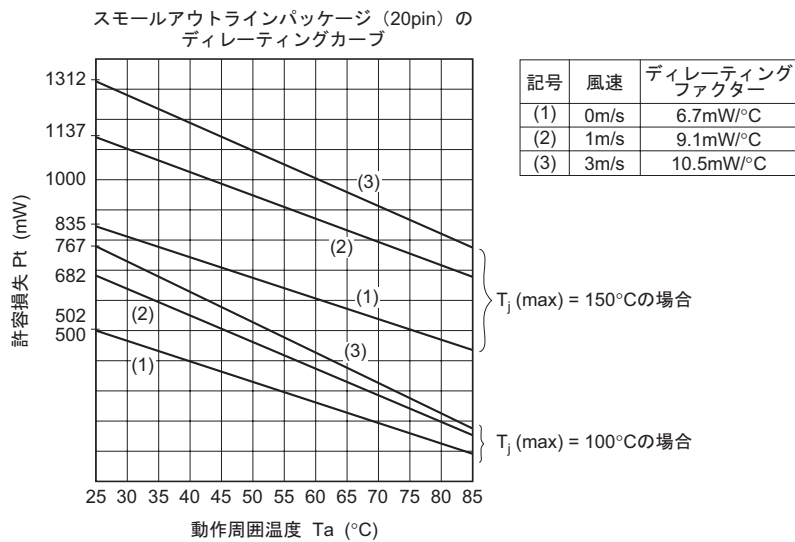
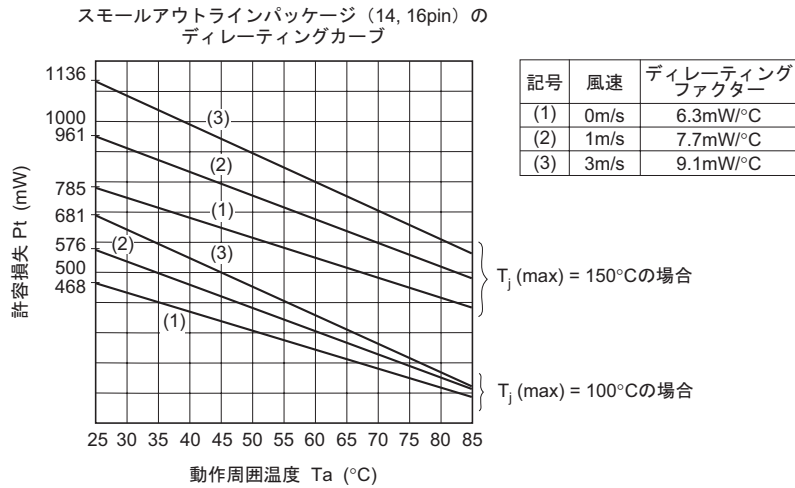
はんだ付け不良の発生率は, SOPのマウントパッドの寸法値に大きく左右されます。図27に, SOPのリードピン間のはんだブリッジ不良と, はんだ不足不良に対するパッドサイズの依存性を示します。図中の安全領域内のパッドサイズで設定されることを推奨します。

なお, はんだリフロー法による取り付けの際ははんだペーストの印刷厚さは0.2 mm¹以上確保されることを推奨します。



(4) SOP の熱抵抗

高速 CMOS ロジックにおける SOP のディレーティングカーブを図 28 に示します。またこの時の熱抵抗 (θ_{j-a})を表 5 に示します。



【注】 周囲温度が 25°C 以下の場合には、温度に関係なく 25°C の許容損失に等しくなります。また、上記データは、 ΔV_{BE} 法を用い、配線密度 10% のガラスエポキシ基板 (40 × 40 × 1.6 mm) に実装し測定したものです。実際の使用時においては、製品の使用条件、周囲温度、強制空冷の有無など十分な検討を行ってください。

図 28 SOP のディレーティングカーブ

表 5 SOP パッケージの熱抵抗

ピン数	風速	ディレーティング ファクター	熱抵抗	許容損失 Ta = 25°C	
				T _{j(max)} = 150°C の場合	T _{j(max)} = 100°C の場合
14, 16	0m/s	6.3mW/°C	160°C/W	785mW	468mW
	1m/s	7.7mW/°C	130°C/W	961mW	576mW
	3m/s	9.1mW/°C	110°C/W	1136mW	681mW
20	0m/s	6.7mW/°C	150°C/W	835mW	502mW
	1m/s	9.1mW/°C	110°C/W	1137mW	682mW
	3m/s	10.5mW/°C	95°C/W	1312mW	787mW

(5) 薄型 SSOP の熱抵抗

HD74HC シリーズにおける TSSOP のディレーティングカーブを図 29 に示します。またこのときの熱抵抗 (θ_{j-a}) を表 6 に、実装方法を図 30 に示します。

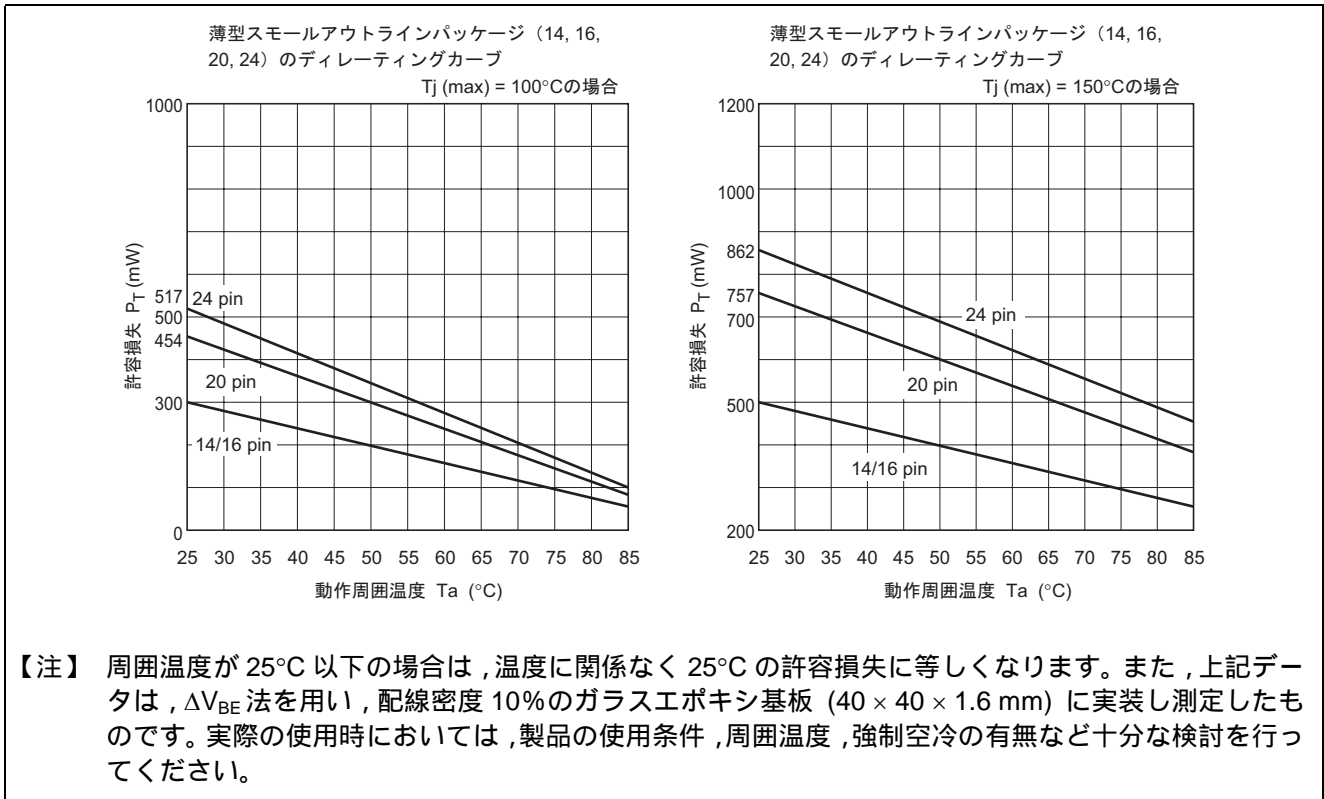
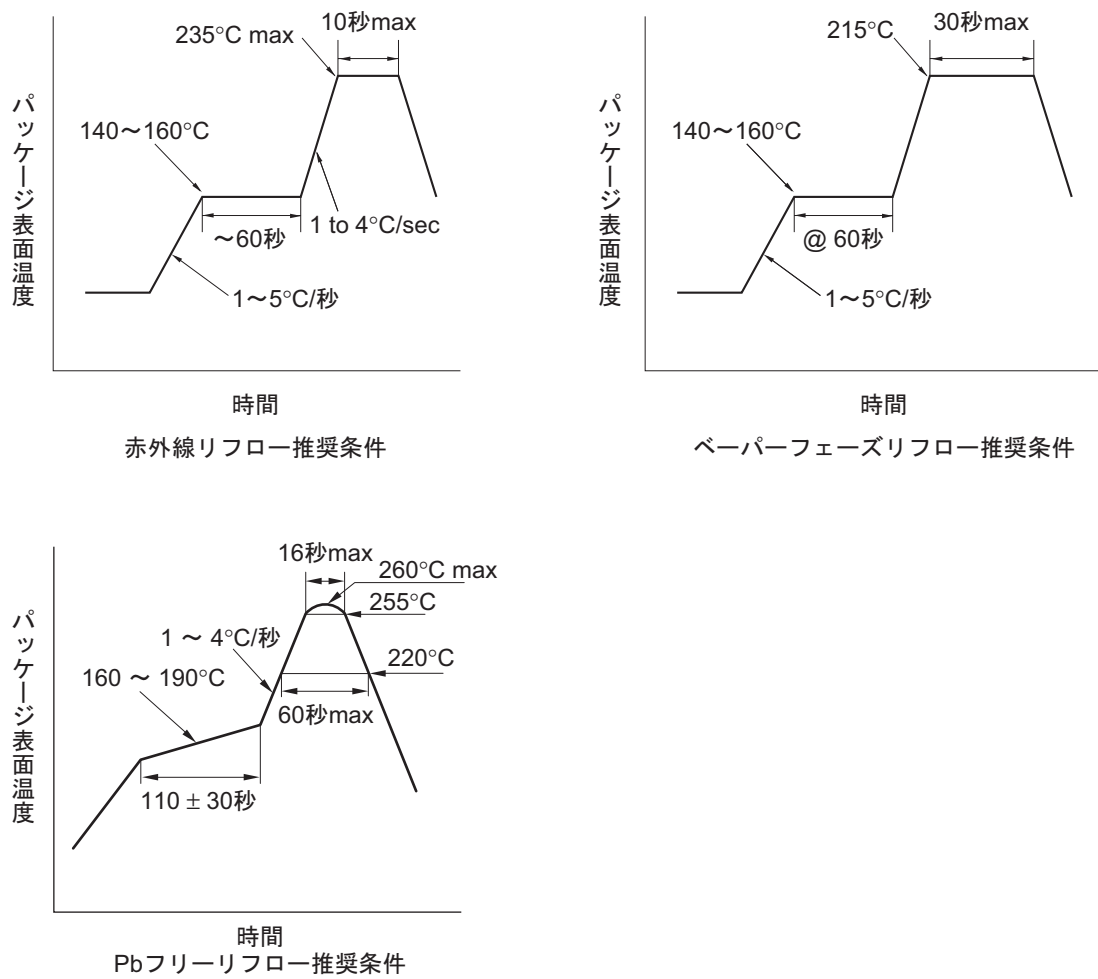


図 29 TSSOP のディレーティングカーブ

表 6 TSSOP パッケージの熱抵抗

ピン数	風速	ディレーティング ファクター	熱抵抗	許容損失 Ta = 25°C	
				Tj(max) = 150°C の場合	Tj(max) = 100°C の場合
14, 16	0m/s	4.0mW/°C	250°C/W	500mW	300mW
20	0m/s	6.1mW/°C	165°C/W	757mW	454mW
24	0m/s	6.9mW/°C	145°C/W	862mW	517mW

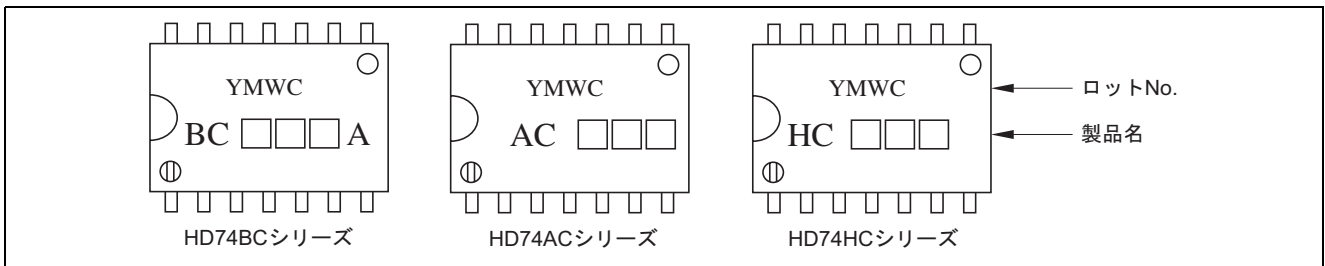


【注】 薄型 SSOP (14, 16, 20 ピン) の実装方法は赤外線リフロー, ペーパーフェーズリフロー法, Pb フリー炉フローを推奨しています。(はんだディップ法は推奨いたしません。)

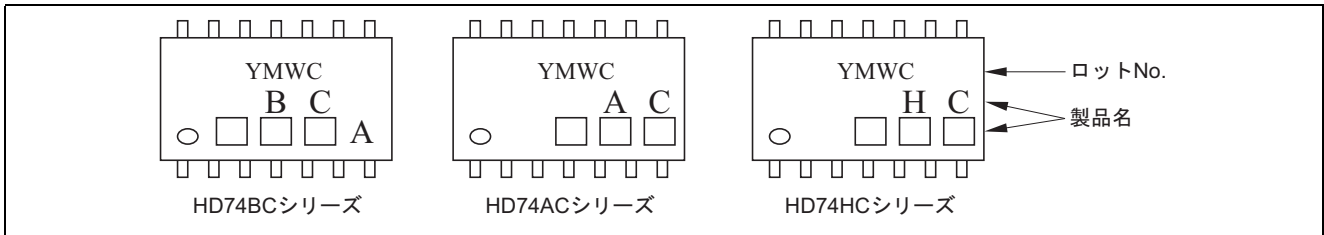
図 30 TSSOP の実装方法

10. パッケージ上のマーキング

10.1 スモールアウトラインパッケージ (SOP) 14, 16, 20 ピン



10.2 薄型シュリンクスモールアウトラインパッケージ (TSSOP) 14, 16, 20



【注】 マーク仕様の意味

デバイス名(例) : HD74BC245AT

Y : 年コード(西暦の下1桁)

M : 月コード

W : 週コード

C : 弊社管理コード

製品名 : HD74, パッケージコード(T)を除いたデバイス名を表示

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2004.06.18	—	初版発行

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。